

一、原理图的绘制：

1、建立一个project：

打开Design capture project new 指定project名和project路径 新建一个
project project/settings：

Central library：指定该project的库文件路径并选择库的类型；

Design：指定各种设计文件存放路径，最下面一行“Absorb instance data into
.....”处于选中（打勾）状态，执行“Forward Annotation”时CDB会重
新生成（否则需要cdb complier生成cdb）；如果block很多时，不要选；

File locations：配置文件管理；

Libraries：指定Central library后，不用管这里；

2、file new 选择“schematic”：新建一个原理图；

3、改变原理图尺寸大小：

Place symbol 选择border 选择期望的尺寸 放在坐标(0,0)处；
view select filter 点击“select all” 点击原理图中原有的边框 选中并
删除 select filter中点击“reset”（把不可选的东西去掉）；

说明：编辑原理图设计时间、版本等信息也要先选中再编辑；

4、设置库属性和pcb的一些特性（一定要在进行设计前完成）：

Library manage edit property verification 选择原理仿真、热仿真等；
Library manage setup setup parameters （一般只能看）

5、画原理图：

project global signals：定义电源网络（net）；
Verify compile CDB package design 进入expedition pcb

二、pcb中pcb文件的建立和网表调入：

1、pcb文件建立：file new 根据job management wizard来建立；

2、调入网表：

打开新建的pcb文件，运行forward annotation（或者运行design capture中的PCB integration）；

edit place part：在“unplaced”前打勾 选中所有元器件 点击“》”图标把所有元器件放到“active”框中 apply 左键拖动点击 元件件以及网络连接都到pcb中了；

改动了原理图之后调入网表：

在capture中先保存 verify compile CDB package design（tools中）pcb integration（project中），要执行forward annotation 在pcb中用上述方法把元器件加到pcb文件中；

3、修改pcb层数：

setup setup parameters : general layers number of physical 中数字改为希望的层数（如“2”） 点击右面的“remap layers”图标 在弹出框中点击“ok” 点击右下角的“apply” 完成设置；

4、修改pcb尺寸：在draw mode下拖动原有的板框即可，或者选中框 右键 编辑框属性 修改尺寸，draw mode切换方式如下：



注： 1、红色框是pcb框，淡兰色框是布局、布线区；

2、将尺寸设置为mm：setup setup parameters general 右侧 选；

Expedition pcb 中常用操作

- 1、选择重叠的不同层的元器件等：左键点住 + tab；
- 2、布线：点击工具栏的“route mode”图标（见下图），在器件引脚处点住左键拖动一小段即可（“esc”结束布线、双击切换布线层、单击后可以拐弯）；
印制线位置调整：在“Route mode”下选中印制线拖动即可；



- 3、设置最小移动距离等：setup edit control grids placement related 第二行改数字；
- 4、自动布线：
进入“route mode” 印制线全选（点住左键画个大框） del：删除印制线；
route auto route 设置 点击下面的“route”按钮即可；
- 5、自动放置测试点：
route test point auto assign 在相应 net 右面 required 下设置需要的个数 点击“place”按钮即可；
注：要在 setup setup parameters general 右下角“test point settings”中设置好测试点的类型等；cell是测试点类型，test选择测试点放在哪一面，ref des 中填写自动命名测试点的前缀；
- 6、铺设地线层：

route planes place shape 画一个框 在 drawing mode 下选中该框，点击右键编辑其属性：定义框的网络属性（选择一个 net），定义框在哪一层；

route planes processor 在弹出框中定义“铺设（hatch）”方式 ok
左面：定义同一 net 名的焊盘和过孔的连接方式；

右面：定义 clearance（一般 25 th）；

右下角的工具框：定义印制线 hatch 的宽度和方式；

禁布铜皮：edit place plane obstruct 画一个框即可；hatch 时自动让开；

注意1：setup setup parameters planes 中可以定义某一层为某个 net 的 planes，
设定 planes 的 net 只要把希望的 net 选入“included nets”中即可（当心：只
可以选择一个 net）；不定义“planes 层”照样可以“hatch”；

注意2：只在“All on”和“display schemes”pcb 显示方式下才可以看到铺设的
铜皮；

7、删除所有的铜皮和导线：都在route下拉菜单下；

8、布置泪滴：route teardrops 设置参数 apply；

删除泪滴：edit add to select set teardrops 按“delete”即可删除；

如果不可以，再edit unfix 按“delete”

注意：如果pcb空间不够，就不会生成泪滴；

9、pcb开槽：“draw mode”下画一个闭合的框，定义其属性为drill drawing (through)

即可；要在view display control general 中设置drill drawing层的显示颜色，

否则会看不到；

Analog design 使用

mentor的原理图仿真不需要设计仿真模型，只要按照正常设计来画原理图即可（用于生成网表、调入pcb文件）；用于仿真时，只要根据设计选择不同的“source”和“load”，同时设置连接位置（net）就可以了（比pspice、saber要高级）；

仿真时先打开“project”，然后设置仿真“setup”文件（需要new、save等，“.vas”文件）；仿真“setup”文件包括：source和load的选择和分配、仿真类型选择（进行哪些仿真）、仿真计算哪些输出（monitor）、算法设置等；设置好“setup”文件（.vas）要保存才可以仿真；

1、画好原理图，进行一些编译工作（“compile CDB即可”）；

2、设置输入信号以及信号参考点：

进入project global signals，先指定仿真时的电压参考：选择一个net，“suply attribute”设为“gnd”，仿真时即把该点作为参考电平；指定仿真输入点：选择一个net，其电源属性里选择“positive”或“negtive”；

注意：仿真setup文件中“source”中用到的net都要在“global signals”中设定属性”；所有电平参考也要在其中设定“gnd”属性。

3、进入“analog design”：

a、project open：打开设计文件（.prj）；

b、file new：新建一个“setup”文件（.vas）；

c、setup source：为电路输入选择合适的“source”；

d、setup monitor：选择仿真对象（net）；

e、setup下拉菜单下选择仿真类型，并完成设置；

f、保存“setup”文件；

g、run simulation 设置仿真输出显示信息 点击“ok”；

h、仿真完成后在自动打开的波形显示器中edit wave form 选择、确定即可；

4、一些小窍门：

a、仿真电路可以管脚悬空，只要定义网络名称即可；

b、

一些常识

- 1、库管理中，cell是封装库；
- 2、使用多个设计工具时，如想让它们关连，要在design capture中设置transmit mode，必须transmit permission，方法：点击工具栏的transmit图标使之处于下图状态；



- 3、电源net要放到globals file中，并assign supply = × × ×；否则仿真时不能识别；不同sheet中相同的net要么在globals file中指明，要么在不同的sheet中用connect相连；进入：project global signals；
- 4、project intergration（“CAD，CAE”图标中亦有）中的forward annotation指原理图到pcb的一种关连；Back annotation指pcb到原理图的一种关连；
- 5、expedition pcb中“placement”层中的R××、U××并非丝印，丝印在“silk top generated”层中看，要改也在该层中改；
- 6、IS analysis：Interconnect Synthesis（IS）
- 7、capture中曾经用过的“net”名，即使删掉，也不可以再使用；

各种工具使用的文件的后缀名

1、 Design capture :

项目名 : .prj

原理图文件 : .sbk

Central library : .Lmc

2、 Analog design :

调入 .vas 文件

3、 signal vision :

调入 .svn 的 netlist 文件

4、 expenditure pcb :

Import ascii : .hkp

Edif netlist : .edf

pcb设计文件 : .pcb

Variants manage : .vad (默认在根目录下)

Gerber tool : .gdo

Pcb 工具的一些快捷键

c change
d delete
f find
h highlight
m move
p place
r rotate
u unhighlight
x execute (a named command)
z zoom

a all
b board
c coordinate
d draw object
f fiducial
g grid
h highlighted
j jumper
l layer
n net
p pin
r ref-des
s selected
t testpoint
v via
w width - used so frequently it should be considered an object in this context.
x snap point (represented on the display as an "x").
c change

d delete
f find
h highlight
m move
p place
r rotate
u unhighlight
x execute (a named command)
z zoom

a all
b board
c coordinate
d draw object
f fiducial
g grid
h highlighted
j jumper
l layer
n net
p pin
r ref-des
s selected
t testpoint
v via
w width - used so frequently it should be considered an object in this context.
x snap point (represented on the display as an "x").