

Mentor ISD2004

原理图，PCB，信号完整性仿真分析软件

快速入门手册

设计数据准备

操作系统：Windows XP 或兼容系统（包括 Windows2000 sp3, WindowsNT.4.0 sp4）

安装软件及数据：

1. 安装 ISD 中 WG2004.1 build 2004.194.1 or later: Expedition PCB Variant Manager (future)
2. 安装 ISD 中 SDD2004.1 build 2004.194.1 or later: Library Manager DxDesigner-Expedition
3. 安装 ISD 中 ePD 2004.1 build 2004.194.1 or later: DxVariantManager
DxDataBook
DxDesigner
PCB Interfaces
Design Entry and PCB Interface Utilities
4. 安装 HyperLynx 7.2

注意：在用 HyperLynx 运行仿真之前，需要将 demo 数据中存放在 central library 的 IBIS models 添加到 HyperLynx 指定的库路径中。打开 HyperLynx，进入菜单 option->directory，在 model-library file path 下添加 C:\demonstrations\Vidar_WG\Central Library\IBISModels 下的 capacitor...等各个库。

5. 将文件数据包 Vidar_WG.zip 解压到 C:\Demonstrations 目录下。由于在以后的练习数据中包含已经指定的路径，所以需要将数据解压到固定路径中。



注意：第一次运行该数据时，请打开 Dashboard，File->open->project，打开 C:\demonstrations\Vidar_WG 工程。如果 Vidar_WG 在 project list 当中，确保其处在 active 状态。

练习目的

本练习将通过 PCB 布局，布线，信号完整性仿真分析，修改原理图添加器件等一系列的操作，使您熟悉 Mentor ISD2004 系列板级仿真设计工具。

练习中的缩略语定义：

- LMB---Left Mouse Button 击鼠标左键
MMB---Middle Mouse Button 击鼠标中键
RMB---Right Mouse Button 击鼠标右键

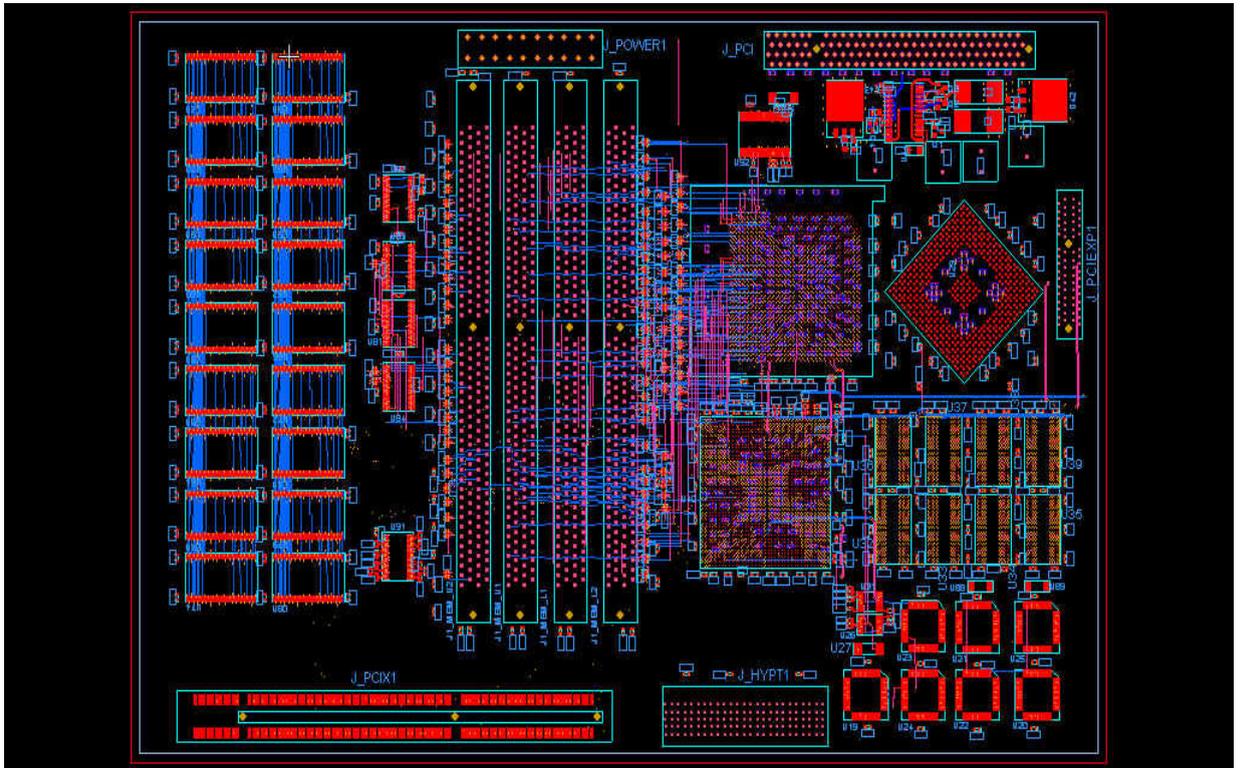
开始练习

使用 Expedition PCB 布局

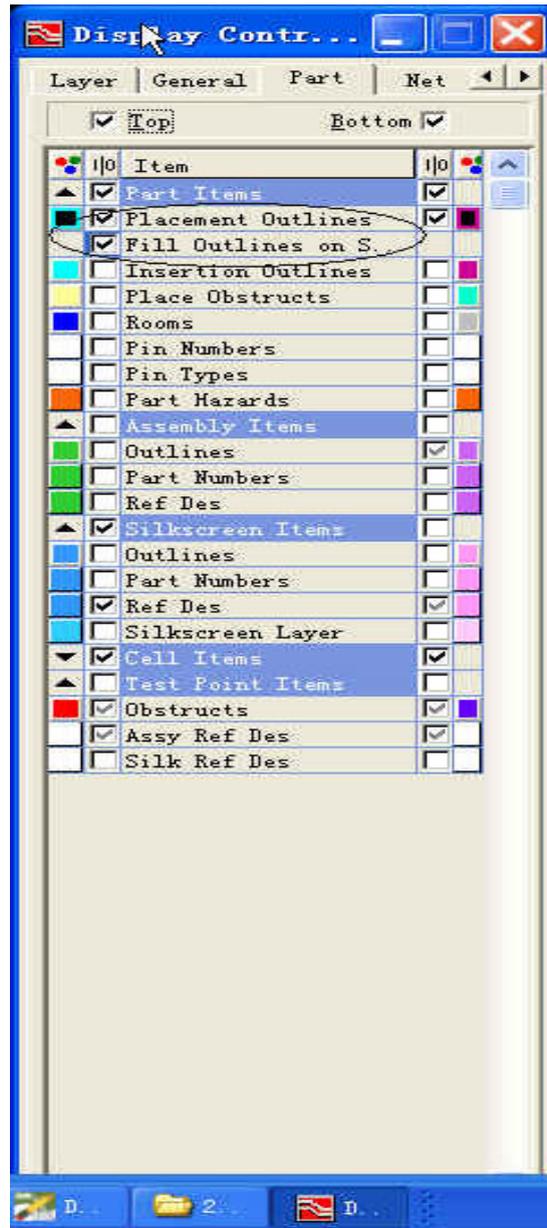
1. 进入开始->程序->Mentor Graphics SDD->WG2004->Expedition PCB-> Expedition PCB,打开 Expedition PCB 程序,在选择栏中,选中 pinnacle 和 advanced interconnect option。该选项将确保您有足够的 license 执行后面的复杂操作。

提示：进入开始->程序->Mentor Graphics SDD->WG2004->Expedition PCB-> Expedition PCB, RMB->创建快捷方式。在桌面创建 Expedition PCB 的快捷方式,方便今后操作

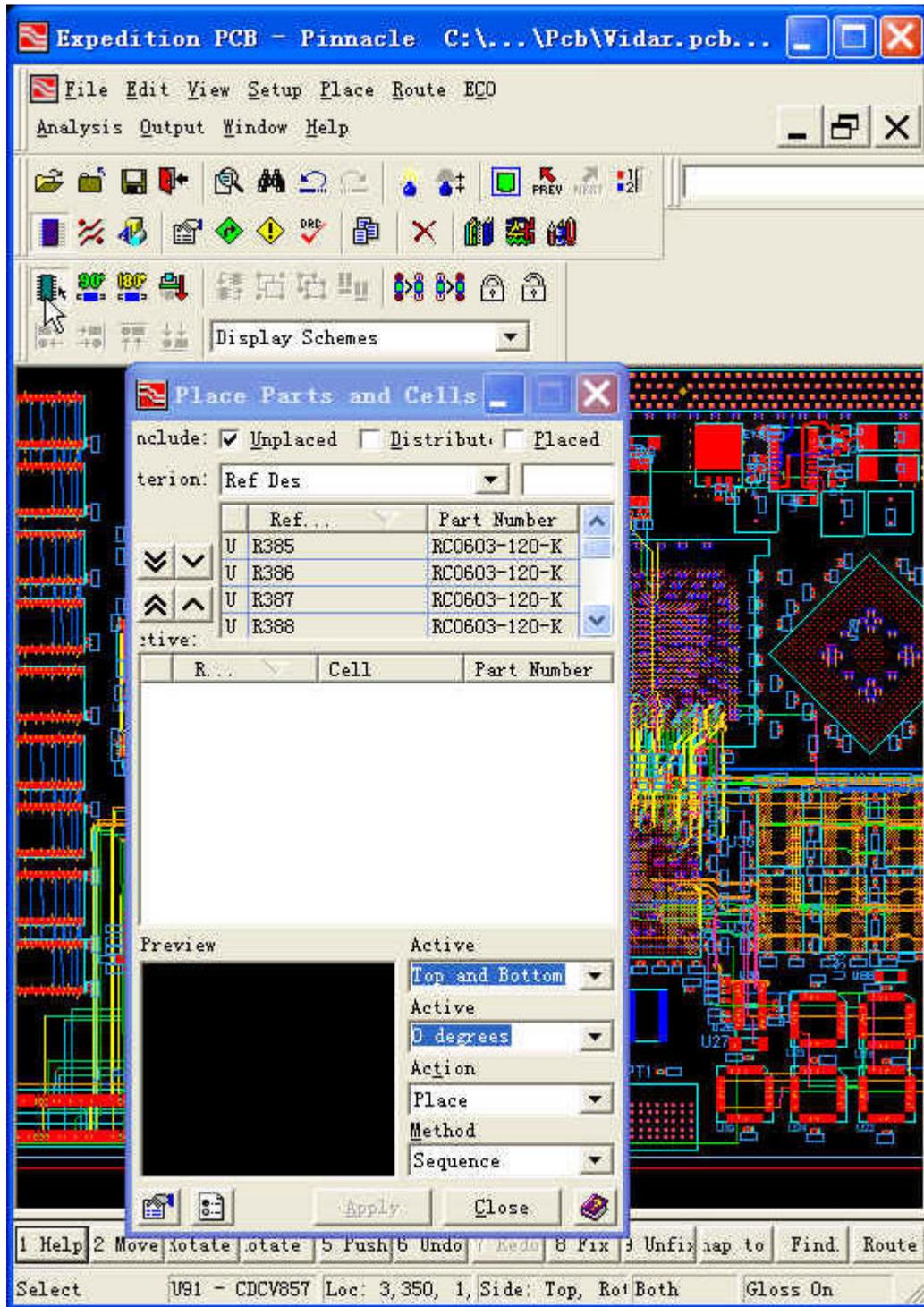
2. 进入 Expedition PCB 后,打开 C:\demonstrations\Vidar_WG\Pcb\Vidar.pcb, 如下图。



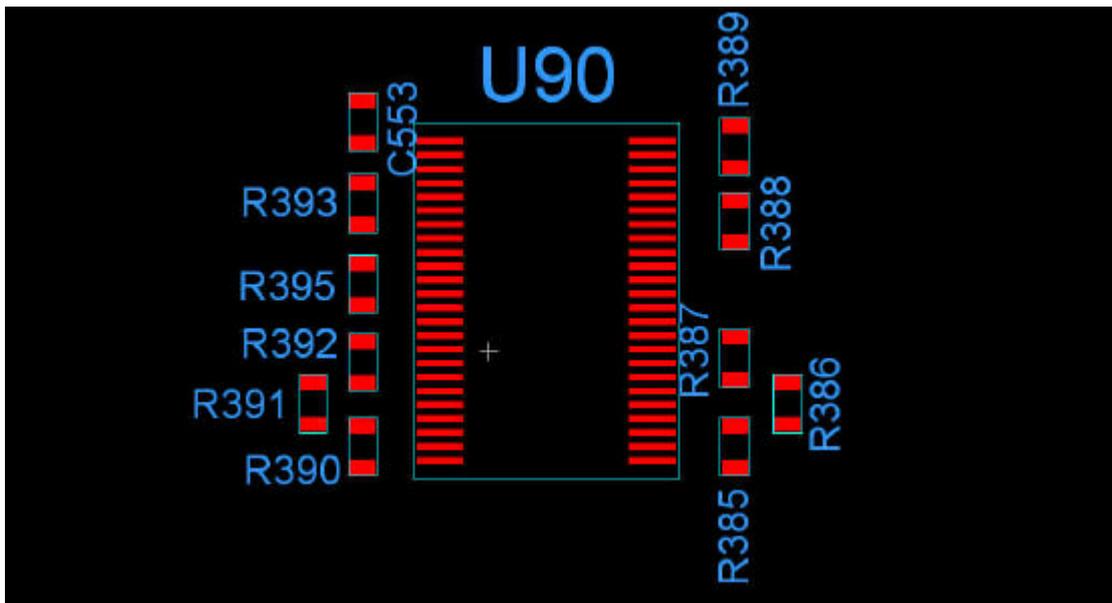
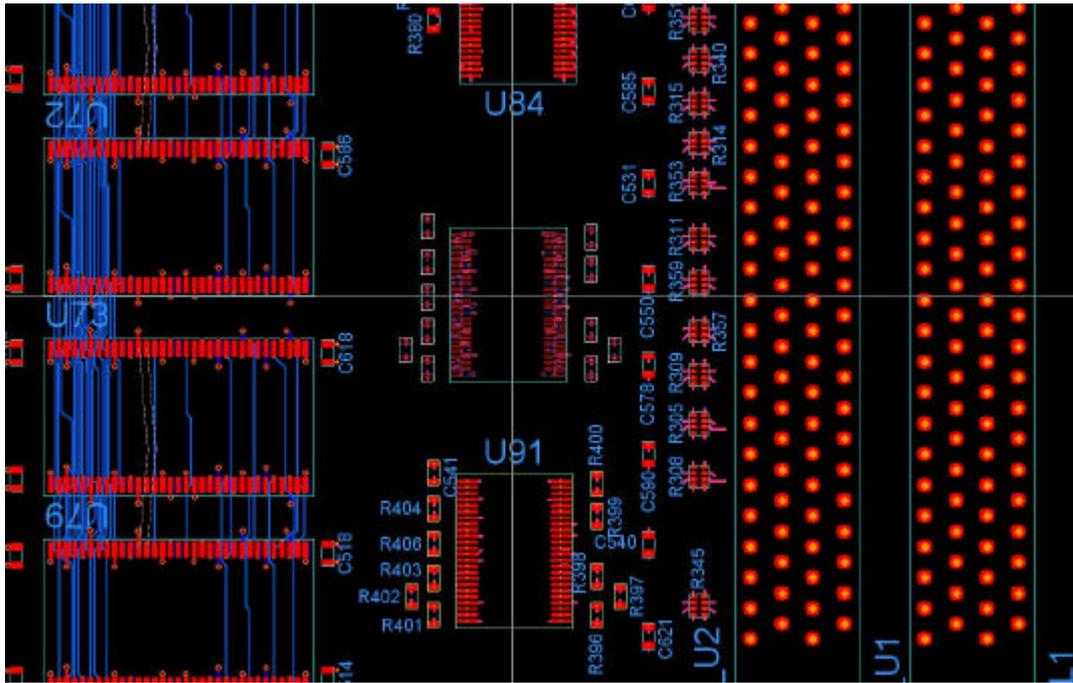
3. 选择菜单 view-display control, 或者图标打开 part 栏,选中 placement outline...和 fill outlines on...



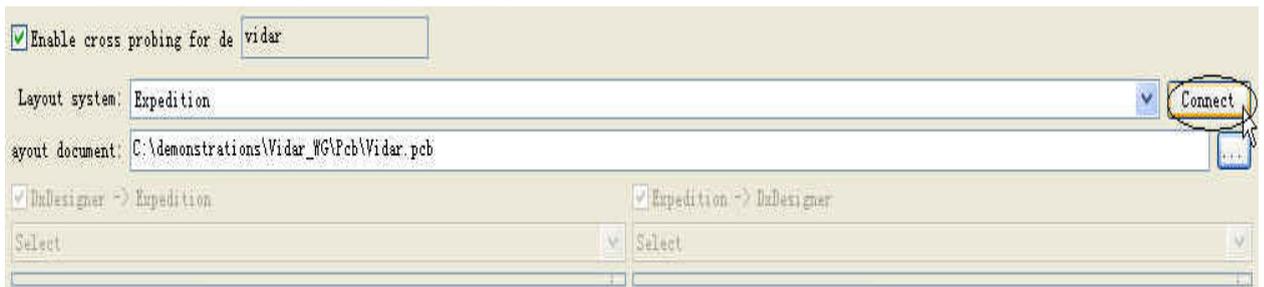
4. 打开菜单 place->place parts and cells , 或者进入布局模式 place mode  , 点击 place parts and cells 图标  。选中 unplaced 栏, 在窗口中显示出所有还在后台、未布局器件的信息。保持该窗口打开, 最小化。



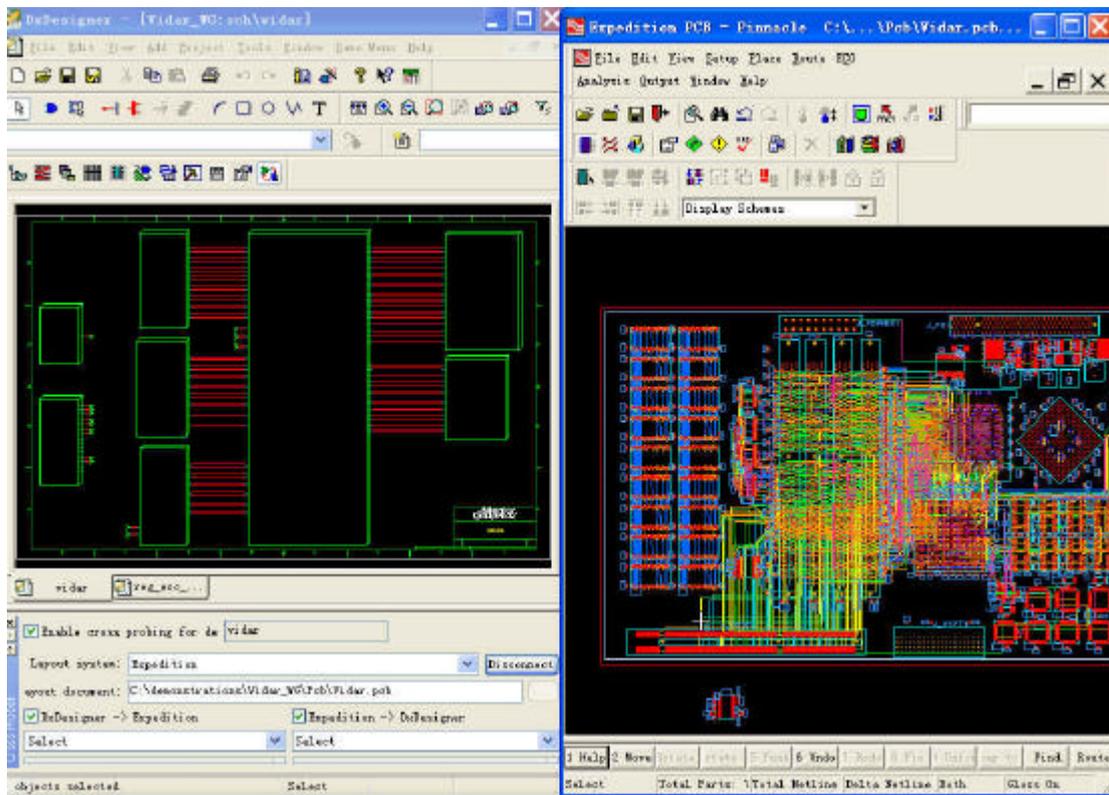
5. 在 Expedition PCB 将窗口中,选择 U84,利用鼠标中键缩放到 U84 and U91. 在 place parts and cells 窗口中选中 U90,将 U90 放在中间,然后选中 R385~R393, R395 和 C553,按照 U91 同样的方式放置器件,如下图。



6. 选择 setup->design entry , 打开原理图 DxDesigner , 选择 cross probe  , 打开交互选择窗口 , 选择 C:\demonstrations\Vidar_WG\Pcb\vidar.pcb , 点击 connect 按钮。这样原理图与 PCB 可以完成交互选择。



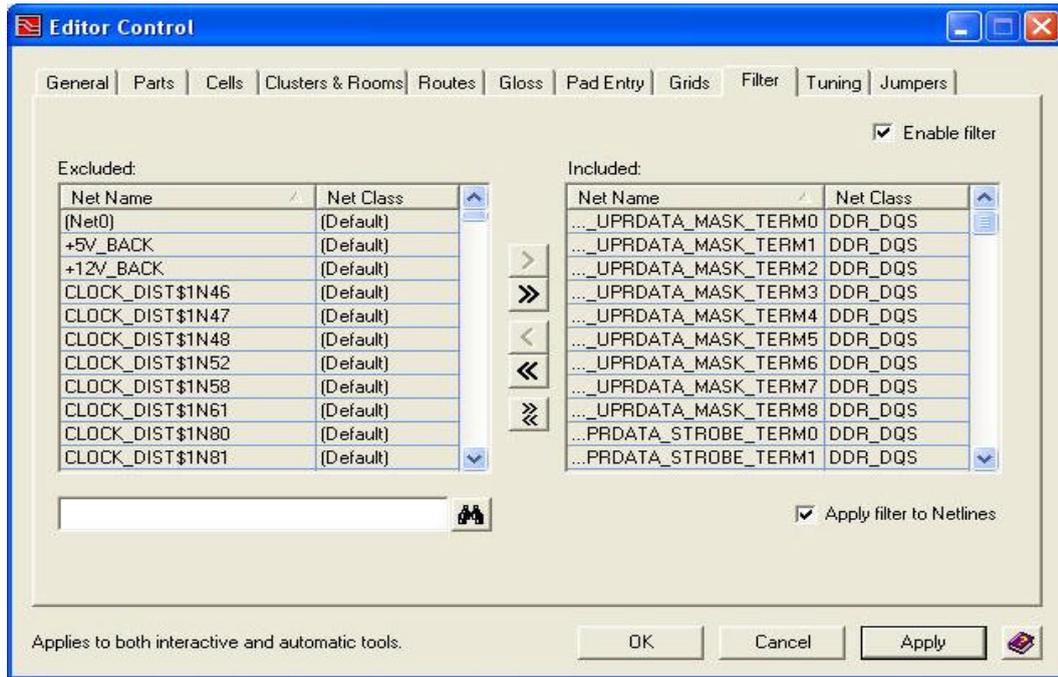
7. 将原理图与 PCB 窗口同时打开，缩放到各一半。在 PCB 中选择 U91，原理图会自动打开 U91 所在的原理图页，并选中 U91，然后在 PCB 中选中 U90，注意到 U90 的电路与 U91 完全一样。



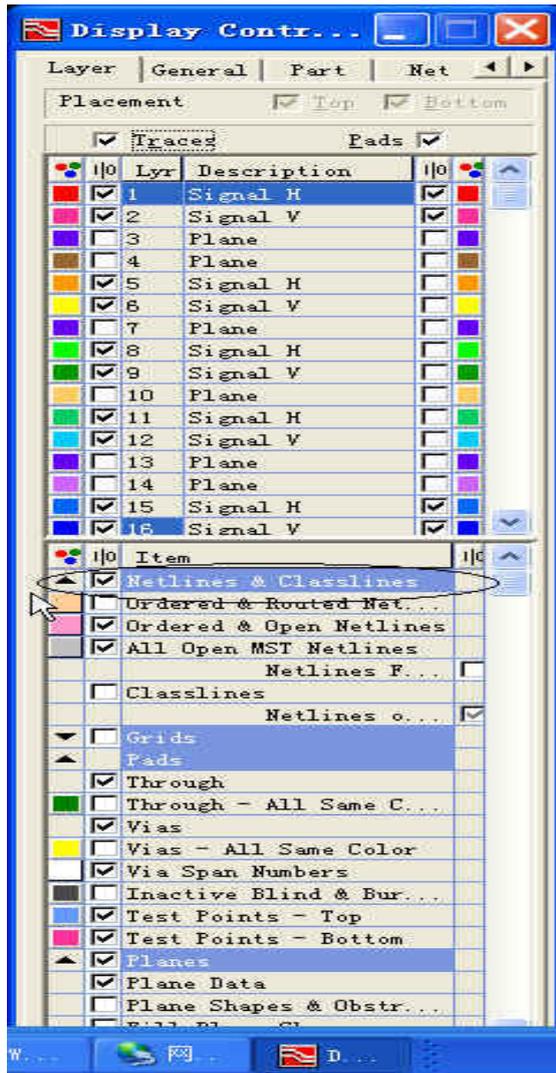
8. 将步骤 5 放置的 U90 及周围器件删掉(暂时放置在后台), 键入菜单 place->copy circuit 或者进入布局模式, 按下拷贝电路工具栏 copy circuit 。先选中 U91 及周围的器件, 按功能键 F2, U90 及周围器件的布局和布线会自动完成, 放置在 U84 和 U91 之间。
9. 保存 PCB 文件, 暂时关闭 DxDDesigner。

手工布线

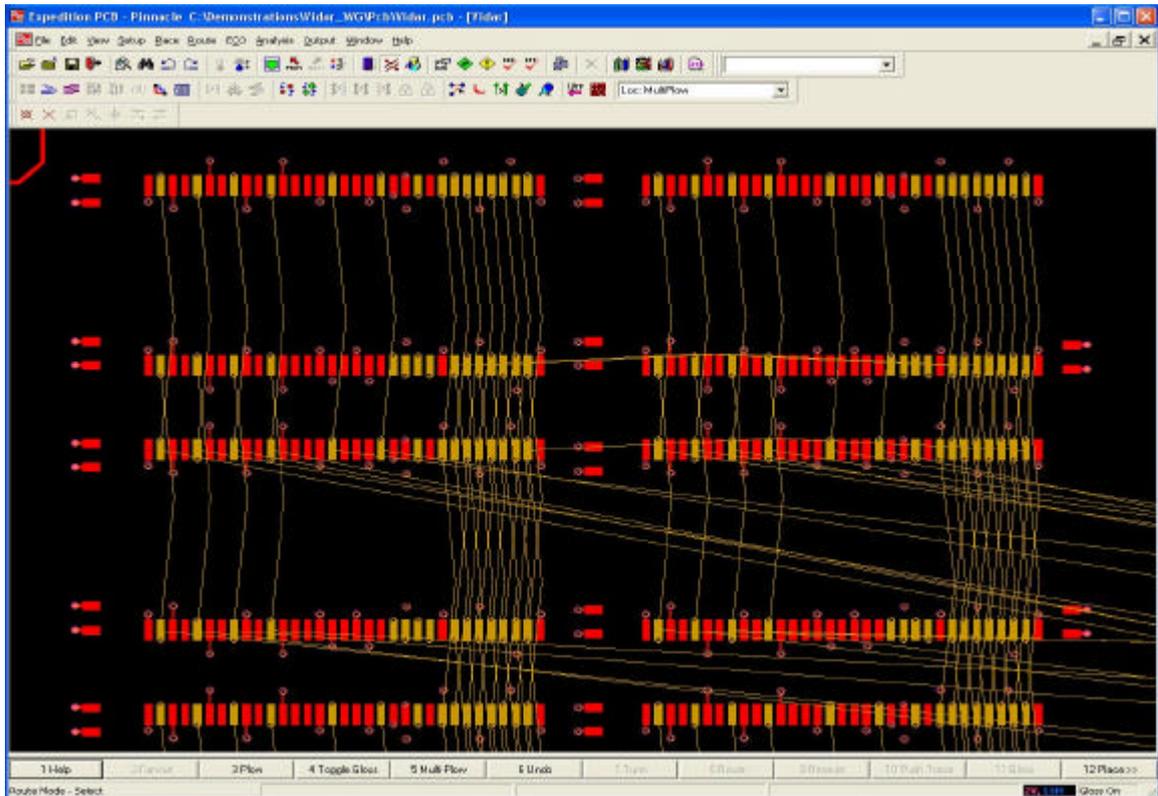
1. 进入布线模式  , 打开 setup->Editor Control  , 然后使能 enable the filter.



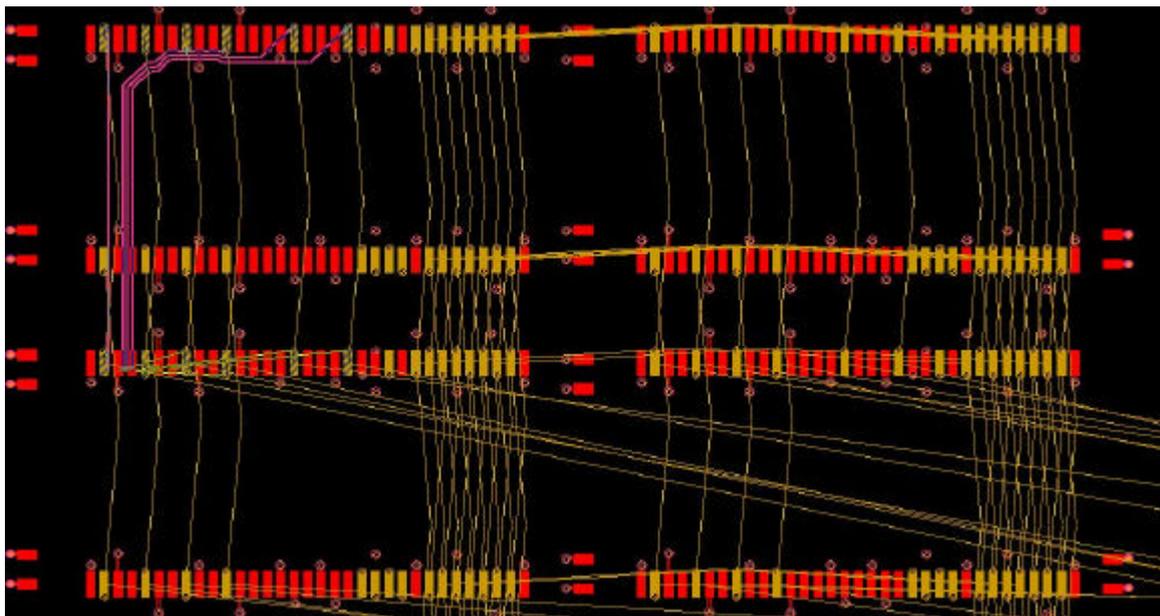
打开颜色菜单  view->display control, 进入 layer 栏, 打开 netlines&classlines, 显示网络。



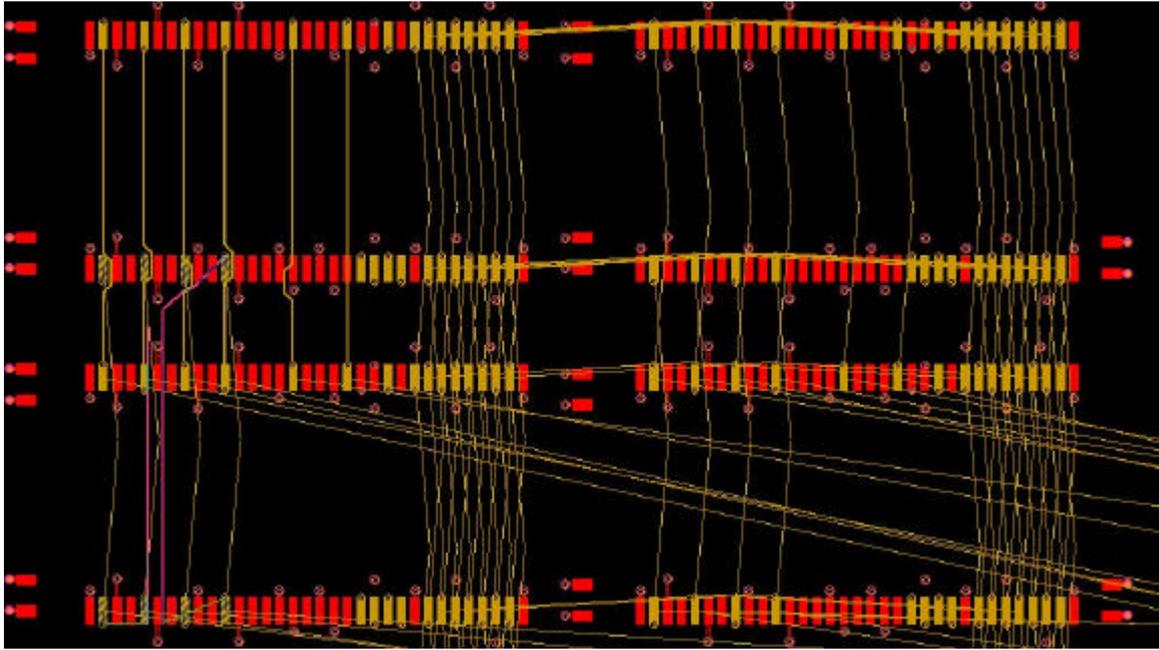
2. 将窗口缩放到左上角存储器处，如下图：



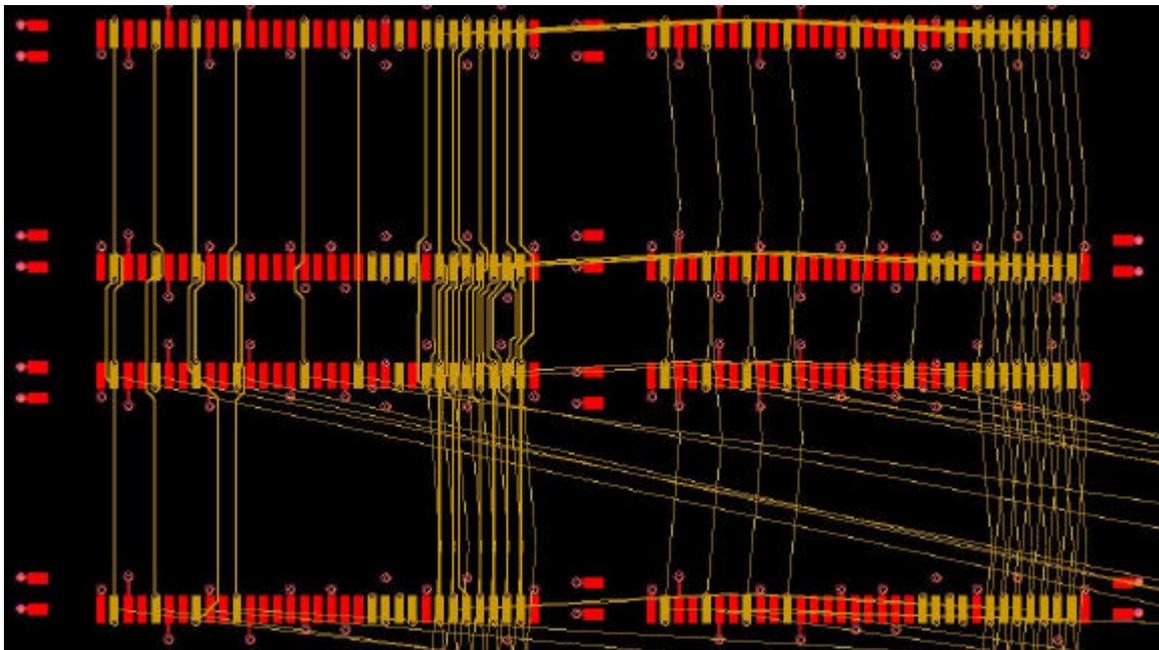
3. 选择左上角(U70, U71)的左数四根网络，在布线工具栏中选择总线布线 MultiPLOW  或按 F5，拖动鼠标，出现总线布线。然后按向下键 ，切换布线层到第二层，拖动总线到下边的管脚处，按 <Esc>退出本次布线。



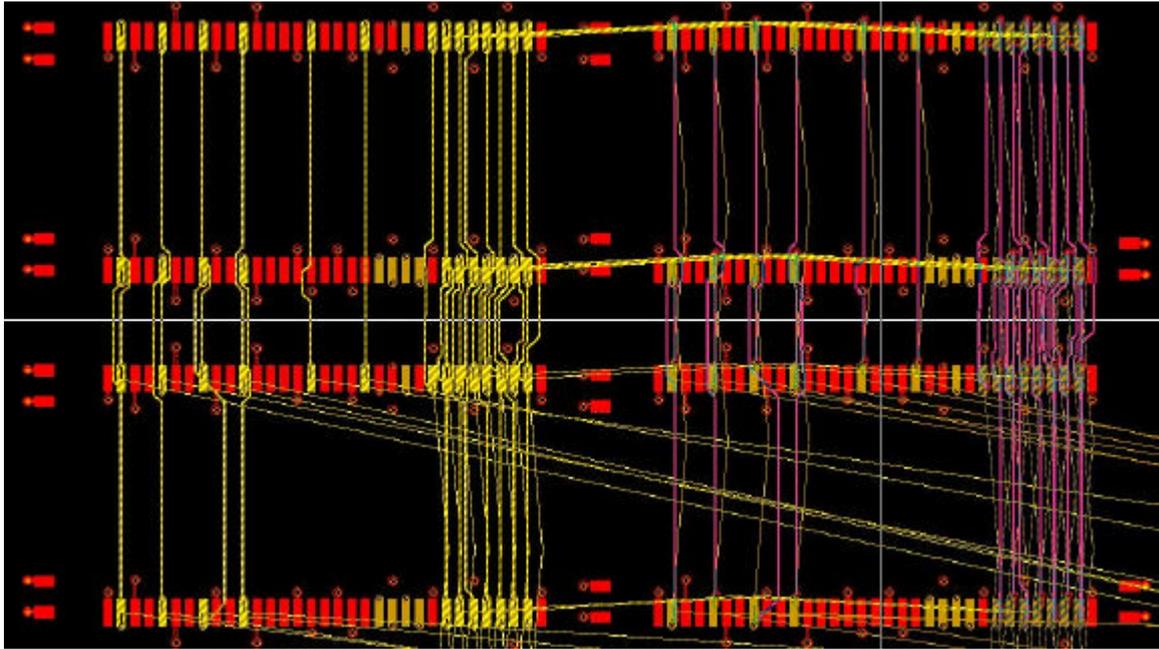
4. 同样的方法，对左下角（U74，U78）四根网络进行总线布线。注意切换到第二层布线。



5. 选择存储器器件（U70，U71）右上角的处的 8 根网络，在第二层总线布线，在布线过程中，按下 F2/F3，缩小/增大总线间距，完成布线，如下图。如果总线不能绕过过孔，按 F4，切换平滑方式 gloss 到 gloss on（gloss 方式在屏幕右下角显示）



6. 拖动鼠标选中刚布完的总线，按下拷贝布线图标，，将同样的布线拷贝到右边的 U68，U69 处。如下所示。

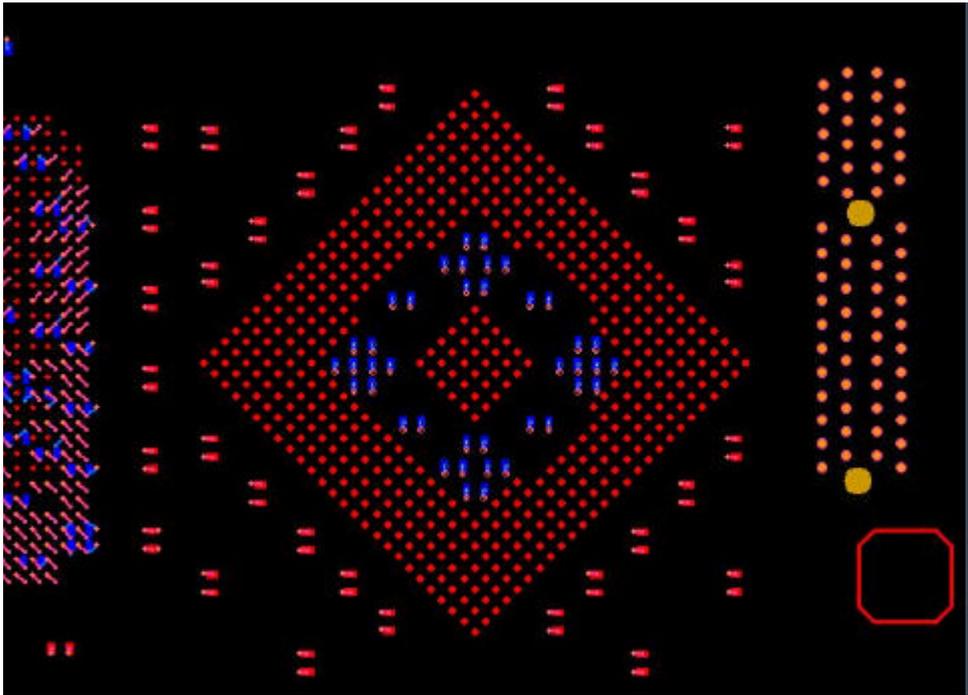


打开 editor control 窗口  , 关掉 filter。

按<Esc>退出布线，试着选中布好的线或过孔，拖动鼠标，试试编辑布线的自动推挤功能。

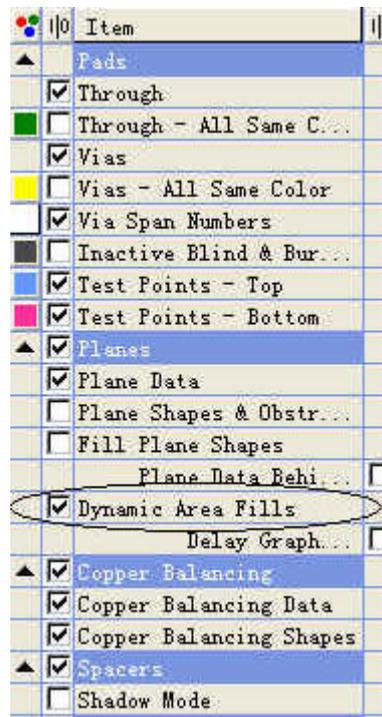
自动微孔扇出

1. 将窗口缩放到 U29 BGA 处，布局模式 place mode  下选中 U29，然后进入布线模式 route mode  ， 按下扇出  或 F2，看看对 U29 BGA 的信号管脚自动扇出的结果。

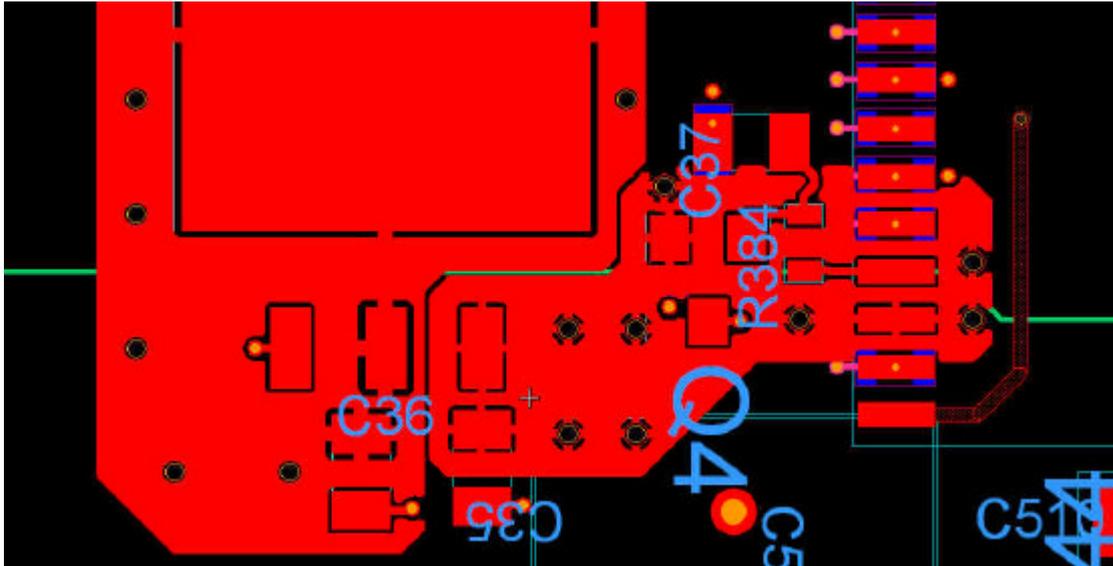


动态覆铜

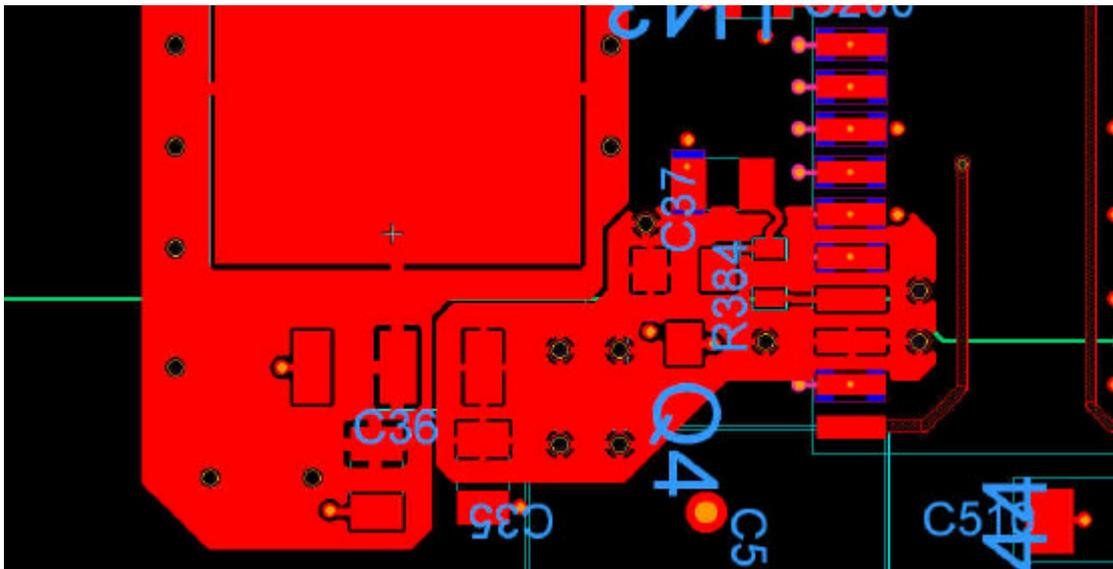
1. 打开颜色菜单 view->display control  进入 layer 栏,在下方 item 中,选中 Dynamic Area fill。然后关闭或最小化颜色窗口。



2. 将窗口移动到右上角 PCI 插槽下,看到顶层覆铜,按下 MMB 移动屏幕到如图 U43 和 Q4 处。

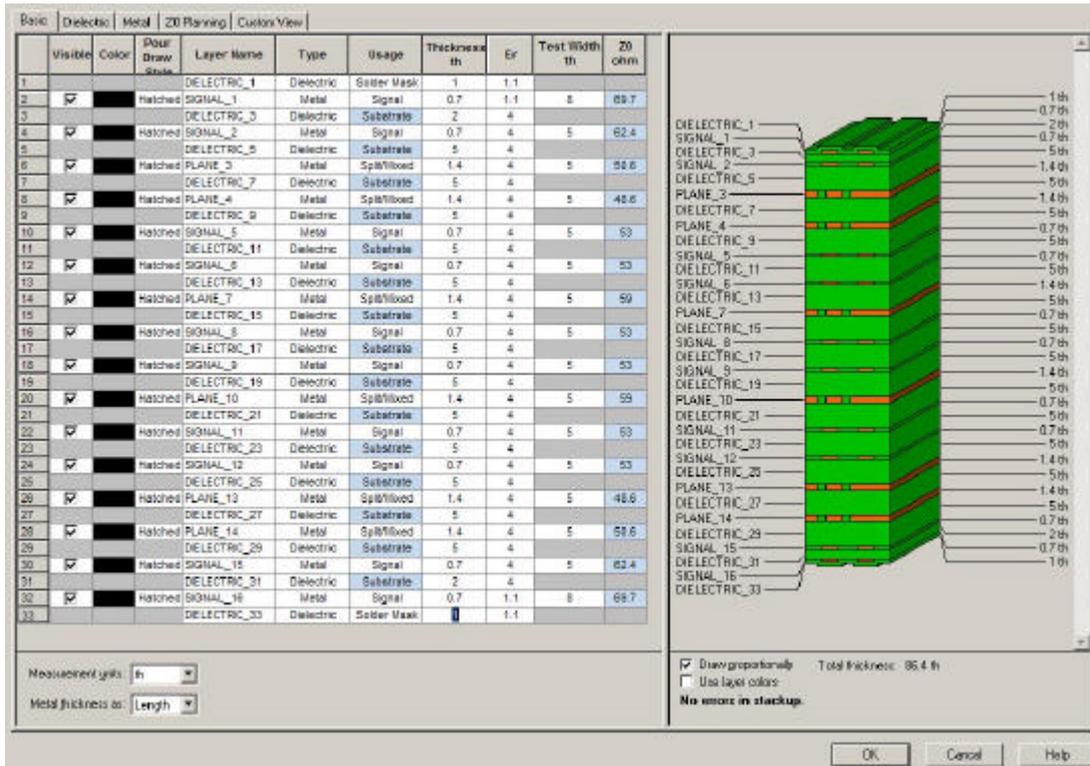


3. 布局模式 place mode  下选中 C36，按下 LMB 拖动鼠标向右移动 C36，松开鼠标，看到重新覆铜的效果。
4. 布线模式 route mode  ，选中 C36 的扇出过孔，移动过孔及走线到覆铜平面上，看到重新覆铜的效果。



高速布线规则及高速布线

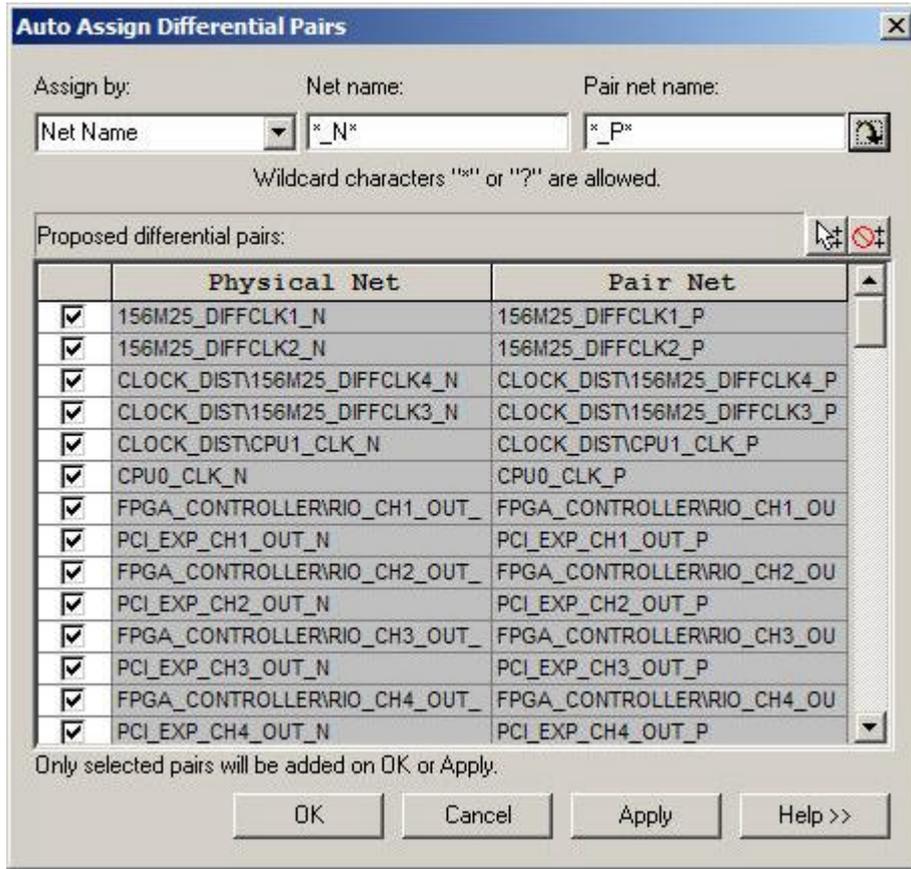
1. 从菜单 setup->constrains 进入规则编辑窗口(CES)，关于 PCB 设计和仿真的所有规则都在这个界面下定义完成
2. 在 CES 界面进入菜单 Edit->Stackup 调起 Stackup Editor. 这个窗口用于输入和编辑 PCB 的层叠和材质信息，并做阻抗设计



不要修改任何内容，按 Cancel 关闭 stackup editor。

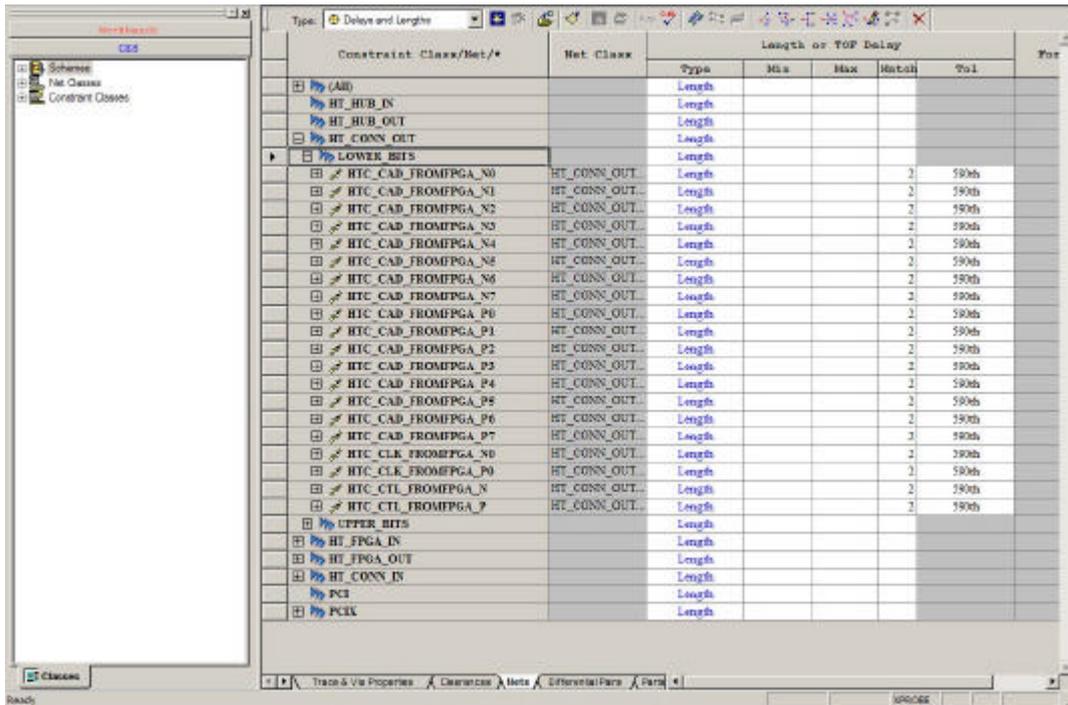
3. 切换到 Nets 栏，这里主要用于定义网络类 (calss)，网络拓扑，长度，差分对等规则，下面我们就一项一项来定义这些规则。

4. 定义差分对：按下自动分配差分对图标 。弹出自动分配差分对对话框中，在 net name 框中输入“*_N*”，在 pair net name 栏输入 “*_P*”，按下 assign match 键 。CES 会自动将命名为“*_N*”和“*_P*”的同名网络作为差分对定义，拖动滚动条，检查所有差分对，不选认为不是差分对的网络，点 OK 定义选中的差分网络对。进入 Differential Pairs 栏，可以看到刚才定义的差分对。

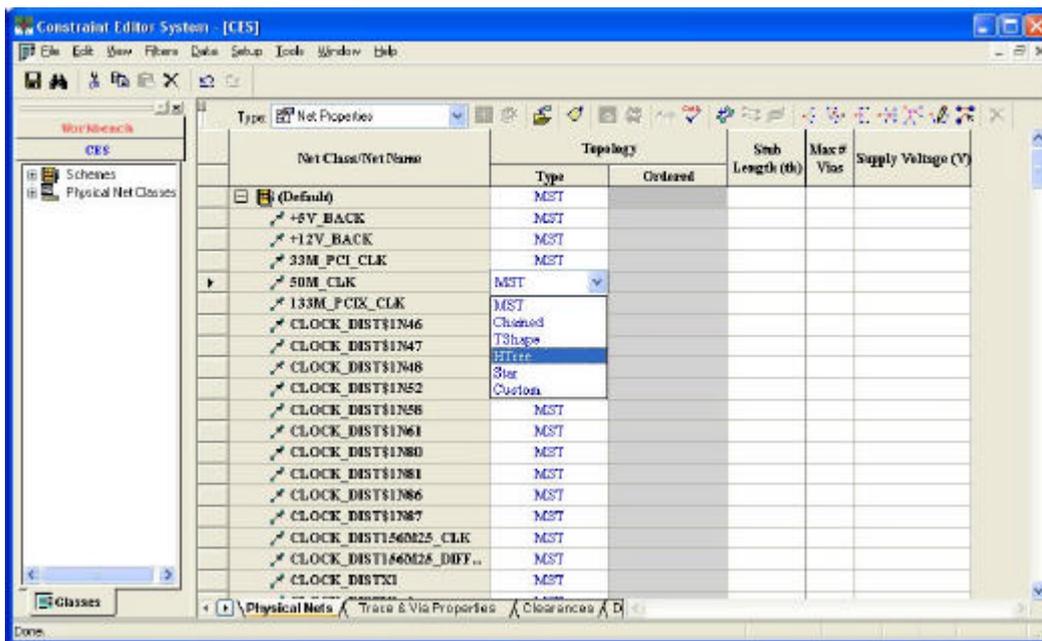


Net Class/Physical Net	Pair Tol (th)		Convergence Distance		Distance to		Separation Distance		Differential Spacing
	Max	Actual	Max	Actual	Max	Actual	Max	Actual	
(Default)									
156M25_DIFFCLK1_N,156M25_DIFFCLK1_P									58 (th)
156M25_DIFFCLK2_N,156M25_DIFFCLK2_P									58 (th)
CLOCK_DIST156M25_DIFFCLK3_N,CLOCK...									58 (th)
CLOCK_DIST156M25_DIFFCLK4_N,CLOCK...									58 (th)
CLOCK_DISTCPU1_CLK_N,CLOCK_DISTCPU...									58 (th)
CPU0_CLK_N,CPU0_CLK_P									58 (th)
PCI_EXP_CH1_OUT_N,PCI_EXP_CH1_OUT_P									58 (th)
FPGA_CONTROLLERRIO_CH1_OUT_N,FPGA...									58 (th)
PCI_EXP_CH2_OUT_N,PCI_EXP_CH2_OUT_P									58 (th)
FPGA_CONTROLLERRIO_CH2_OUT_N,FPGA...									58 (th)
PCI_EXP_CH3_OUT_N,PCI_EXP_CH3_OUT_P									58 (th)
FPGA_CONTROLLERRIO_CH3_OUT_N,FPGA...									58 (th)
PCI_EXP_CH4_OUT_N,PCI_EXP_CH4_OUT_P									58 (th)
FPGA_CONTROLLERRIO_CH4_OUT_N,FPGA...									58 (th)
HTP_CADIN_N0,HTP_CADIN_P0									58 (th)
HTP_CADIN_N1,HTP_CADIN_P1									58 (th)
HTP_CADIN_N2,HTP_CADIN_P2									58 (th)
HTP_CADIN_N3,HTP_CADIN_P3									58 (th)
HTP_CADIN_N4,HTP_CADIN_P4									58 (th)
HTP_CADIN_N5,HTP_CADIN_P5									58 (th)
HTP_CADIN_N6,HTP_CADIN_P6									58 (th)
HTP_CADIN_N7,HTP_CADIN_P7									58 (th)
HTP_CADIN_N8,HTP_CADIN_P8									58 (th)
HTP_CADIN_N9,HTP_CADIN_P9									58 (th)
HTP_CADIN_N10,HTP_CADIN_P10									58 (th)
HTP_CADIN_N11,HTP_CADIN_P11									58 (th)
HTP_CADIN_N12,HTP_CADIN_P12									58 (th)
HTP_CADIN_N13,HTP_CADIN_P13									58 (th)

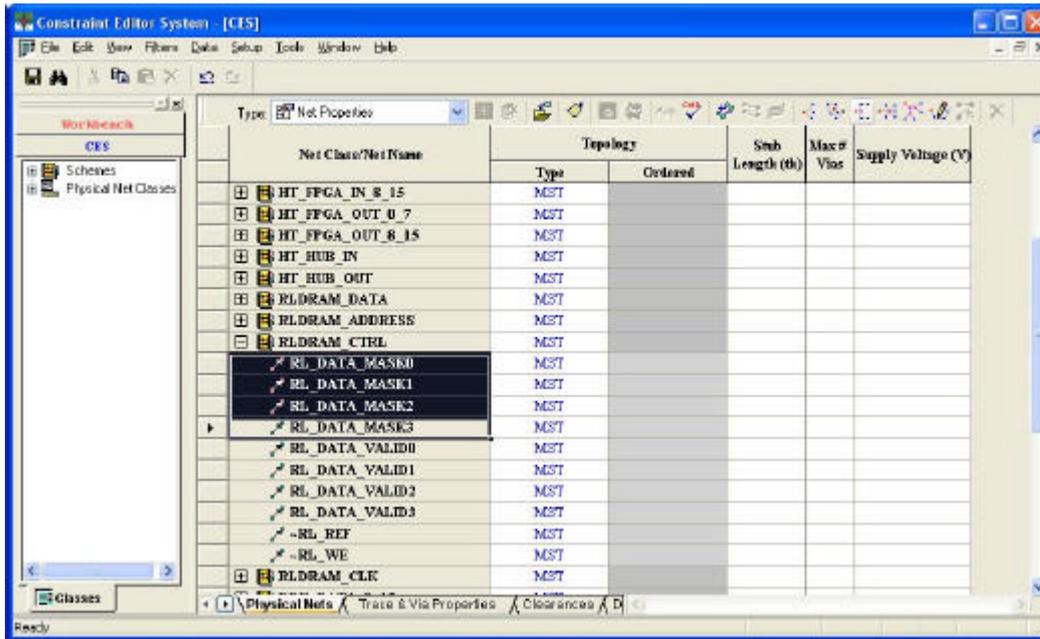
5. 定义长度 :回到 Nets 栏 ,展开 (All)class ,选择 33M_PCI_CLK ,看到对该网络的 min/max 长度约束 (5000 ~ 5500mil) 。展开所有 HT_* classes ,看到对网络类匹配长度和匹配冗余的定义。



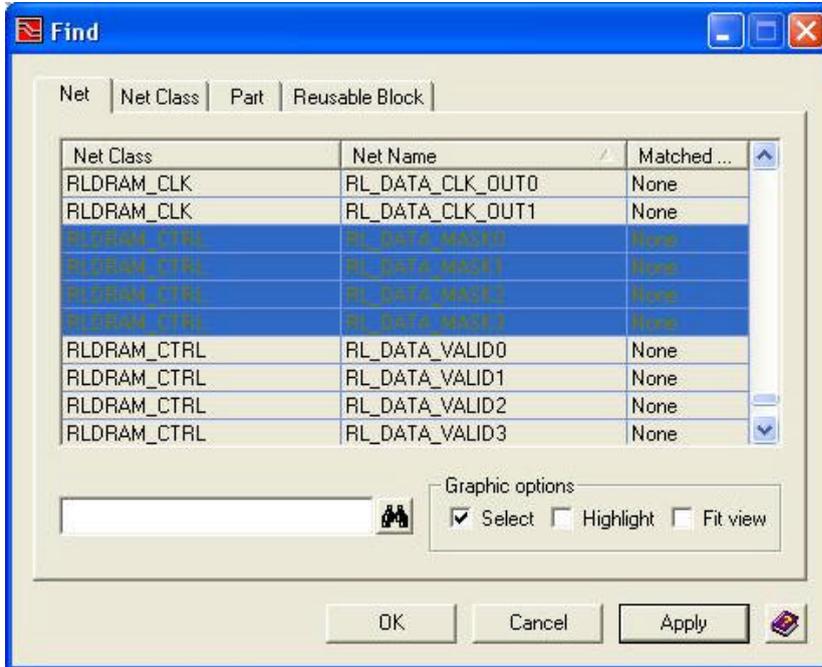
6. 定义 topology：选择 (ALL) class 下的网络 50M_CLK。在 Topology 栏下拉选择该网络拓扑为 Htree 型。



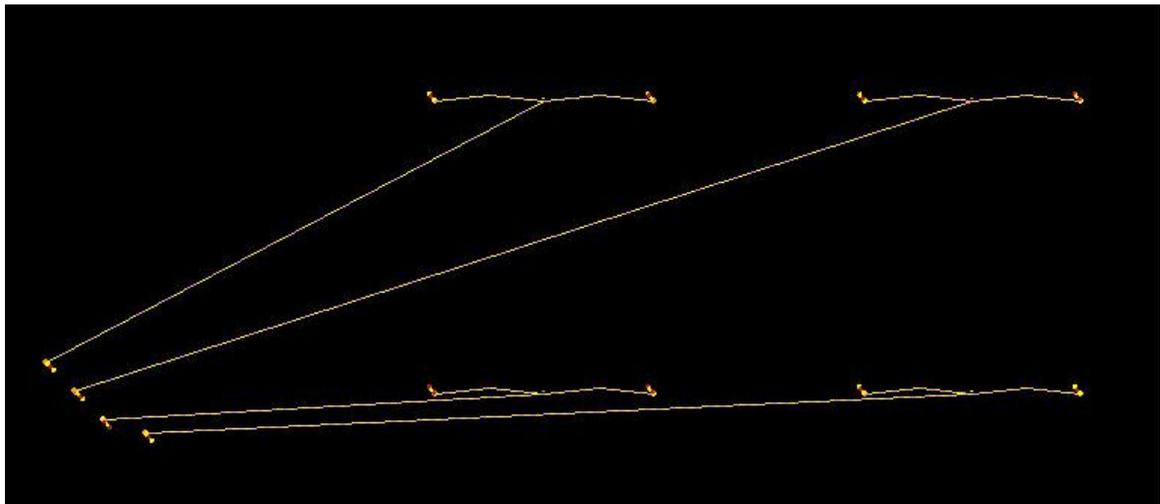
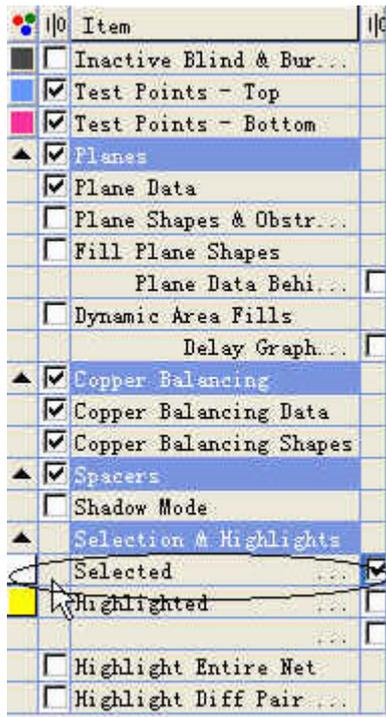
7. 选择 (ALL) class 下的网络 RL_DATA_MASK(0-3) (按住 CTRL 键, 多选), 在工具栏选择 T 型拓扑  , 给这三个网络设置 T 型拓扑。



8. 点击 File -> Exit ,然后选择 Save All button 返回 Expedition PCB. 这样 ,在 CES 中定义的所有规则会自动传递给 PCB 中的网络。 .
9. 在 PCB 中打开查询 Find  窗口 ,在 net 栏选中 RL_DATA_MASK(0-3), 选中 Select 选项 ,点击 OK。

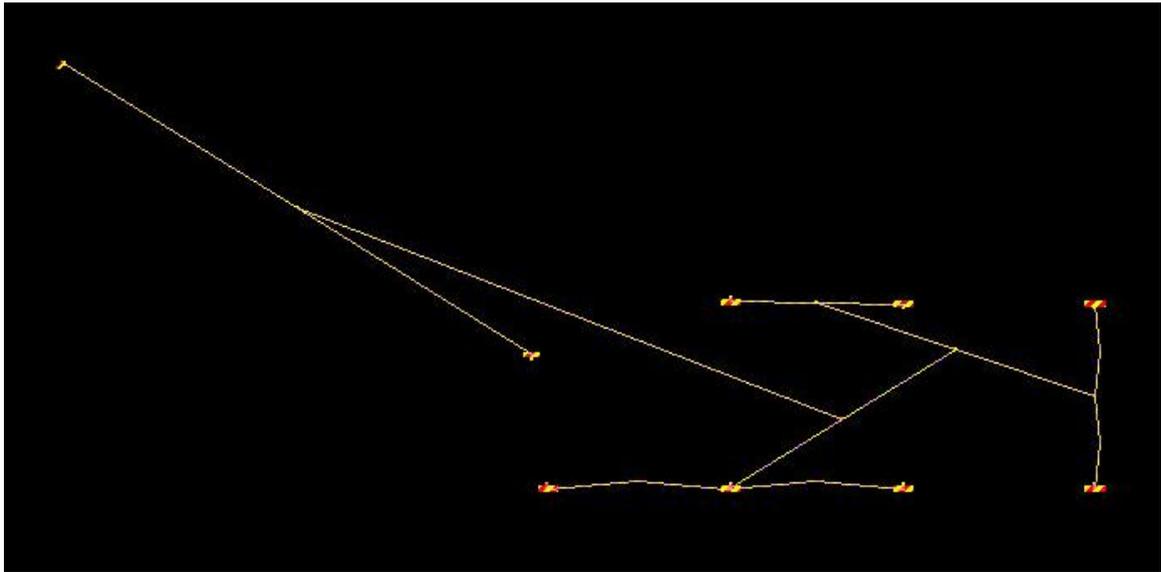


打开颜色菜单 view->display control  在 layer 栏下方 Selection&Highlights 选中 Selected “Only” ,PCB 窗口将只显示选中的网络 ,缩放到 RL_DATA_MASK(0-3) ,显示 T 型拓扑。



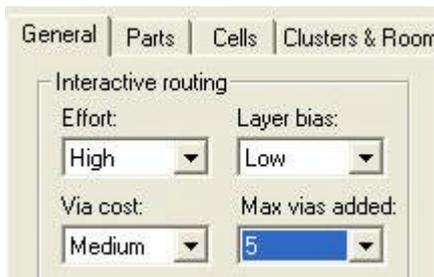
试着按下 F8 键，自动布线，查看 T 型拓扑布线。

同样选中 50M_CLK，显示 Htree 型拓扑。

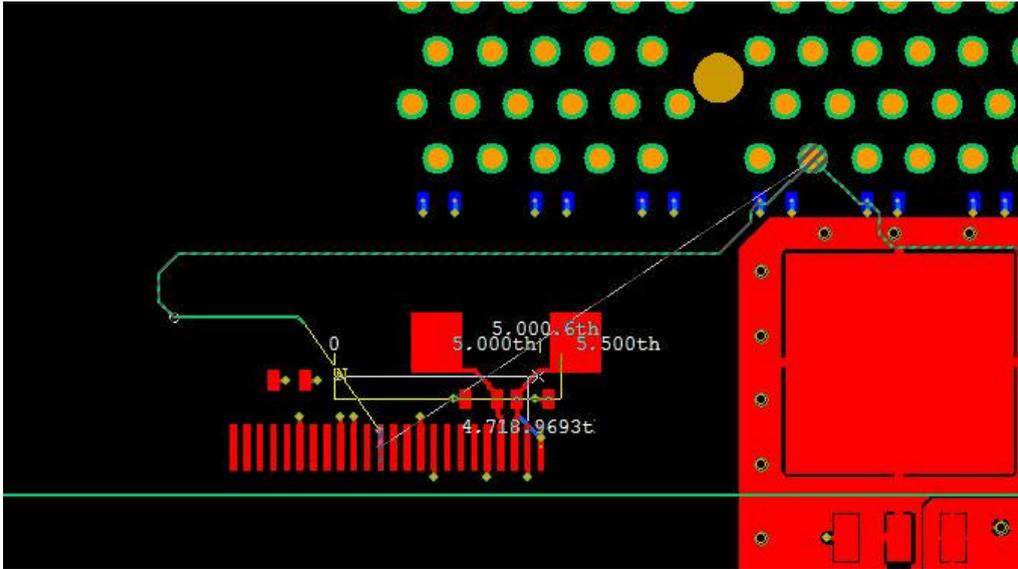


利用 HSR 手工时延高速布线

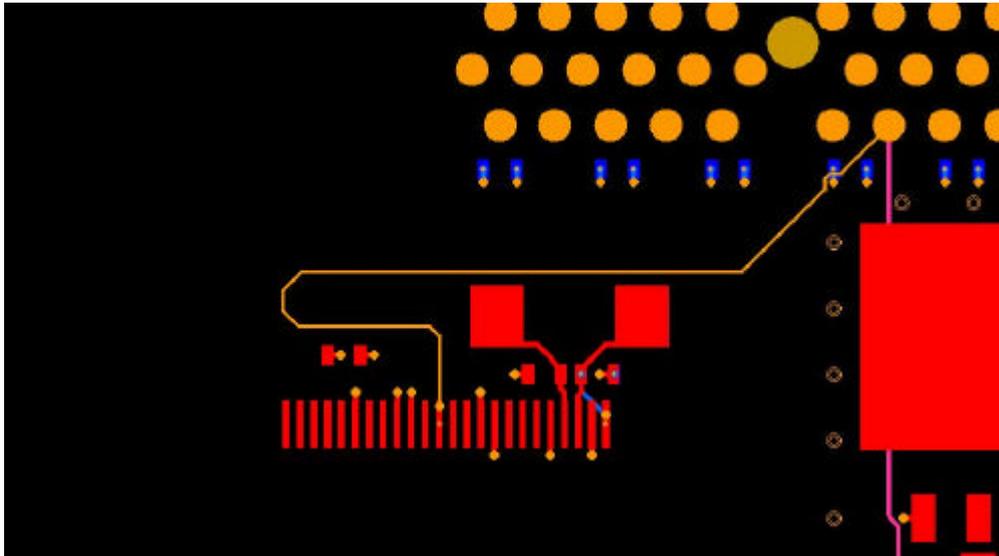
打开 editor control 窗口 ，进入 General 栏。在“Interactive routing”做如下选择，OK 退出。



进入布线模式，按 F4 - 切换 Gloss function 到 Gloss Partial. (gloss 方式在屏幕右下角显示)。使用查找功能，找到网络 33M_PCI_CLK，并缩放到合适位置，从 U29 BGA 管脚处的过孔处开始布线，按向下键切换到第二层，按 F3 - 手工布线。注意，在布线时，显示一个在线的长度标尺，表示该网络有长度约束 (Length 5000~5500mil)，并显示当前的布线长度。在开始布线时，标尺为黄色，警告长度未达到要求，试在绕线，当达到 5000mil 时，标尺为绿色，合乎要求，继续绕线，直至变为红色，提示错误，超出规定长度，无法继续布线。



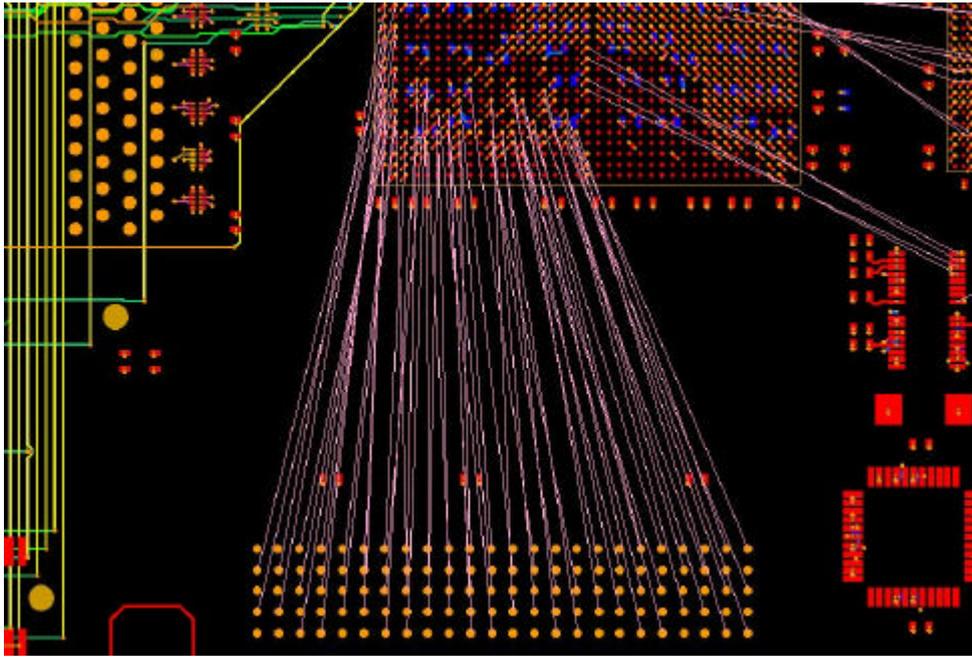
按 F6 undo，撤销绕线，按 F5 自动完成布线，这时长度不满足最小 5000mil 的要求，选中该网络，按 F7，将自动绕线至 5000mil。



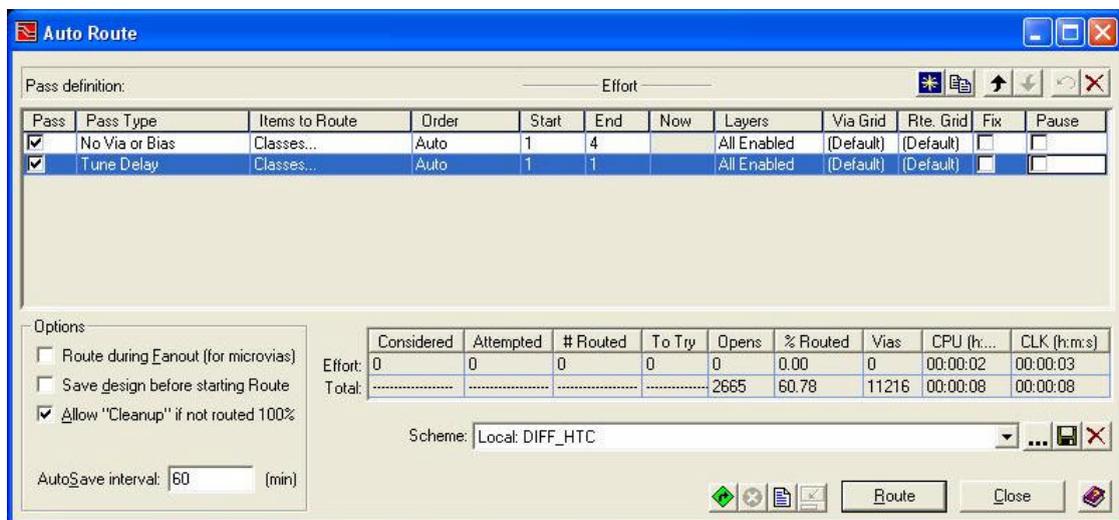
按 <Esc> to 退出布线，按 F4 – 切换 Gloss mode 为 Gloss On.

利用 HSR 自动差分对布线，时延补偿布线

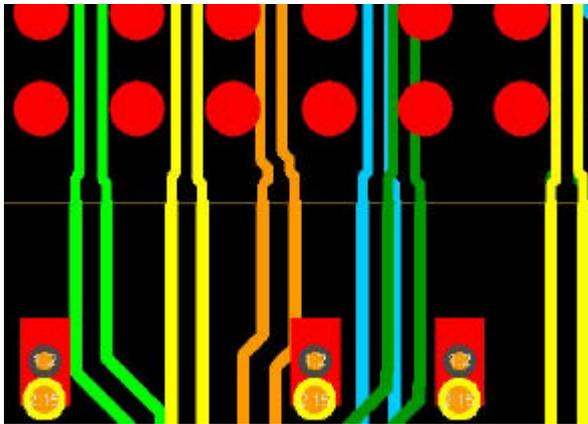
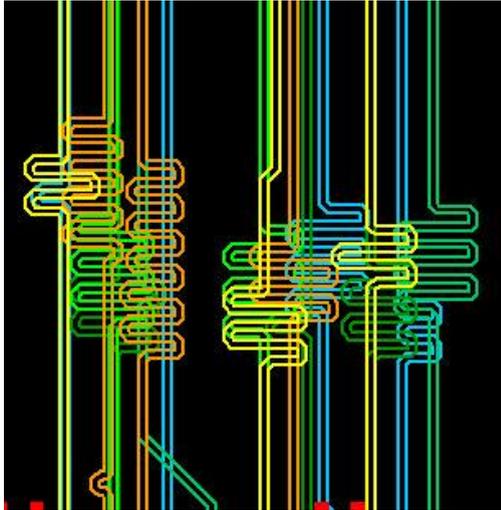
将 PCB 窗口切换到中间底部 FPGA 和连接器之间，打开网络颜色，



进入菜单 Route->Auto route , 打开自动布线对话框, 在布线策略 scheme 栏中下拉选中 DIFF_HTC 布线策略, 确认 Fix 选项没有选中。该策略表示对 DIFF_HTC 总线网络布线, 并做时延补偿。点击 Route 键, 等待布线结果。



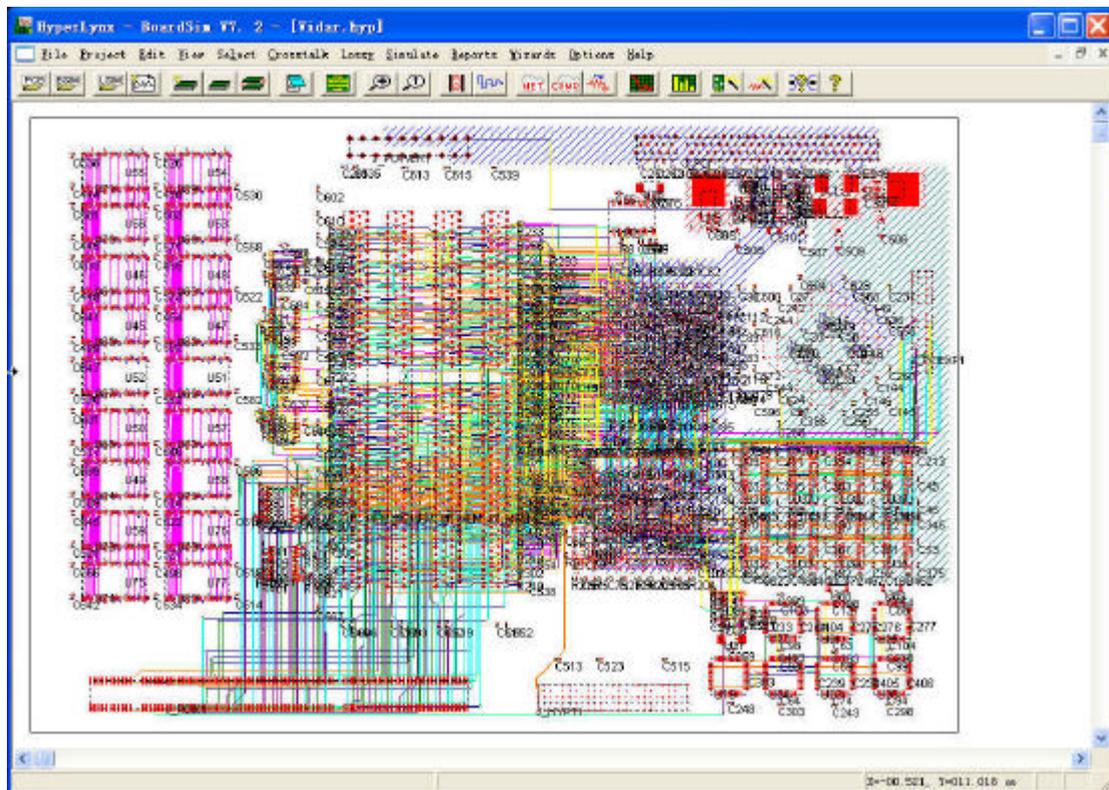
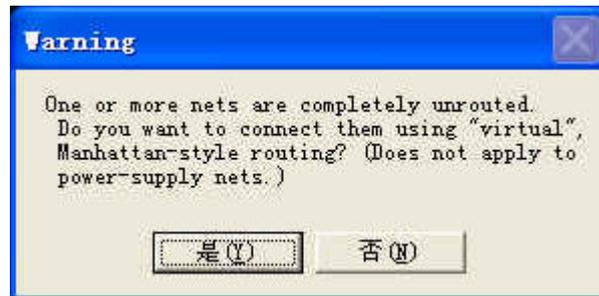
当布线结束, 缩放检查如下布线结果, 可以看到差分对自动时延补偿和差分对穿越 BGA 区域时不同规则导致的的不同线宽和线间距。



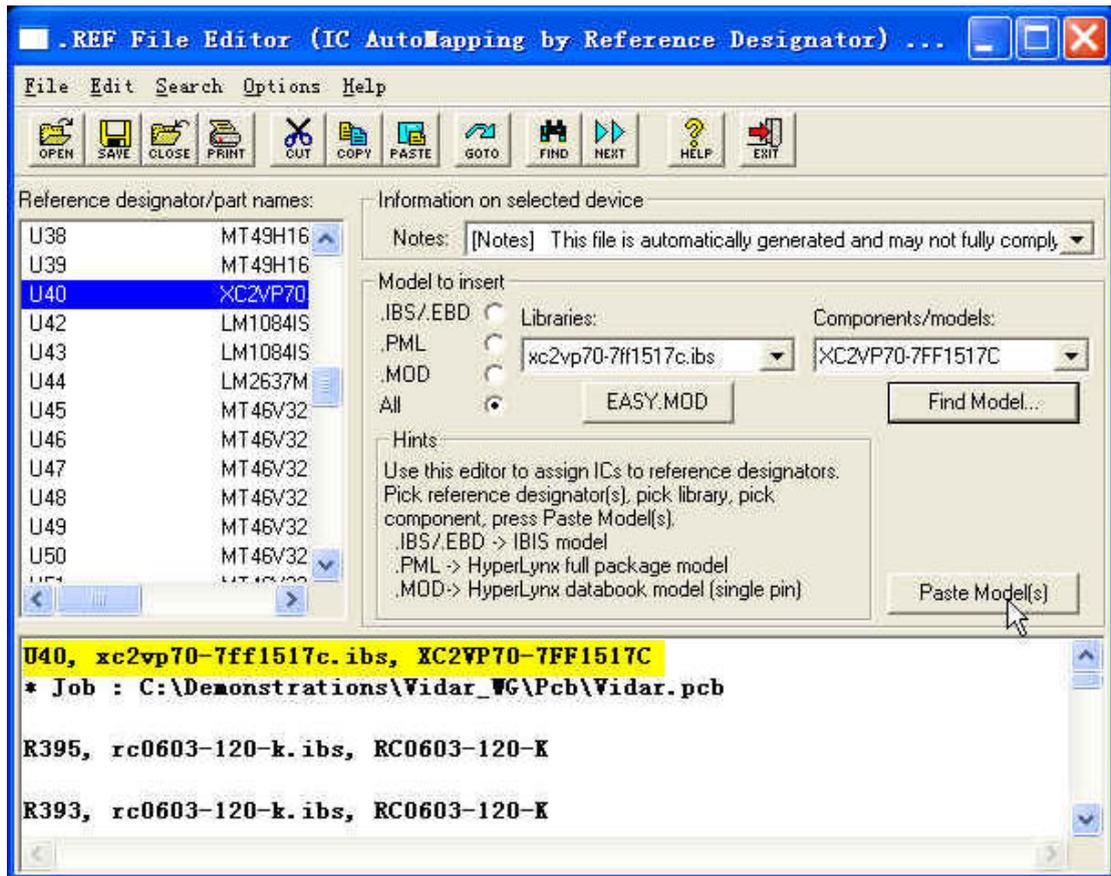
File->Save , 保存当前设计。

信号完整性分析 –HyperLynx 功能练习

1. 从 Expedition PCB 当中进入菜单 Analyze->Export to HyperLynx，将 PCB 输出到 HyperLynx 当中进行仿真分析。HyperLynx 在打开时，会提示如下问题，选择否 (N)。然后会弹出 HyperLynx 仿真界面。

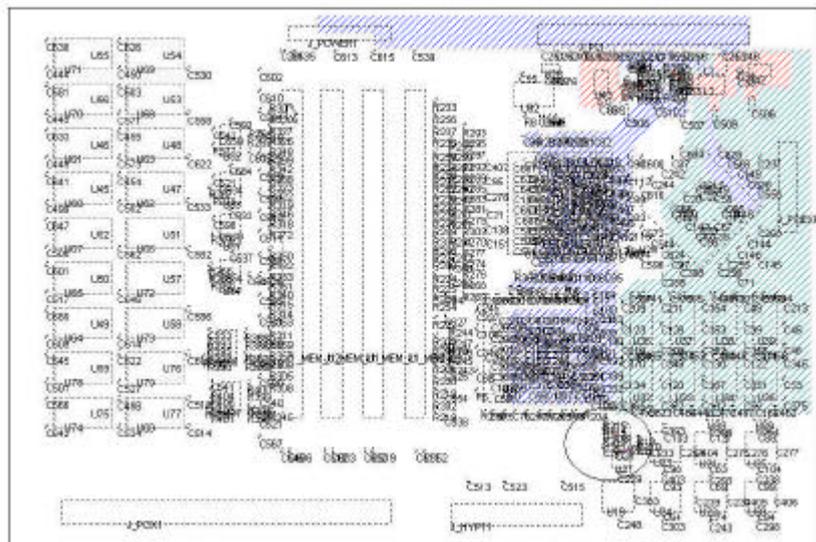


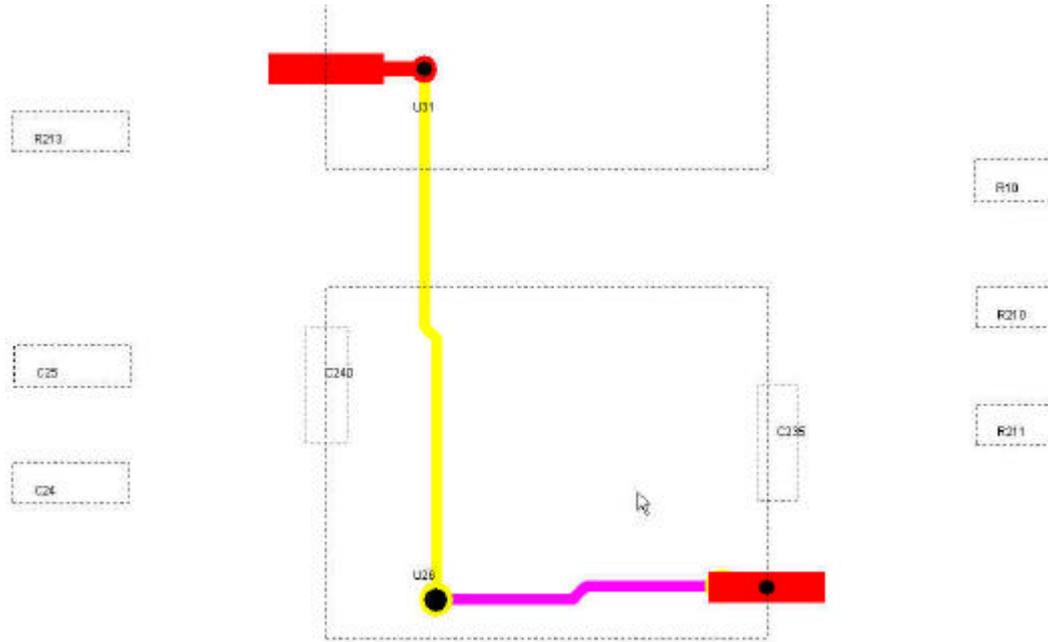
2. 设置 HyperLynx 仿真参数。打开 Edit->Stackup，进入层叠编辑窗口，在这里定义 PCB 板材和铜箔参数，用于计算传输线对信号的作用。浏览窗口内的内容（与 PCB 约束定义 CES 中的 Stackup editor 一样），不要修改任何参数，关闭退出。
打开 Edit->.ref IC Automapping file，进入指定器件模型编辑界面。PCB 仿真的器件模型，在建库的时候就已经指定，这里会自动带入 HyperLynx 仿真环境，如果在前期没有指定，可以在这里重新指定。从左上角 reference designator/part name 列出的器件清单中选取 U40，在右边 model insert 栏选中 ALL，从 libraries 中选择模型 xc2vp70-7ff1517c.ibs，Components/models 中选择 XC2VP70-7FF1517C，点击 Past model，将模型赋给这个器件，保存退出指定器件模型编辑界面。



3. 信号仿真。

信号完整性分析 : 打开 select->net by name 或点击工具图标  , 从弹出的窗口中选择网络 CLOCK_DIST156M25_CLK , HyperLynx 窗口只显示该网络 , 利用放大键  缩放屏幕到该网络附近。(在 PCB 左下角附近)



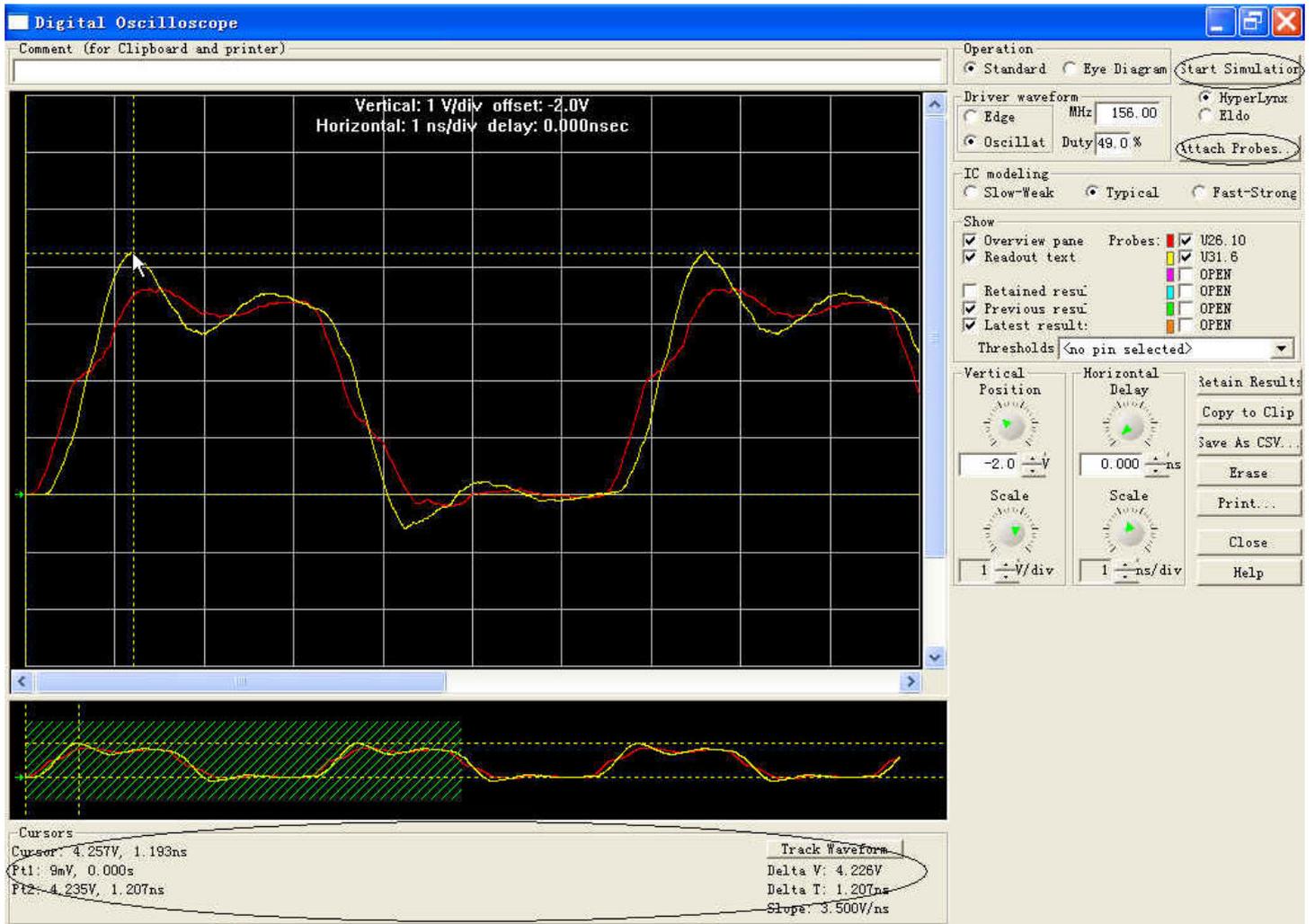


打开菜单 Simulate->Run Scope 或点击工具栏图标 ，打开数字示波器窗口，做信号完整性（SI）仿真，仿真窗口选项的设置及含义如下：

Operation : standard	波形类别：标准
Driver waveform: Oscillate	驱动信号种类（沿有效/周期信号）：周期信号
MHz: 156MHz	信号频率（仅对周期信号有效）：156MHz
Duty: 49%	占空比:49%

其他选项均为默认。

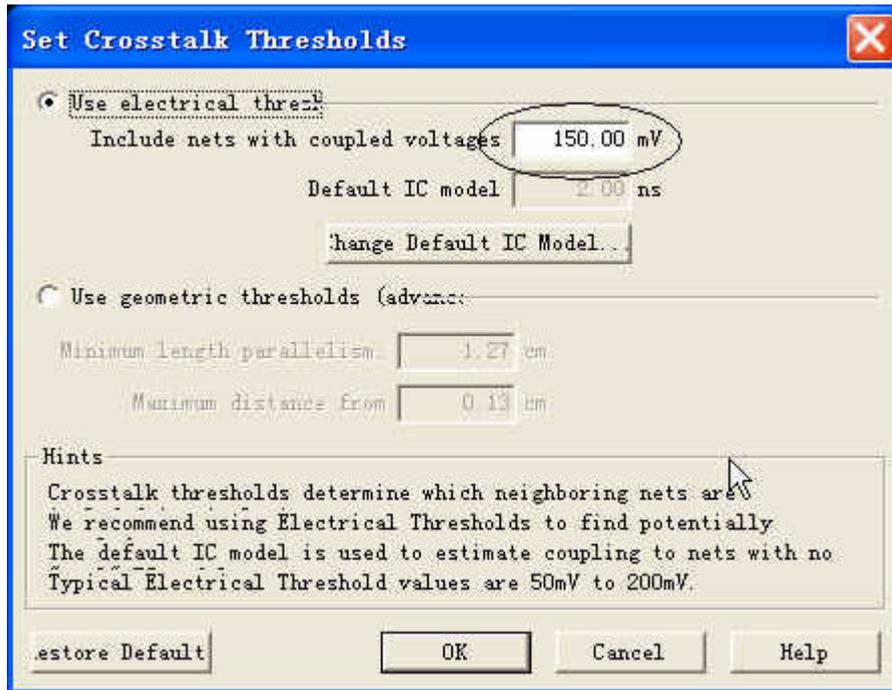
点击 Attach Probes 按钮，选择 AttachAll，给电路的驱动端 U26.10 和负载端 U31.6 处添加测试探头。然后选择 Start Simulation。调整示波器每格的显示电压和时间，将波形缩放到合适的大小。点击波形，在波形下方读取电压和时延。



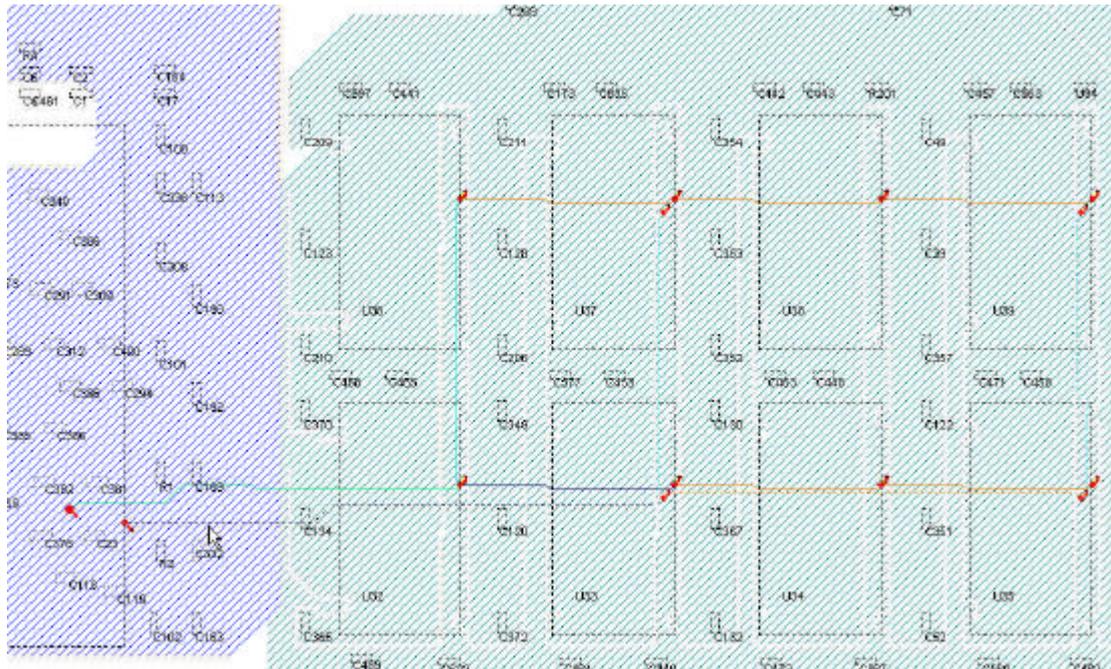
关闭示波器窗口或最小化。

串扰分析：打开 select->net by name 或点击工具图标 ，从弹出的窗口中选择网络 ~RL_WE，利用放大键  缩放屏幕到该网络附近（在 PCB 中间偏右）。打开菜单

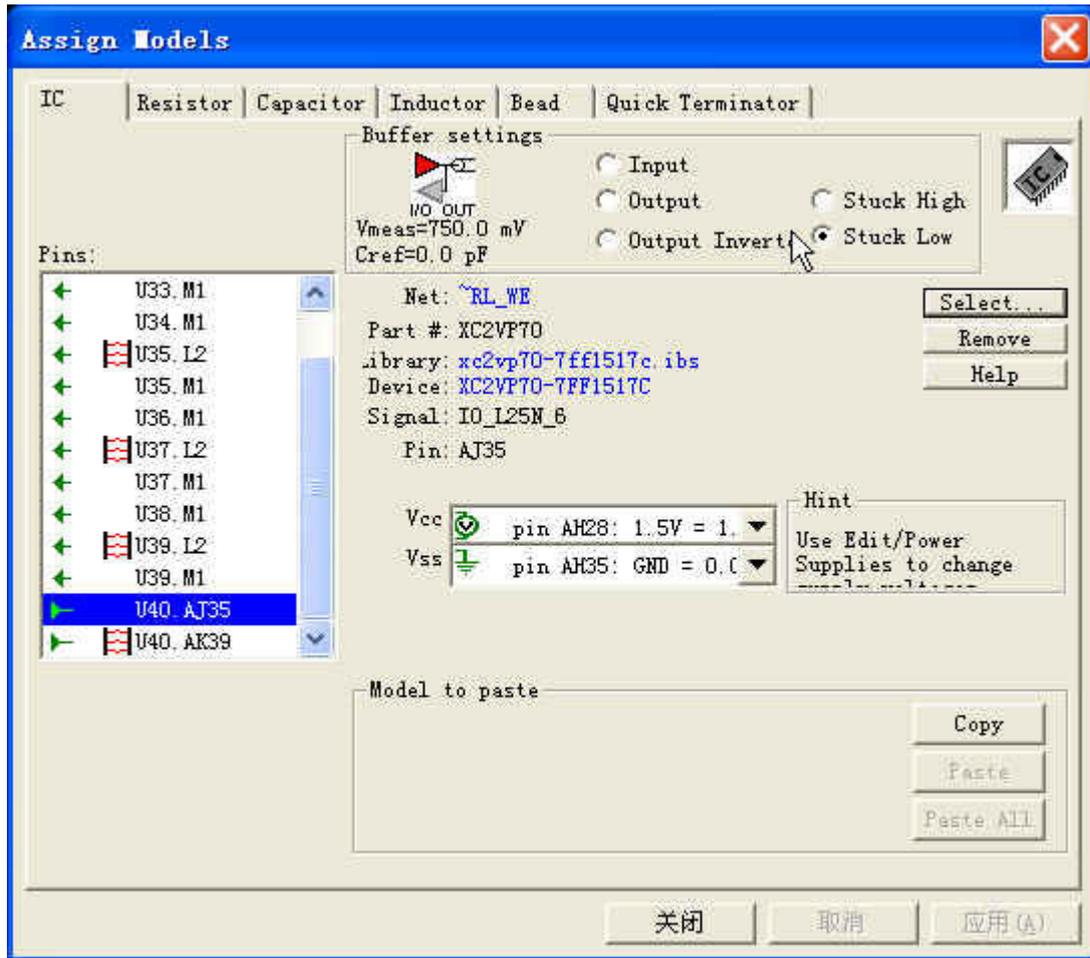
Crosstalk->Enable Crosstalk 或点击工具栏图标 ，激活串扰分析功能，打开菜单 Crosstalk->Set Crosstalk Threshold，设置串扰分析的门限电平，做串扰分析。HyperLynx 的串扰门限既可以设定电平作电气检查，也可以设置并行长度和间距做物理检查。选择电平门限 use electrical threshold，输入串扰门限电平 150mv。



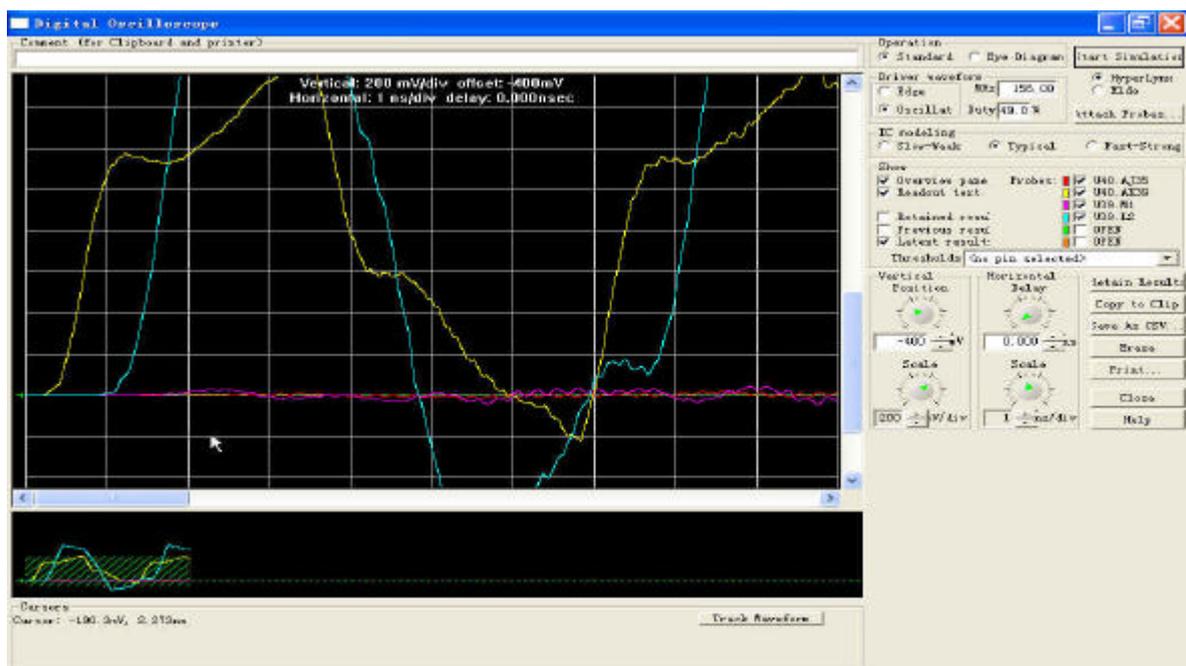
在~RL_WE 网络旁边，显示出一条虚线网络，表示该网络对~RL_WE 有串扰，大于 150mv。



点击工具栏图标  打开 Assign Model 设置模型窗口。串扰仿真中，需要将受害网络的电平置为恒低，然后在侵害网络端添加激励，检查受害网络上耦合的串扰电平。所以在 Assign Model 窗口，选择 U40.AJ35,在 Buffer Setting 中置为 Stuck Low (恒低)，选择 U40.AK39,在 Buffer Setting 中置为 Output。



打开菜单 Simulate->Run Scope 或点击工具栏图标，打开数字示波器窗口，做串扰（Crosstalk）仿真，打开 attach probe 窗口，在 U40.AK39, U40.AJ35, U39.M1, U39L2 处添加示波器探头，设置周期信号，频率为 156MHz，Start Simulation 做串扰仿真。



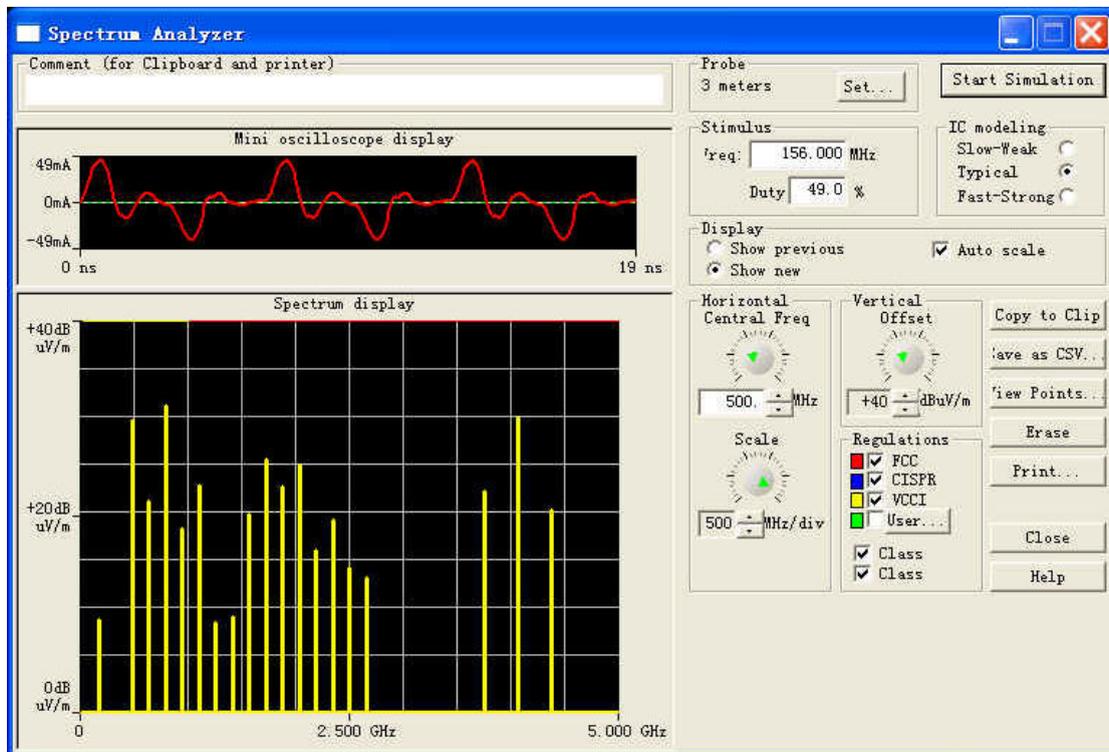
提示：从波形图上测量得到的串扰电平并没有达到 150mv，这是因为我们没有将所有侵害网络的激励都添加上。试着将串扰门限设置的更低，例如 10mv，会出现更多的侵害网络，所有侵害网络串扰叠加起来大于门限 150mv。
关闭串扰使能选项，关闭示波器窗口或最小化。

电磁兼容 (EMC) 仿真：打开菜单 Simulate->Run Spectrum Analyzer(EMC)或点击工具栏图

标 ，打开频谱仪窗口，进行电磁兼容 (EMC) 仿真，仿真窗口选项的设置及含义如下：

Probe： 3 meter 探测方式：距离三米天线
Stimulus: 156MHz 激励信号频率： 156MHz
Duty: 49% 占空比： 49%
 其他选项均为默认。

点击 Start Simulation。调整频谱仪每格的显示电平和频率，将波形缩放到合适的大小。选择 EMC 的规范模板 FCC (美国标准)，CISPR (欧洲标准)，VCCI (日本标准) 或 User (自定义)，选择 Class A (工业级标准) 或 Class B (民用标准)，检查有无超标。



关闭频谱仪窗口。

4. 利用 HyperLynx 解决过冲和串扰问题。(what-if 分析)

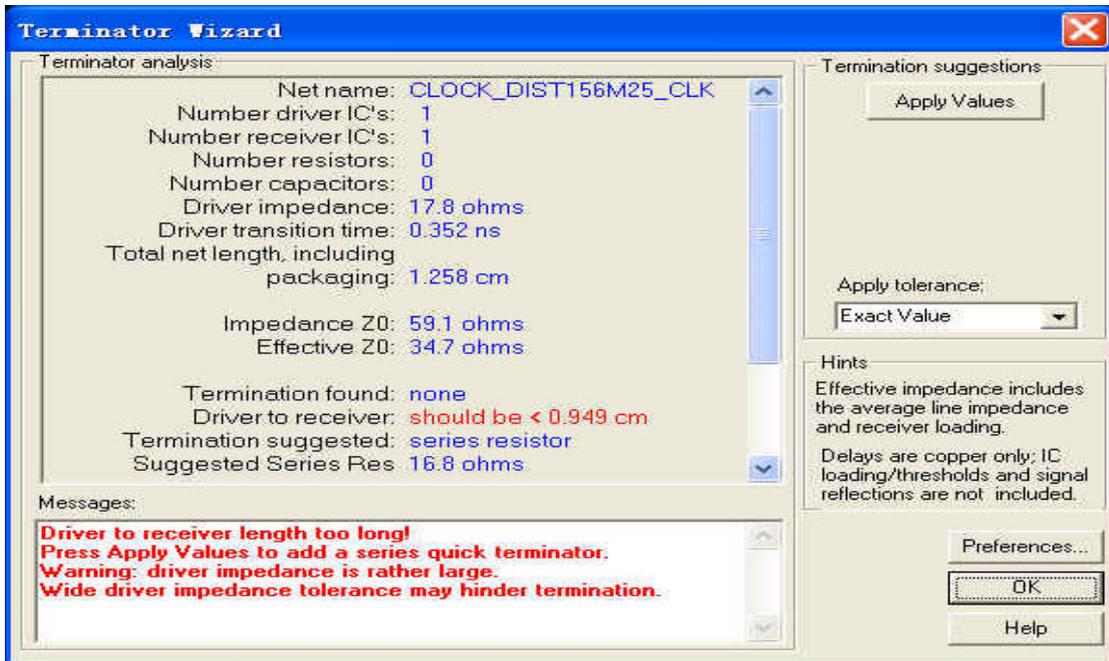
重复第 3 步信号完整性仿真，打开 select->net by name 或点击工具图标 ，从弹出的窗口中选择网络 CLOCK_DIST156M25_CLK，打开示波器，仿真 156MHz 信号，最小化示波器窗口。

打开菜单 Wizard->Terminator Wizard 或点击工具图标 ，利用匹配解决波形过冲问题。在 Terminator Wizard 窗口看到系统分析的问题原因和解决建议，如下：

问题原因：网络太长。

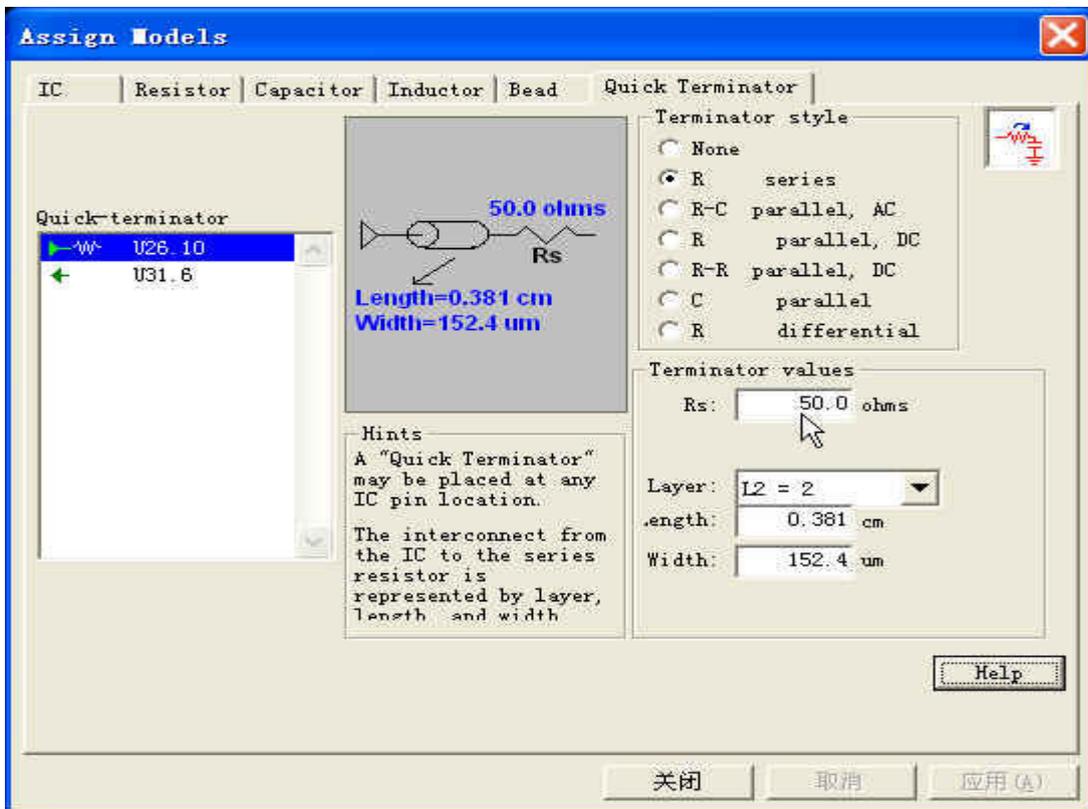
解决问题建议：驱动器端加匹配电阻

OK 关闭 Terminator Wizard 窗口。



进入菜单 Select->Quick Terminator 或点击工具栏图标 ，打开 what-if 快速匹配窗口。

选择驱动端 U26.10，Terminator Style 中选择 R Series，Terminal Value 处输入默认的串连电阻阻值 50ohm。即假设在 U26 的第 10 脚处串连 50ohm 匹配电阻，解决信号过冲。



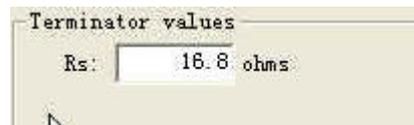
打开示波器，再次仿真，可以看到信号过冲减小了，但时延增大。再次打开菜单

Terminator Wizard ，看到系统再次分析的问题原因和解决建议：

电阻太大

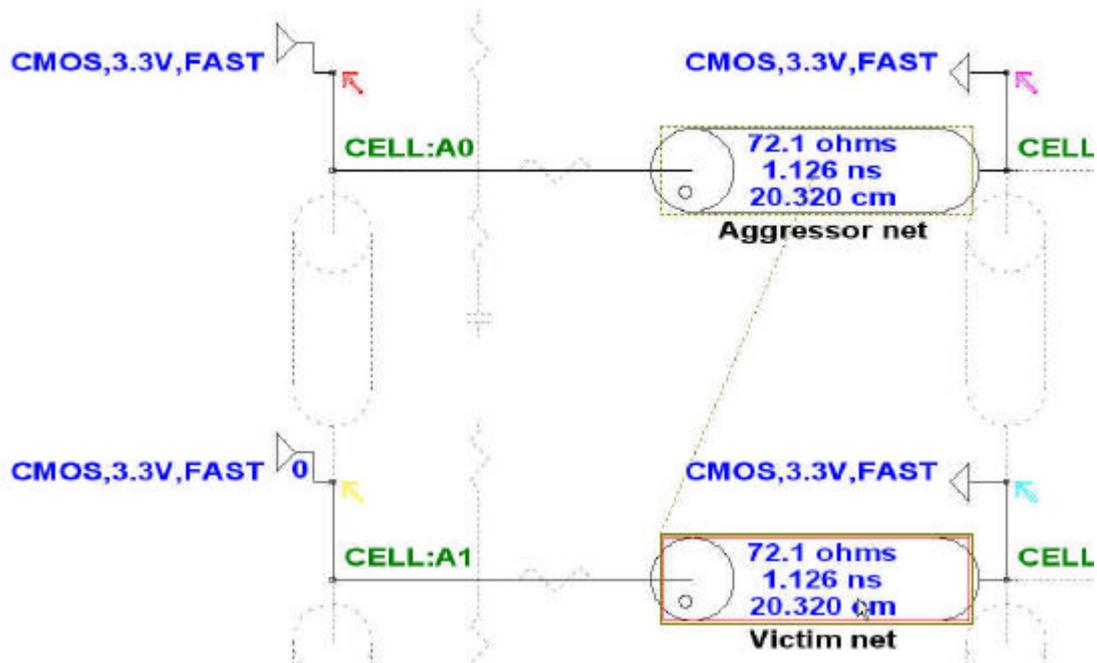
点击 Terminator Wizard 窗口的 Apply Value 键，自动修改匹配电阻的阻值。打开 what-if 快速

匹配窗口 ，看到自动将串连电阻组织改为 16.8ohm。

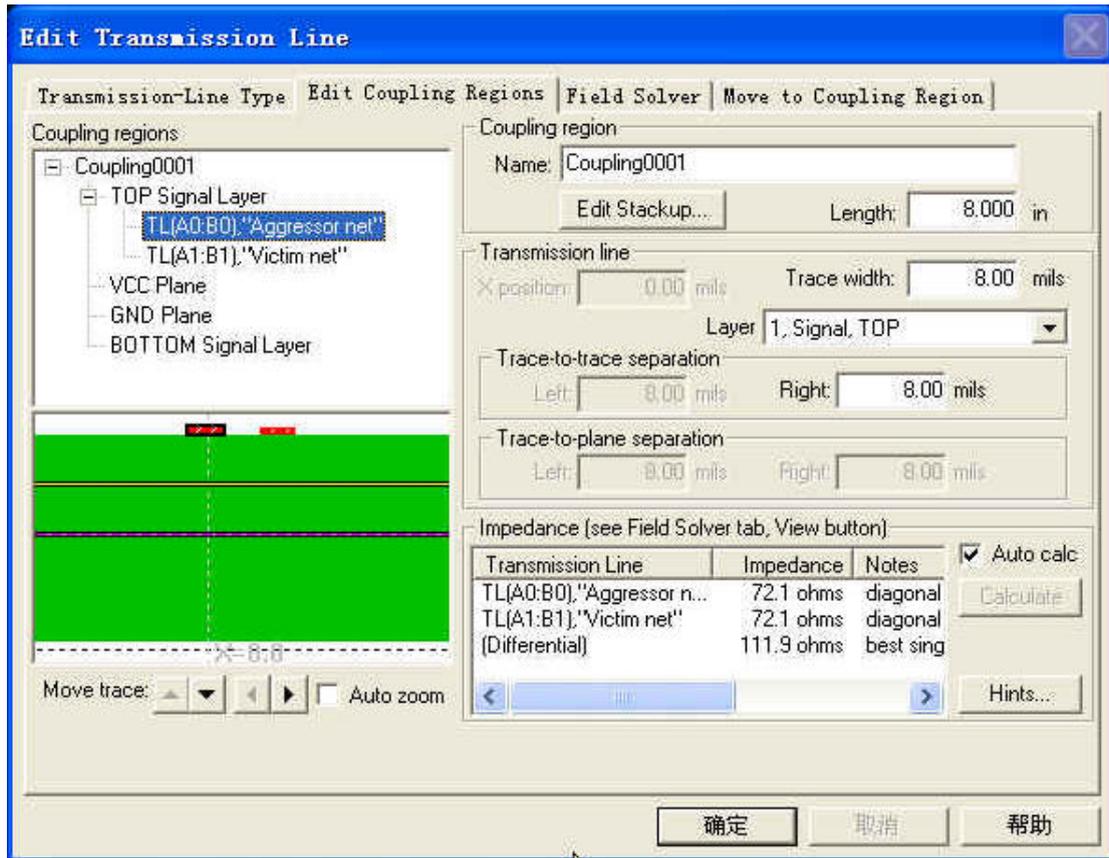


再仿真，比较匹配之前之后，不同匹配值的信号波形。

进入菜单 File->Open LineSim File，关闭当前设计，打开 XT Basic Crosstalk Example.tln 文件，分析传输线参数对串扰的影响。



上图显示了一对 CMOS 3.3V FAST 驱动和负载信号之间串扰分析的拓扑结构，其中上边的网络为侵害网络，下方为受害网络（输出恒低信号）。鼠标放在传输线处，RMB 弹出传输线编辑窗口，在 Couple 栏点击 Stackup，打开 Edit Coupling Region 界面，可以看到这是一对表层的微带线（Microstrip Line），耦合线长 8inch，线宽 8mil，间距 8mil。仿真串扰波形。



进入 Edit Coupling Region 界面,减小耦合线长度到 4in,仿真串扰;增加线间距到 16mil(在 Right 处),仿真串扰。通过编辑耦合传输线参数,仿真得到串扰小于某个门限电平的线宽,线间距和并行长度的 PCB 布线规则。

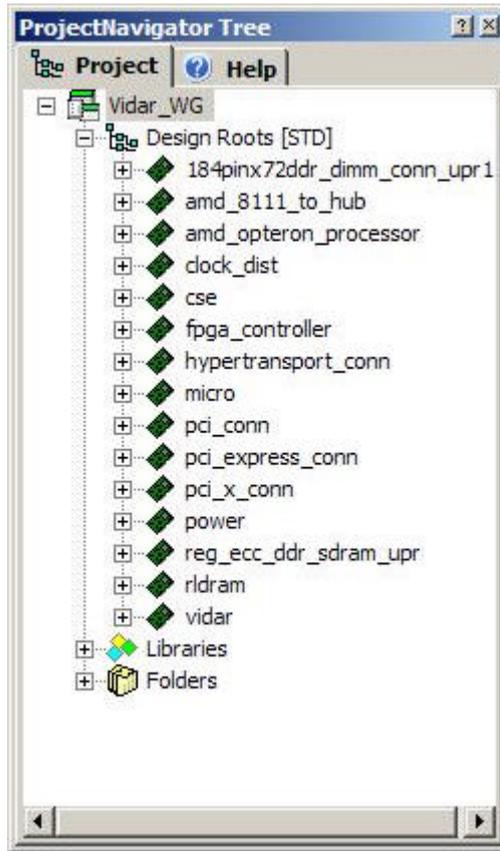
● 原理图输入 –DxDesigner 功能练习



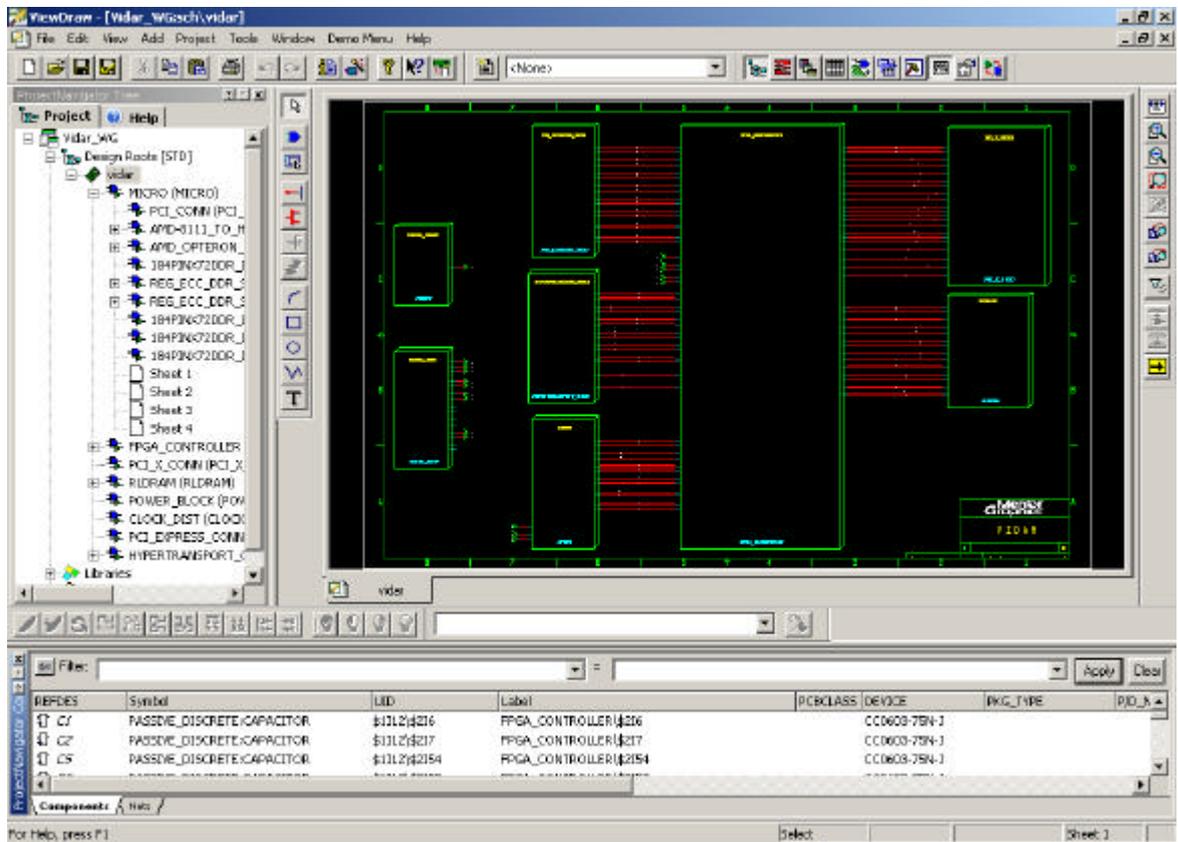
1. 从桌面打开 Dashboard Designer 2004, Dashboard 作为设计前端集成环境, 包括设计输入, 仿真, 设计管理等一系列功能。这些功能都包含在相应的 tool boxes 中。
2. 从 Board-level(PCB)design 工具箱中, 双击 DxDesigner 图标进入原理图设计界面。(如果先从 DxDesigner 开始练习, 第一次打开, 系统可能会提示打开一个 project, 选择 C:\demonstrations\Vidar_WG 目录打开)
3. 在左边 ProjectNavigator Tree 窗口, 选中 Design Roots [STD], RMB, 选择 property, 在 Tree 栏里, 确保如下选择



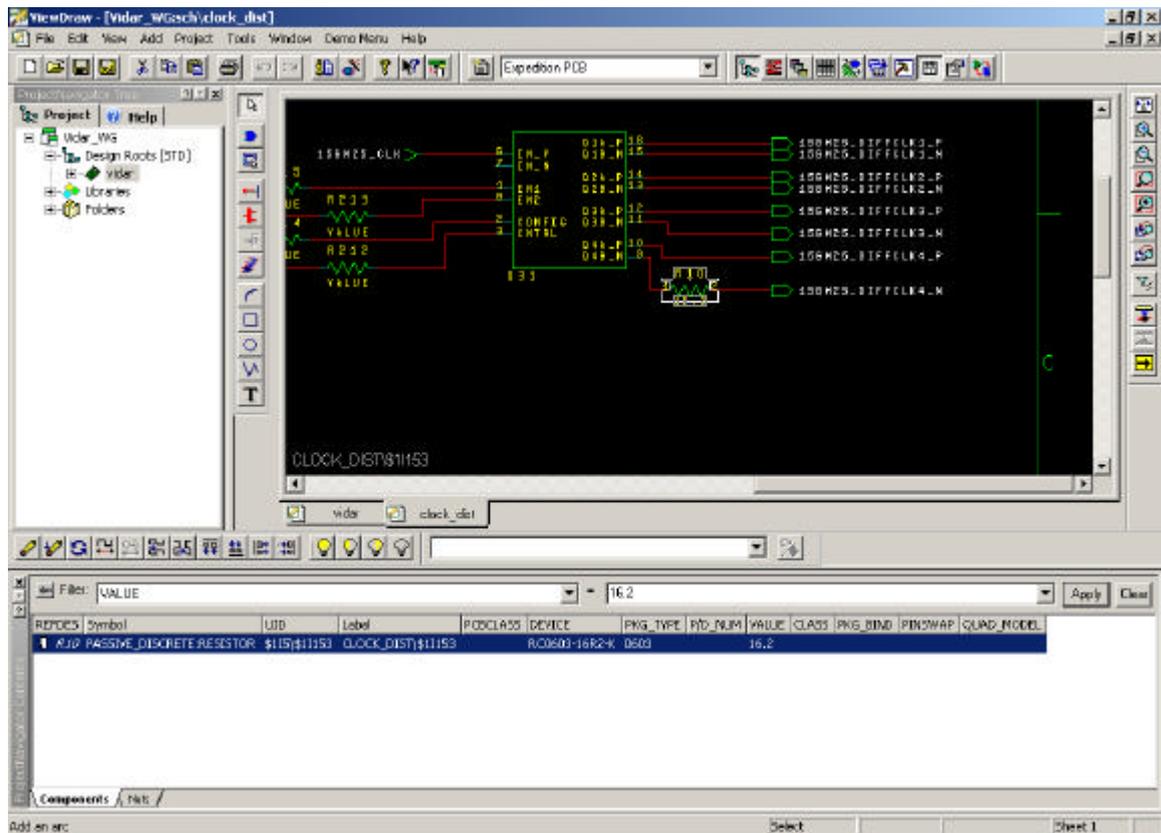
打开 Designer Roots, 可以看到如下多个项目, LMB 选中 Vidar, 打开 Vidar 原理图 (see figure below).



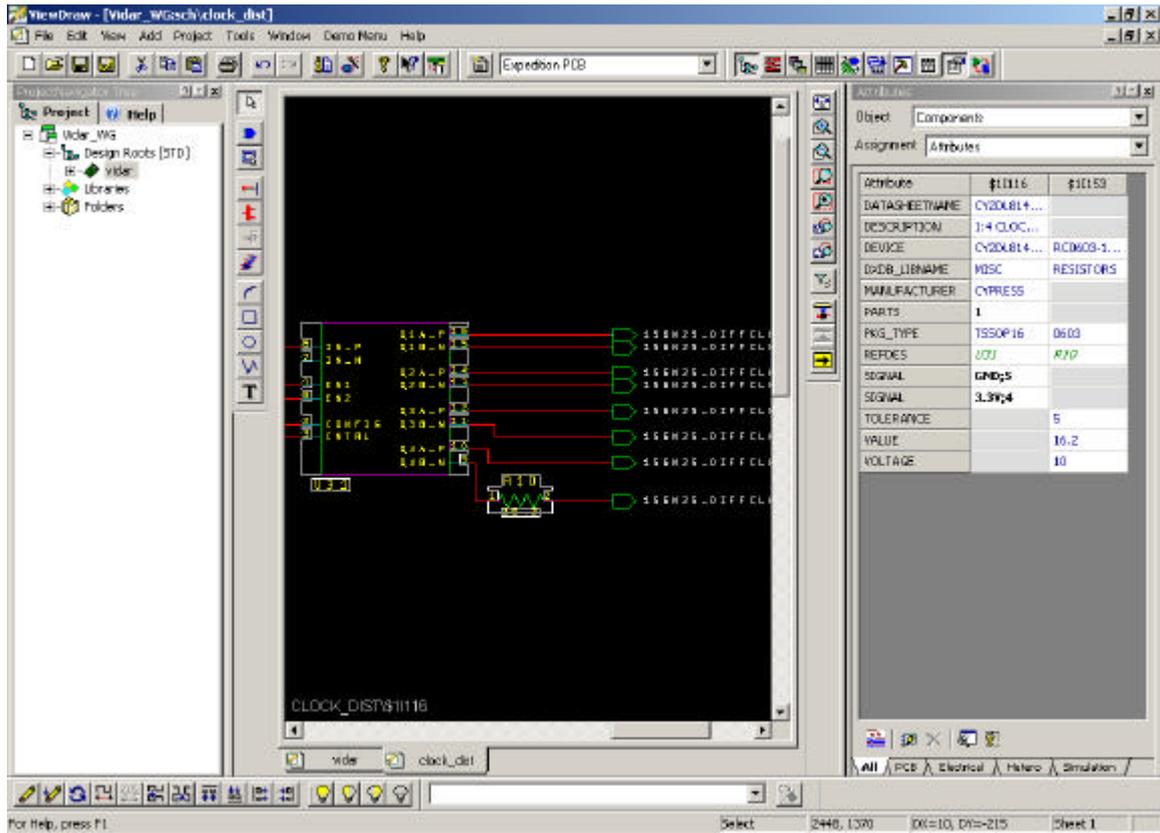
4. 展开左边 ProjectNavigator Tree 窗口的设计层次树，可以看到作为该项目的顶层文件，包括 8 个底层模块，如下图



5. 从工具栏打开 Project Navigator Contents 窗口  ,在 Project Navigator Contents 窗口显示的是当前 project 包含的所有内容,包括 components 和 Nets 栏,用于显示所有的器件和网络。对于层次化设计 (Hierarchical design), Project Navigator Contents 窗口可以只显示当前层次的内容 (器件和网络), 或包括所有子模块下的内容。在 ProjectNavigator Tree 窗口选择当前的图 ,例如 Vidar ,RMB ,选择 Flatten View 或 Hierarchical View ,查看 Project Navigator Contents 窗口内容的变化。
6. 确保 Vidar 作为当前打开的原理图,选择 Flatten View ,在 Project Navigator Contents 窗口显示所有的器件和网络,
7. 在 ProjectNavigator Contents 窗口,从 Filter 的下拉选项中选择 VALUE,输入 16.2,点 Apply,只显示出 16.2 ohm resistors,选择这个器件,会自动定位到原理图中的这个器件。



8. 打开 Attributes  窗口,该窗口用于编辑器件或网络的属性。注意保持选择 16.2 ohm 的电阻,看看 Attributes 窗口显示的电阻的所有属性,如果没有属性显示,看看是否处于 Lock 状态  ,去掉 lock 状态。
9. 按住<CTRL> 键,再选旁边的 IC,在 Attributes 窗口显示出这两个器件的属性。



10. 确保上图 (clock_dist) 为当前打开的原理图。打开 DxDataBook  和 Cell Preview



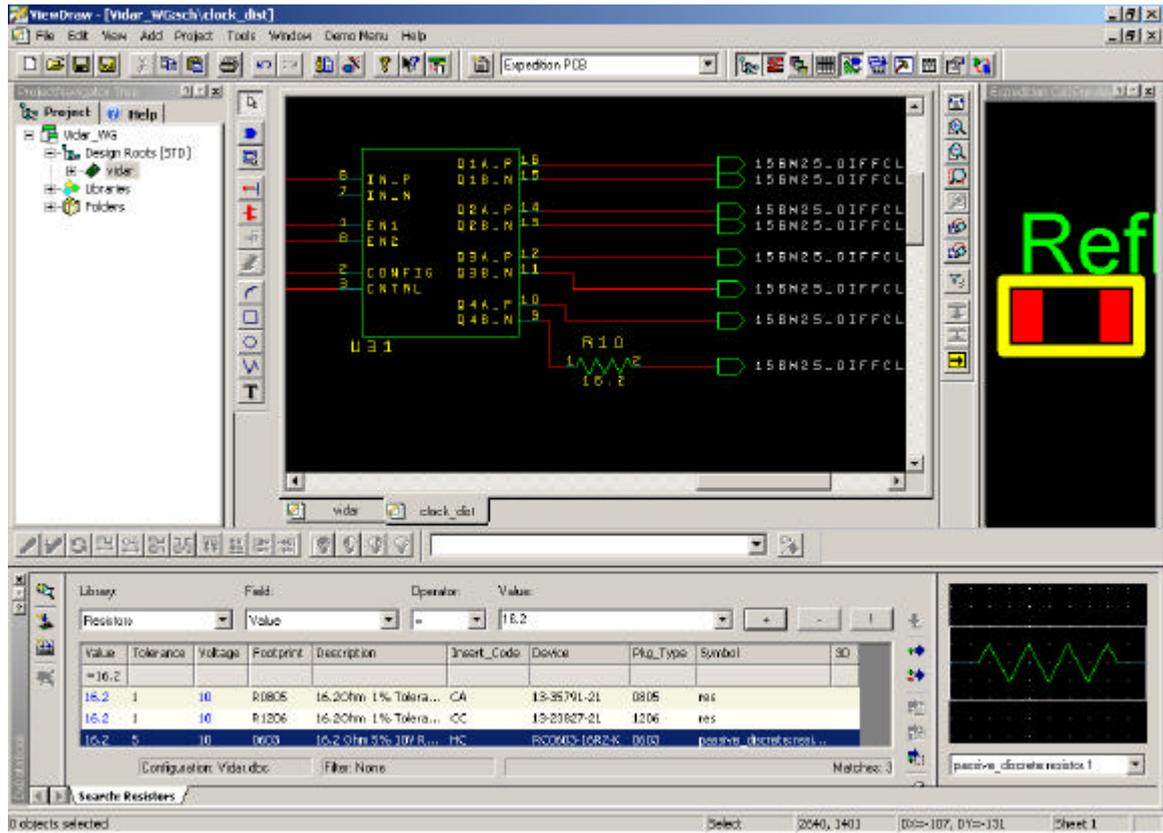
窗口。DxDatabook 是 LMS 器件库管理系统 (Library Management System), 通过 DxDatabook, 可以从数据库里查询、添加相应的器件。

11. 在 DxDataBook 窗口中, Library 栏选中 TTL Parts, 可以看到, 器件信息不仅可以包括设计 PCB 必须的属性, 还可以包含如厂商、描述、甚至器件网站连接等信息。

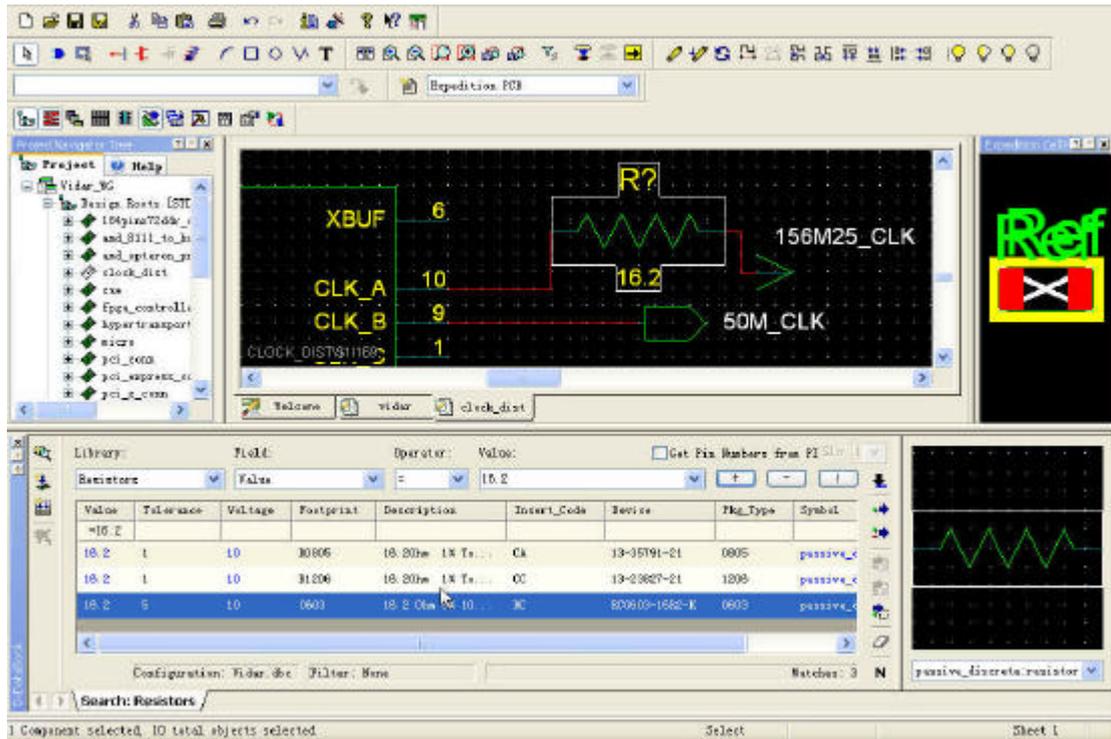
12. 在 Library 栏选中选中 Resistor, field 栏输入 Value, Operator 选 =, Value 处输入 16.2, 按 + 键, 在 DxDataBook 数据库的 Resistor 库中查询所有 16.2ohm 的电阻,



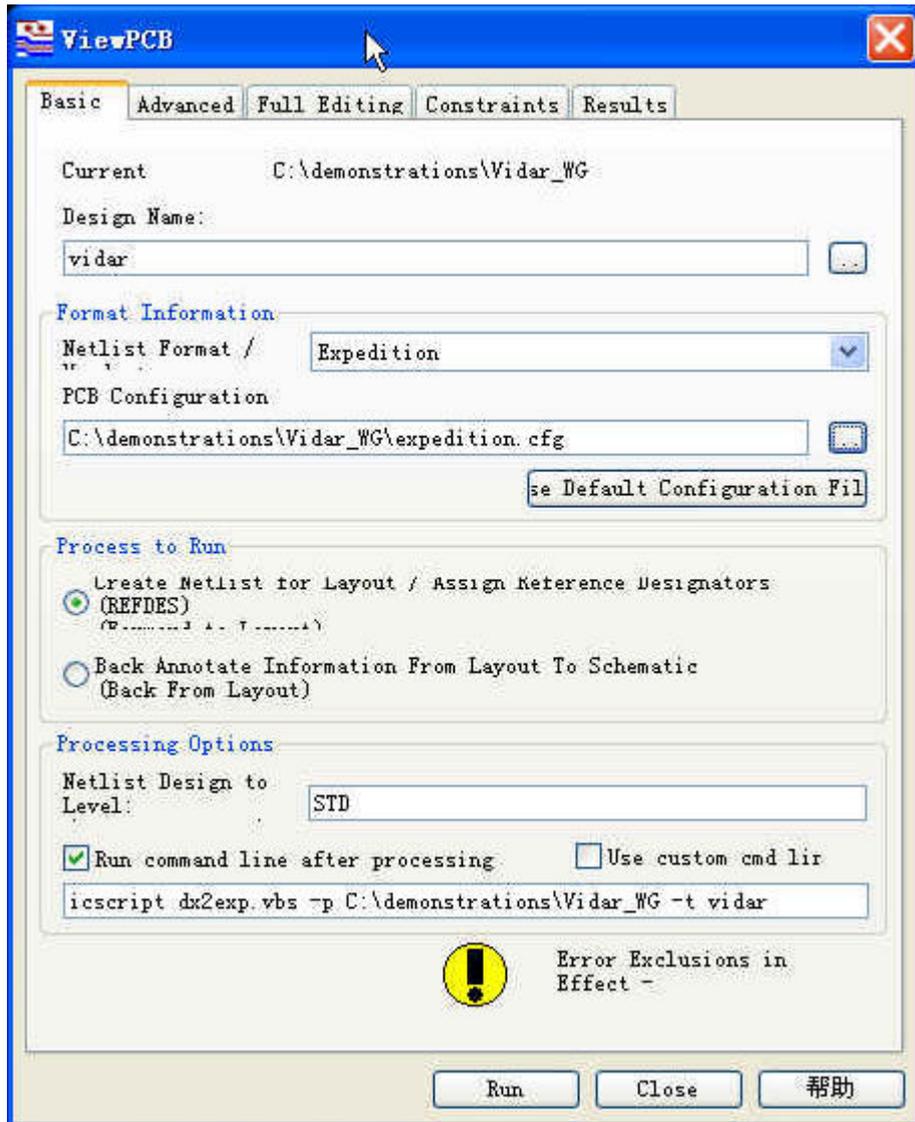
13. 在搜寻结果中选择 “Pkg_Type” 是 0603 封装的电阻, 如下图, 可以看到该电阻的电气符号和 PCB 封装。



14. 在 DxDataBook 窗口中选择 Add New Component with All Attributes  图标,将该器件添加到 clock_dist 原理图中。选择添加网络 , 或者按下键盘 N 键, 将电阻右边连接到 156M25_CLK 网络上, 按 <Esc> to 退出添加网络。删掉与 U26 第 10 脚 CLK_A 连接的一段网络, 将其重新连接到电阻左端, 如下图。确保电阻右端连接的网络名为 156M25_CLK。



15. 回到顶层设计 Vidar，选择存盘。进入菜单 Tools->Creat PCB netlist，如下图选项，注意选中“Run command line after processing”，执行 Run 。

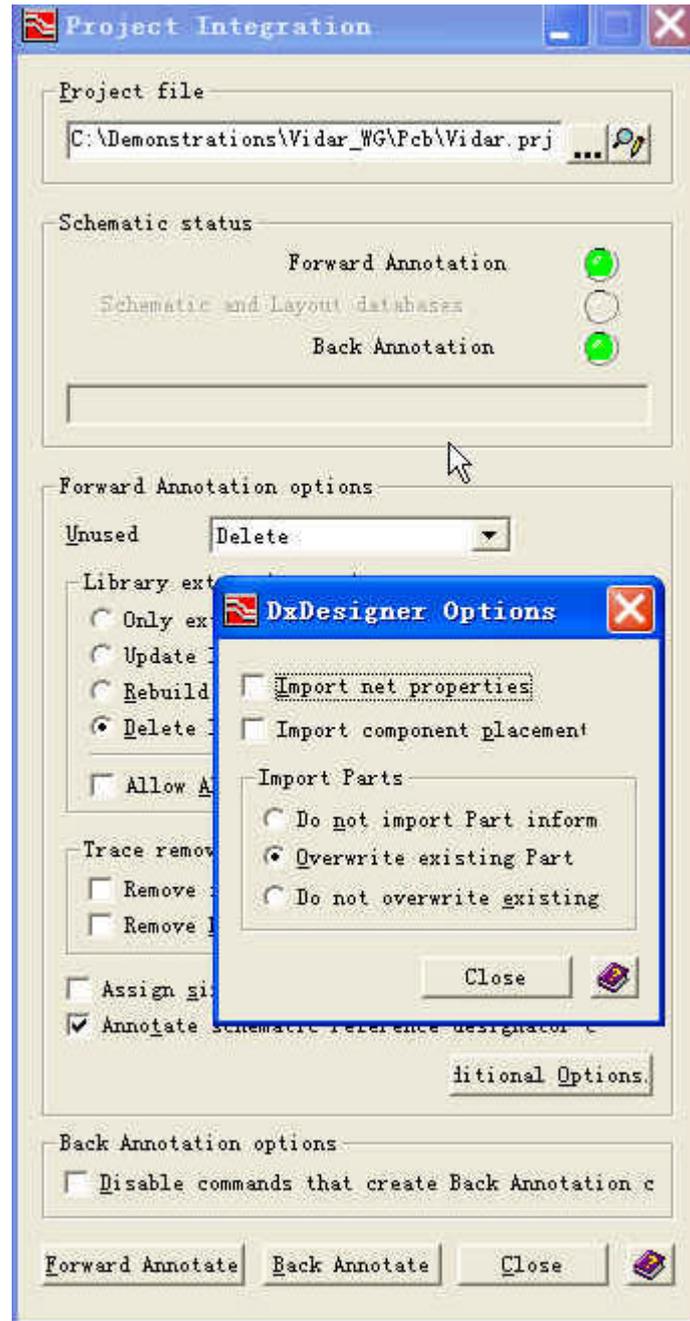


16. Expedition PCB会自动启动，并打开 Vidar.pcb 文件，由于设计比较复杂，这个过程可能要持续几分钟。

17. PCB 打开后，会提示如下问题，回答 yes，进行前向标注（Forward Annotation），将原理图的修改导入到 PCB 当中。

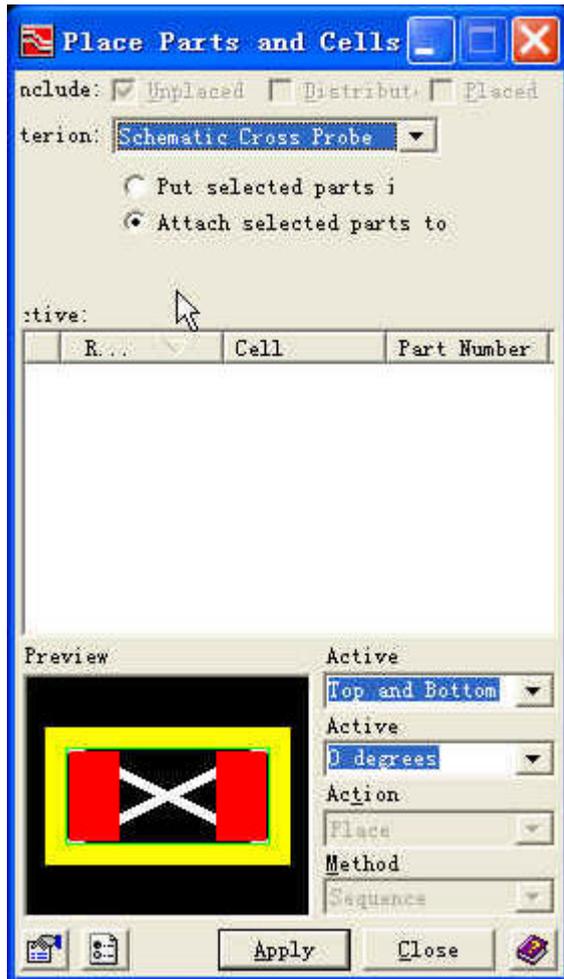


18. 在 Forward Annotation 窗口中点击打开 additional option 窗口，不要选择 Import net property 和 Import component placement，执行 Forward Annotate，提示前向标注成功，scheme statuses 处提示灯全部变绿。



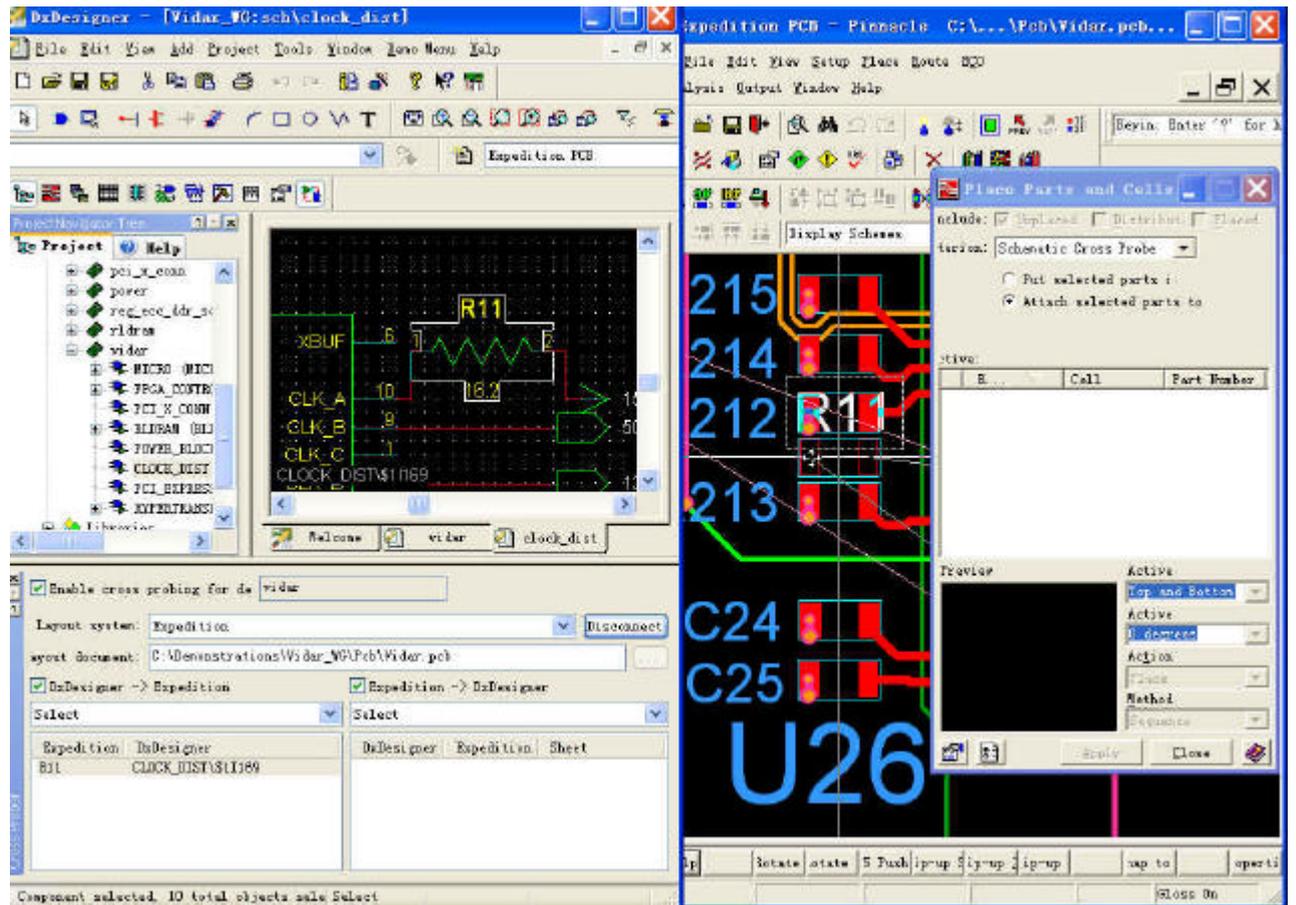
19. 原理图驱动 PCB 布局

20. 进入 place parts and cells , Criteria 选择 Schematic Cross Probe; option 选择 attach to cursor。最小化窗口



21. 打开原理图 DxDesigner，选择 cross probe ，打开交互选择窗口，选择 C:\demonstrations\Vidar_WG\Pcb\vidar.pcb，点击 connect 按钮，与 PCB 进行关联。

22. 将原理图与 PCB 窗口同时打开，缩放到各一半，进入原理图 clock_dist，选中刚才在 U26 处添加的电阻 R11，放开 LMB，鼠标挪到 PCB 窗口，可以看到，R11 已自动附在鼠标上，将其放置在 U26 附近。



练习结束。