
序 言	2
第一章 系统简介	3
1 系统组成	3
1.1 库	3
1.2 原理图输入	3
1.3 设计转换和修改管理	3
1.4 物理设计与加工数据的生成	3
1.5 高速 PCB 规划设计环境	3
2 Cadence 设计流程	3
3 启动项目管理器	4
第二章 Cadence 安装	6
第三章 CADENCE 库管理	15
3.1 中兴 EDA 库管理系统	15
3.2 CADENCE 库结构	17
3.2.1 原理图 (Concept HDL) 库结构:	17
3.2.2 PCB 库结构:	17
3.2.3 仿真库结构:	18
第四章 公司的 PCB 设计规范	19
第五章 常用技巧和常见问题处理	19

序 言

Cadence 软件是我们公司统一使用的原理图设计、PCB 设计、高速仿真、自动布线的 EDA 工具。本篇 Cadence 使用手册是一本基于 Allegro SPB V15.2 版本的 Cadence 软件的基础使用手册，包括原理图设计、PCB 设计、高速仿真、约束管理器、自动布线五个方面的内容，是一个入门级的教材。通过这本手册旨在让新进员工能掌握 Cadence 的基本使用方法，能独立进行原理图及 PCB 的设计，了解自动布线、约束管理器的使用，熟悉高速仿真的过程，并对公司的 EDA 流程有全面的了解。

这本手册采用分册编写，由五分册组成：

- 1、原理图分册：主要阐述 Allegro SPB15.2 的 Design HDL 原理图设计过程。
- 2、PCB 设计分册：主要阐述用 Allegro SPB15.2 的 PCB Design 进行 PCB 设计的内容。
- 3、仿真分册：主要阐述用 Allegro SPB15.2 的 PCB SI 和 SigXplorer 进行高速仿真的过程。
- 4、约束管理器分册：主要阐述在原理图、PCB 设计及仿真环境下约束管理器如何对信号进行约束的内容。
- 5、自动布线器分册：主要阐述用 Allegro SPB15.2 的 PCB Router 对 PCB 进行自动布线的过程。

还包括一篇总论，在总论中介绍了 Cadence 的系统组成和设计环境、安装步骤和库管理等内容。

每一手册都对相关内容进行了全面而详细的阐述，图文并茂，深入浅出，按照教材的内容，初学者完全能自学掌握全面的 Cadence 使用方法。

在这里，要感谢本部技术部、网络南研技术部对这本教材的支持。

第一章 系统简介

1 系统组成

Cadence 软件是一个功能强大的系统工具，包括很多功能模块，如原理图输入；数字、模拟及混合电路仿真；自动布局、布线；印刷电路板图及生产制造数据输出；以及针对高速 PCB 板 MCM 电路的信号完整性分析等，从前到后提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具。

Cadence 板级设计范畴，主要由以下几部份组成：

1.1 库

所有的 EDA 软件都离不开库的支持，库的丰富程度在一定程度上决定着 EDA 工具的实用性。Cadence 板级设计的库按调用它的软件工具可分为四类：

原理图库：Concept HDL 调用

信噪库：SPECCTRAQuest 工具调用。

逻辑功能库：Verilog -XL 工具调用

物理库：Allegro 工具调用。

1.2 原理图输入

在 Cadence 板级设计中的原理图输入工具为 Concept-HDL，它可以灵活高效地将原理图送入计算机，并生成后继工具能够处理的数据。

1.3 设计转换和修改管理

它实际是原理图与 PCB 之间的一个纽带，负责将原理图中所表述的器件连接关系及元件封装说明翻译成 PCB 所能接受的格式，并将 PCB 信息反馈到原理图中，以保证原理图与 PCB 的同步。这种由前到后和由后到前的设计数据的转换都是由这一环境完成的。

1.4 物理设计与加工数据的生成

这一环境主要完成 PCB 图的设计（包括布局、布线）和生成后继制造与加工 PCB 板所需的各种数据文件。

1.5 高速 PCB 规划设计环境

在该环境中可以对 PCB 图进行信号完整性分析等高速仿真，并将分析结果传递到 Concept 和 Allegro，从不断修改和完善 PCB 图。这一工具在信号频率较高的 PCB 设计中尤为有用。

2 Cadence 设计流程

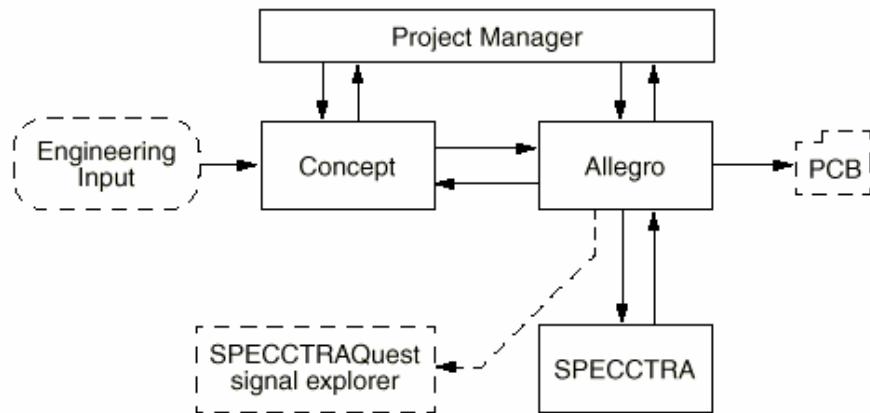
Cadence 的原理图与 PCB 设计流程包括 Project 的生成、库的管理、输入原理图、生成网表、仿真分析、布局、布线和输出生产制造文档。流程如下：

1、使用 Project Manager 建立及管理 Project。

2、使用 Concept HDL 输入原理图。

- 3、使用 SPECCTRAQuest signal explorer (SigXP)仿真分析并完成预布局。
- 4、设计转换和修改管理
- 5、使用 Allegro/SPECCTRA 布局、布线。
- 6、使用 Allegro 生成生产制造文档。

下图显示了使用 Cadence PCB 设计工具创建并完成一个 PCB 设计的过程：



3 启动项目管理器

安装好程序后，启动 **开始程序----Allegro SPB 15.2-----Project Manager**，打开 project 文件（如何创建 project 文件将在原理图分册中详述），进入项目管理器。项目管理器是对用户的设计进行统一管理以及环境设计的工具，是板级设计工具的整合环境。项目管理器可以创建设计项目和库项目，设置项目，导入、导出和归档项目。Cadence 板级设计流程都在项目管理器下进行，通过项目管理器中可以方便地进入各个设计环节，如原理图设计、PCB 设计、高速仿真等，还可以进行原理图到 PCB 的转换、设计环境的设置等，每个环节的内容都分别在我们这本教材的分册中进行说明。

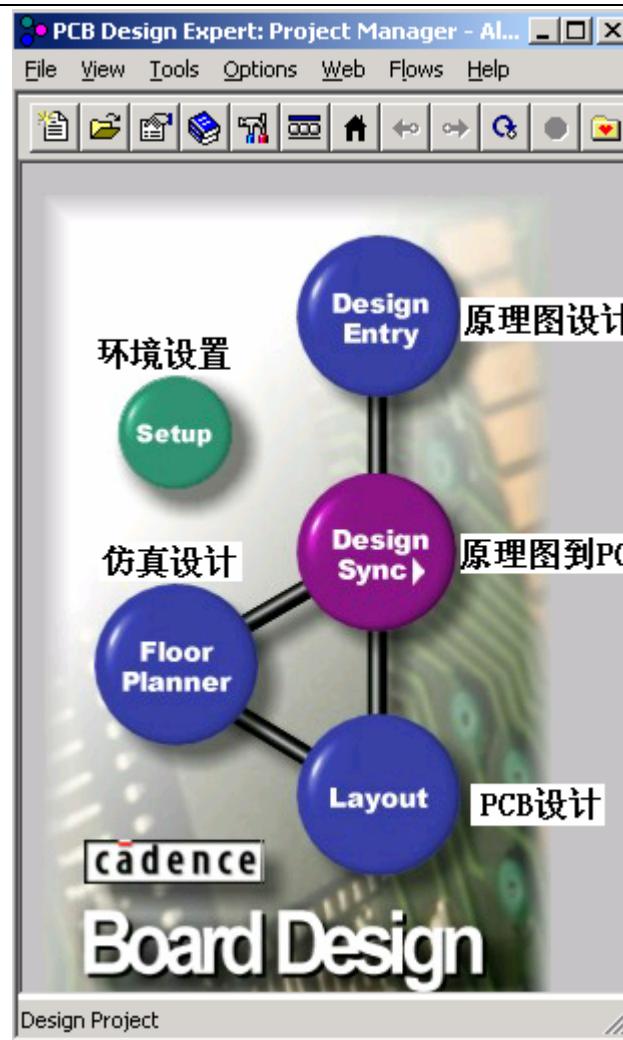


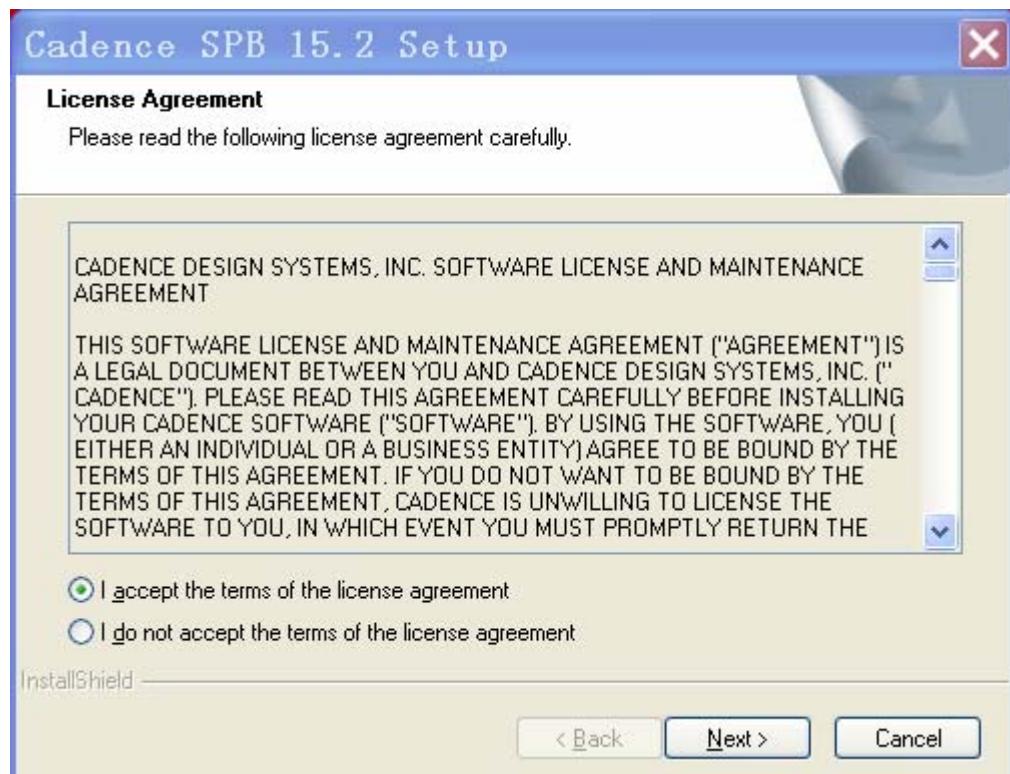
图 1 Project Manager 说明窗口

第二章 Cadence 安装

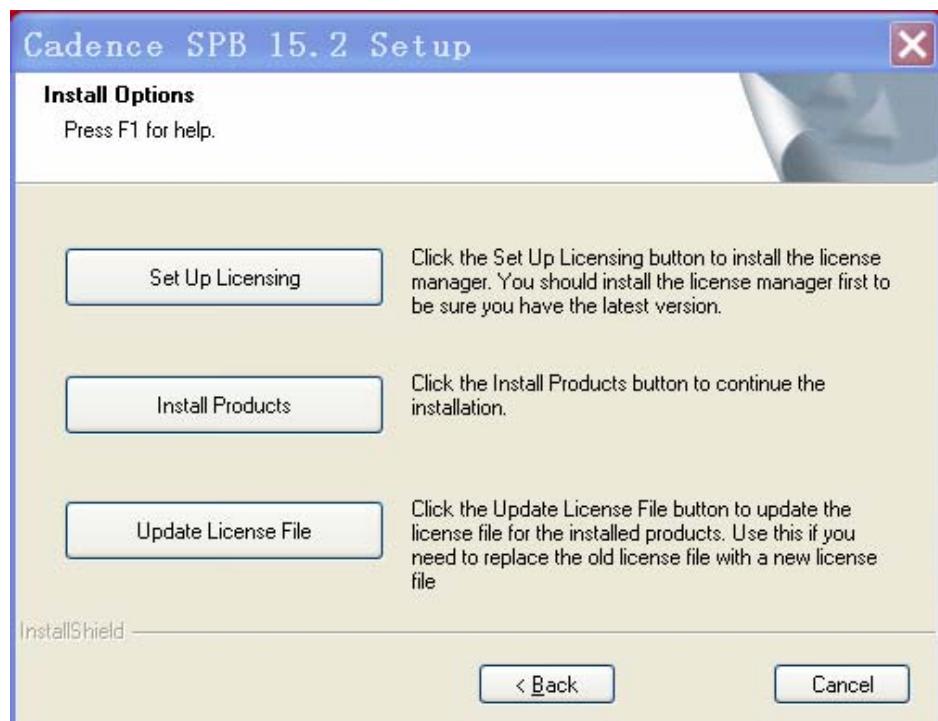
一、安装步骤

查找系统所在的计算机，在康讯研究所为服务器：\\10.12.18.61\cadence15.2_install。

在安装目录下有 CDROM1，选 SETUP 开始安装：



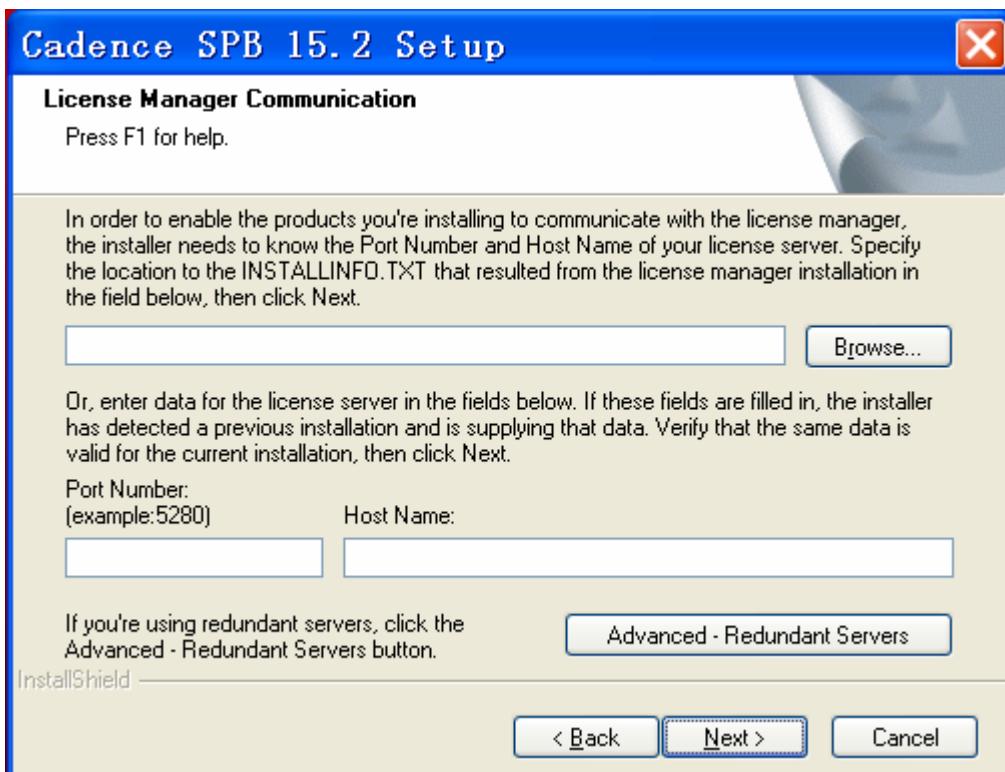
按 NEXT：



选 Install Products:



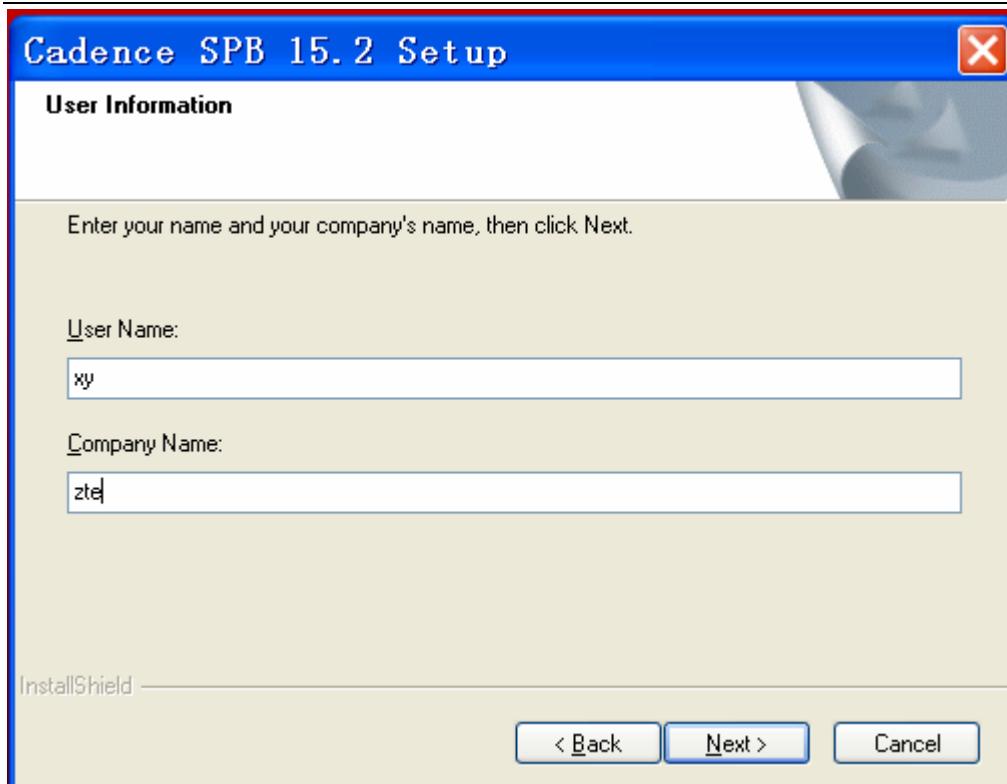
按确定:



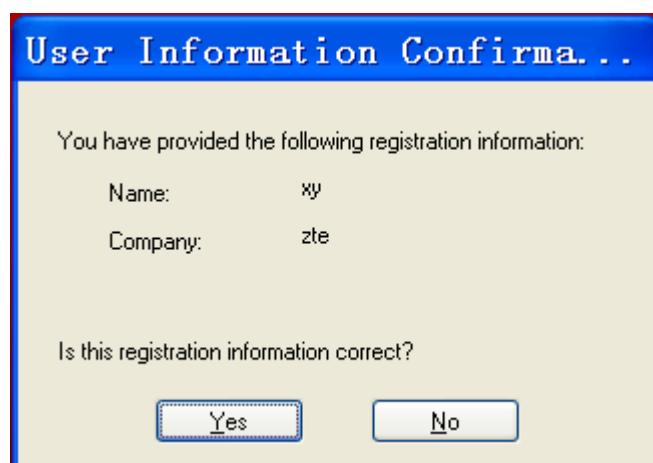
按 Next:



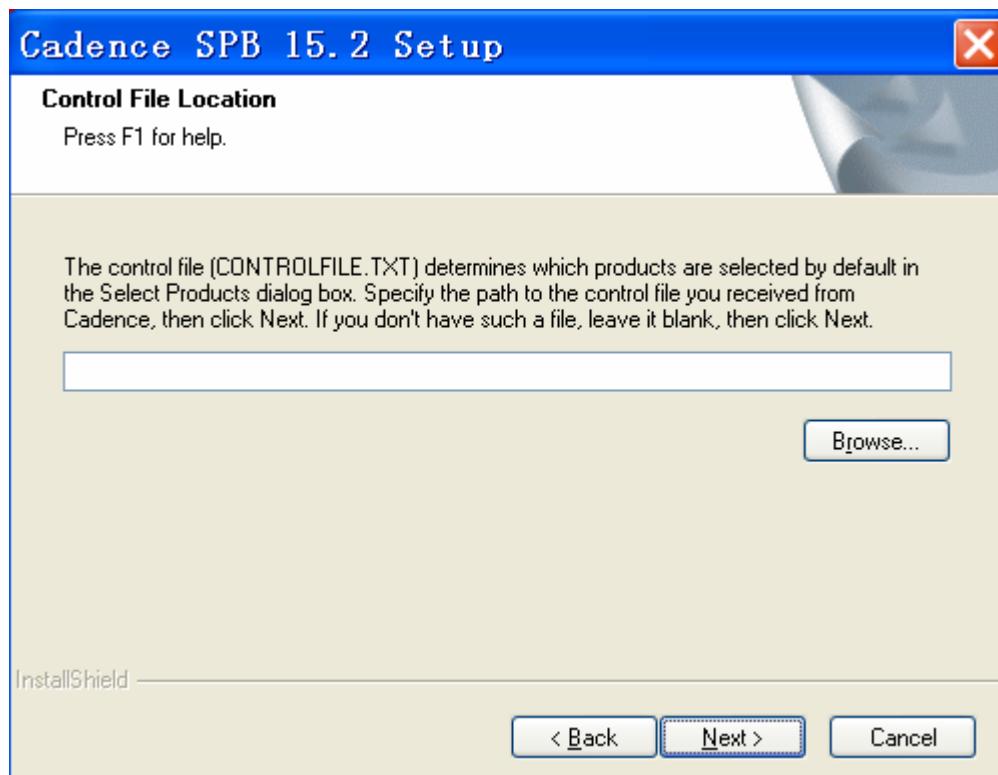
按确定:



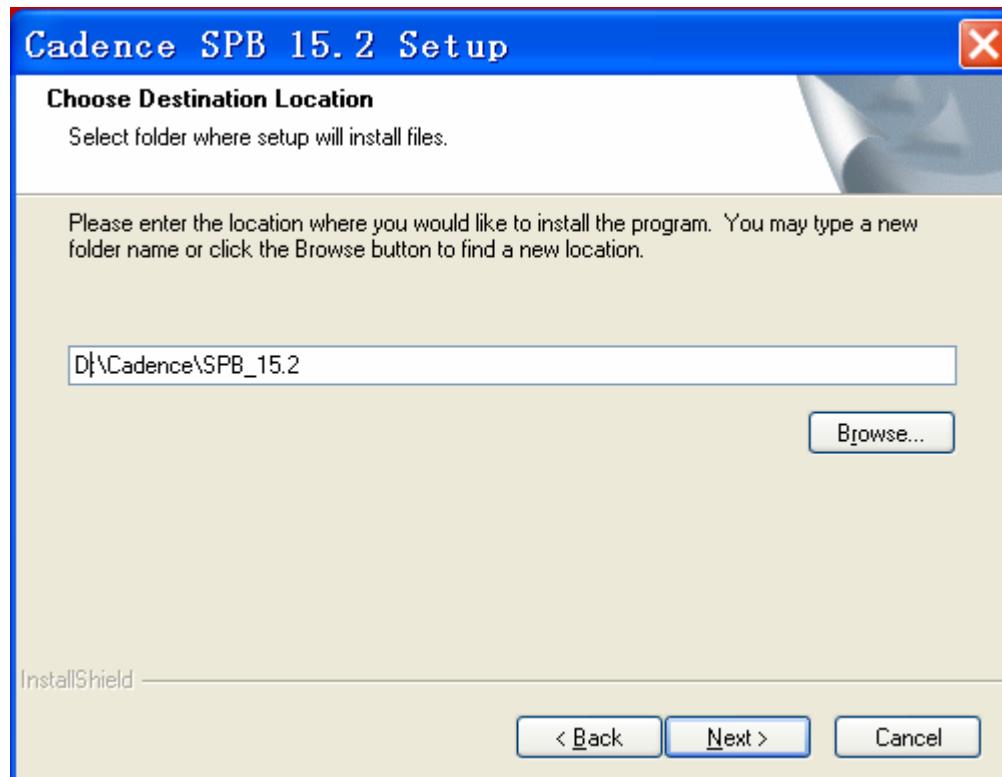
填入公司名，按 Next:



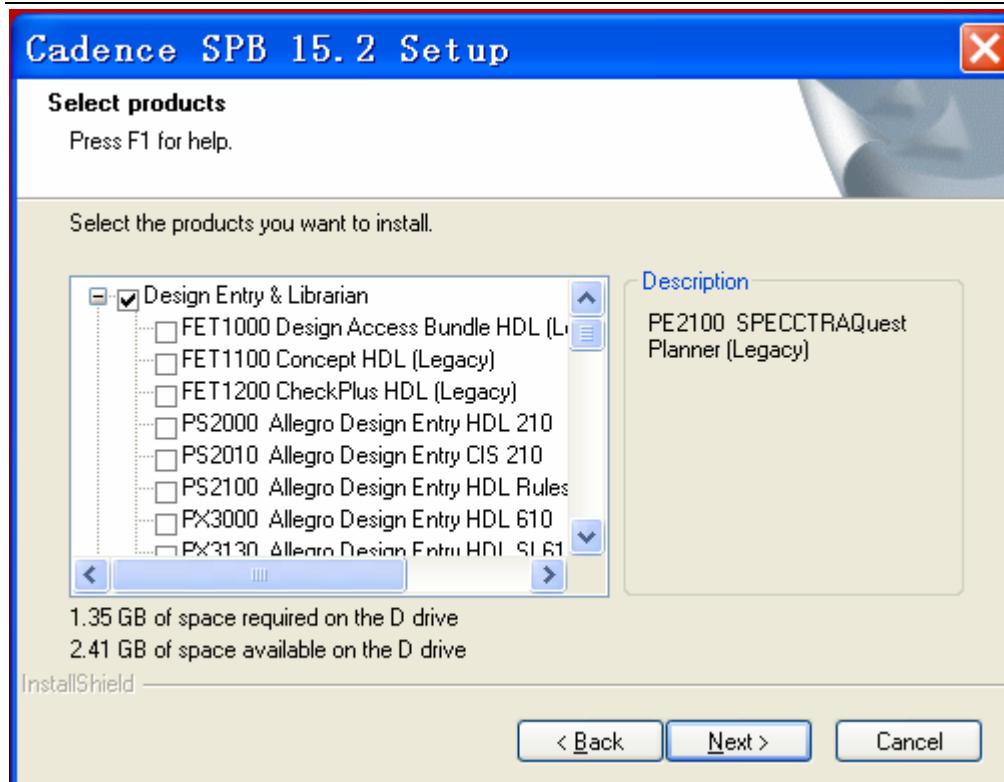
按 YES:



按 Next:



键入安装路径，按 NEXT:



打开下拉菜单，选择你需要的模块，一般选择模块如下：

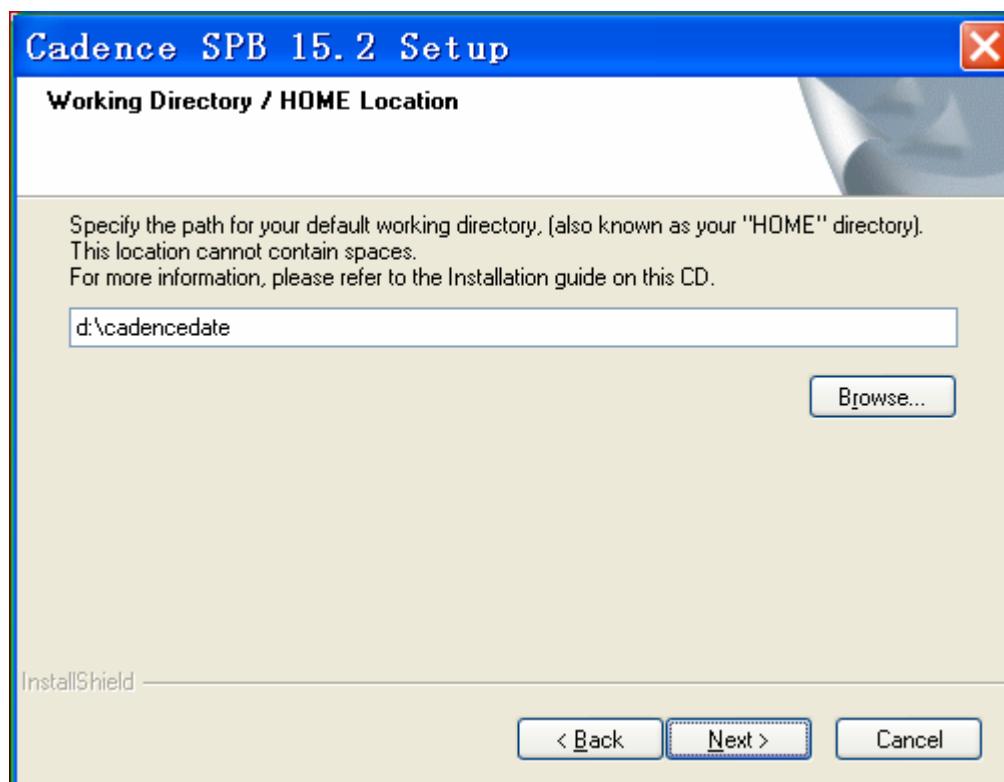
PX3700 Allegro PCB Design HDL 610 (PCB 设计带原理图设计)

VT2200 Allegro Expert (PCB 设计专家)

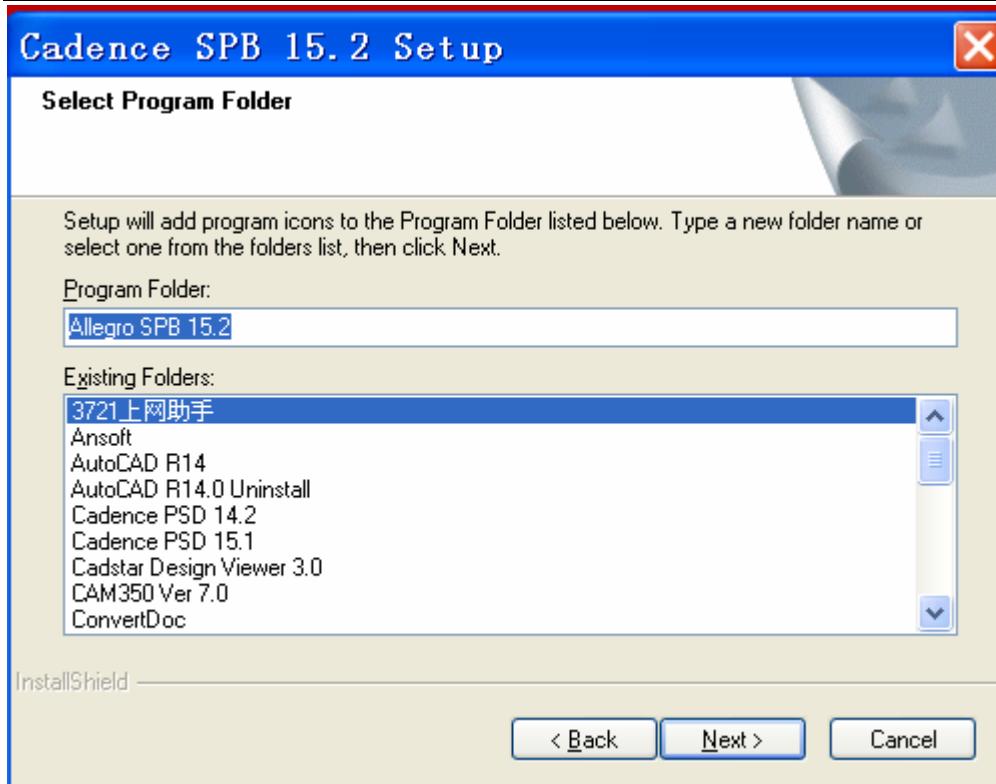
PX3100 Allegro PCB SI 610 (仿真模块)

为了节省磁盘空间，可根据自己的需要选择一个或两个模块。

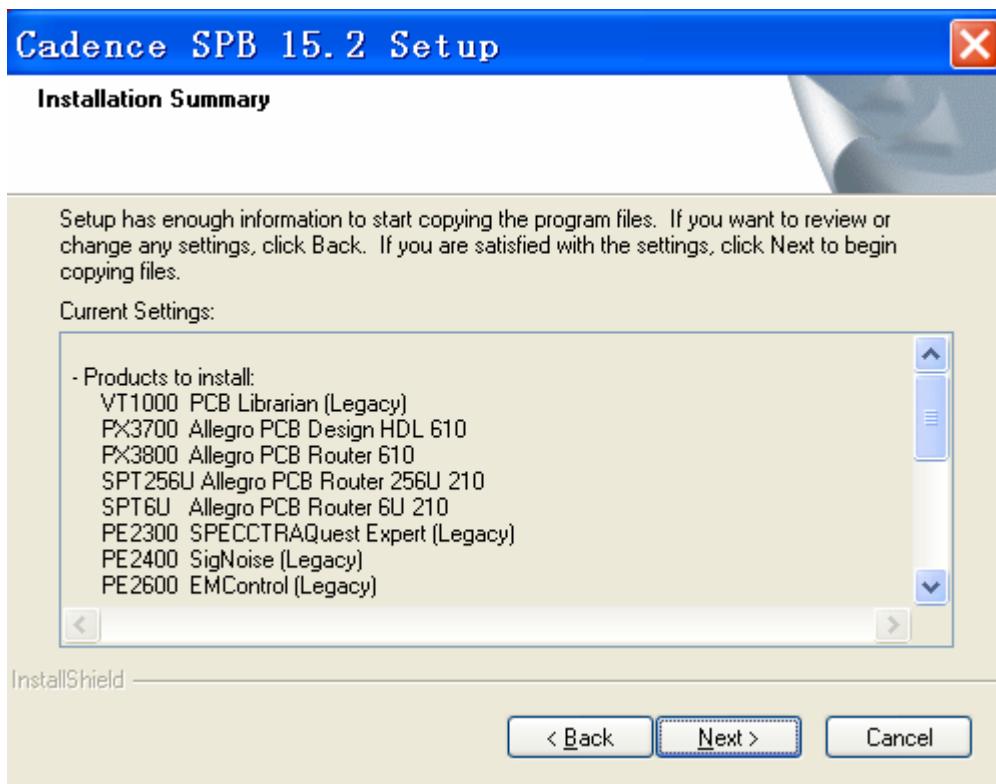
然后，按 NEXT：



键入工作目录，按 NEXT：



按 NEXT:



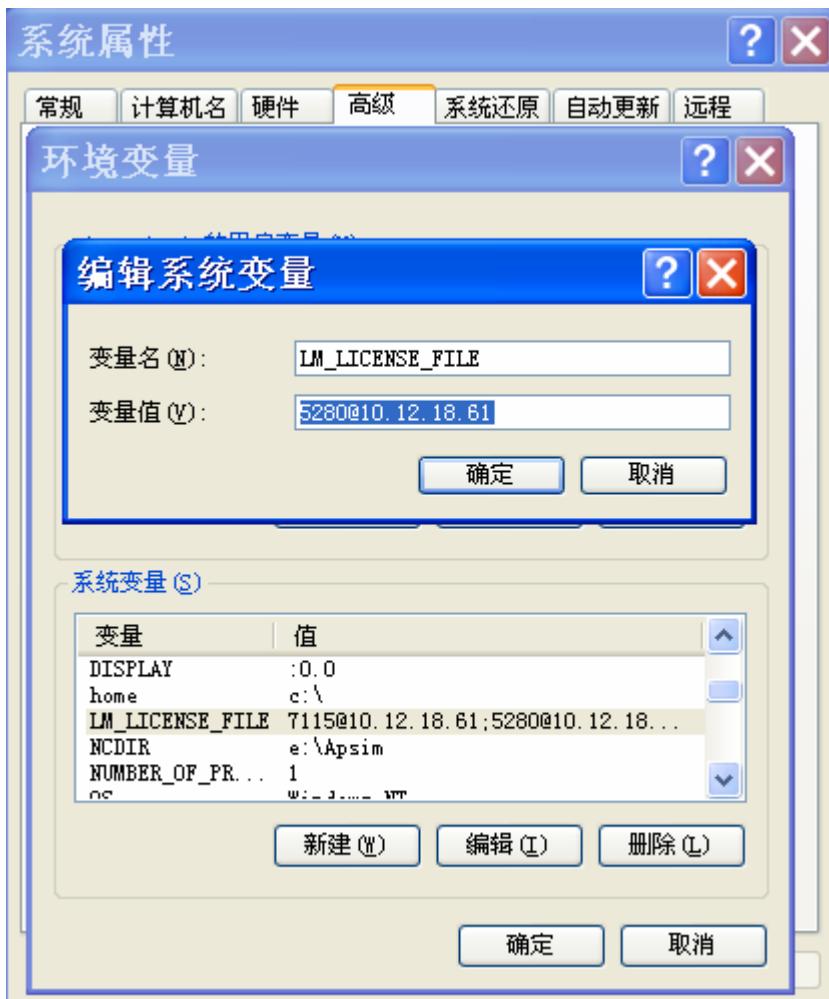
按 NEXT, 开始安装。

二、LICENSE 设置

因为安装好的 Cadence 的 LICENSE 文件放在服务器上，所以需要将环境变量进行修改：

打开控制面板-----系统-----高级-----环境变量-----新建

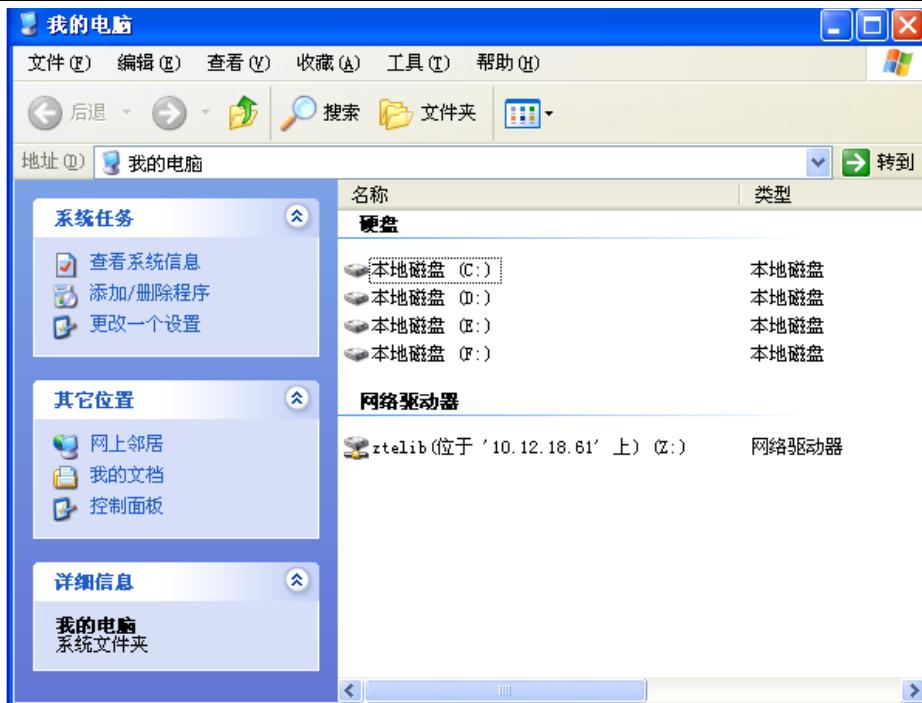
按下图填写即可，变量值要根据 LICENSE 文件所在的位置进行修改（每个事业部服务器的 IP 地址有所不同）：



三、库映射

公司实行统一的 EDA 库管理，EDA 库都放在公司服务器上，公司的 CADENCE 原理图库目录的存放地址：<\\10.12.18.61\ztelib\ConceptLib>，公司的 CADENCE 封装库目录的存放地址：<\\10.12.18.61\ztelib\AllegroLib>。仿真库目录的存放地址：<\\10.12.18.61\ztelib\SigNoiseLib>，每个事业部的服务器 IP 地址有所不同，前面的根目录可能不同，但 ztelib 目录后面的内容应该是相同的。

由于公司的库使用相对位置存放方式，所以调用前首先要映射一个盘（如 Z 盘）将库连通。映射后如下图所示：



2.4 修改 cds.lib 文件，设置原理图库:

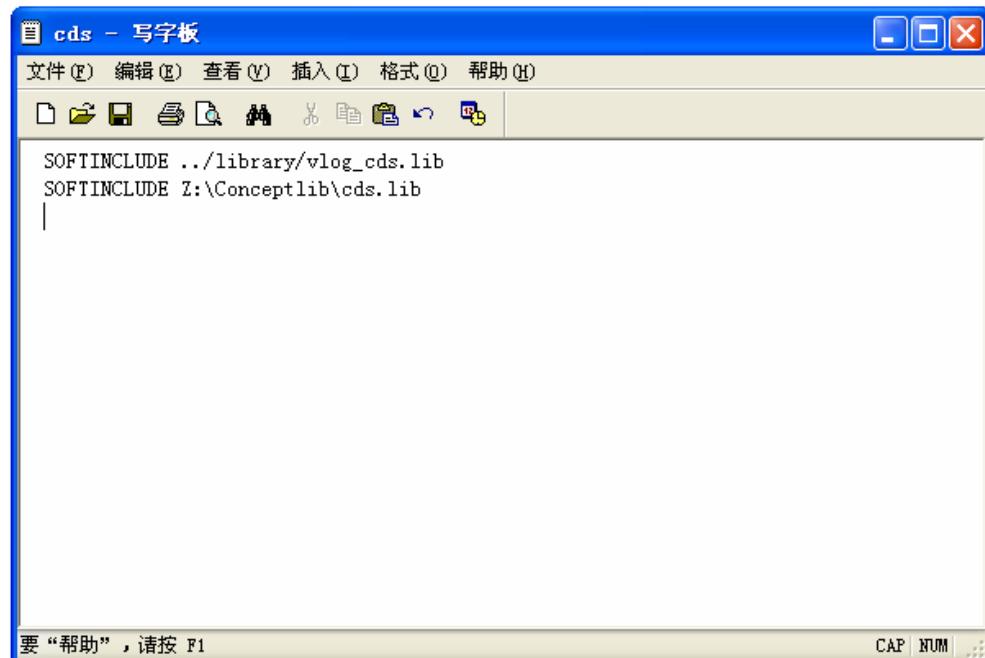
Cadence 中的 cds.lib 文件是一个原理图库索引文件，它是一个文本文件，允许你编辑修改。该文件的每一行都由 DEFINE 或 INCLUDE 关键词定义了一个元件库的索引指针，其中 DEFINE 定义了一个单一的元件库索引，而 INCLUDE 则定义了另一个库索引文件(cds.lib)的包含。

当安装好 Cadence 后，为了索引原理图库，需要修改系统的 cds.lib 文件，进入以下路径：

\$:\CADENCE\PSD_14.2\SHARE\CDSSETUP\，打开未修改的 CDS.LIB 如下：

```
cds1 - 记事本
文件(F) 编辑(E) 格式(O) 帮助(H)
DEFINE standard ..\library\standard
SOFTINCLUDE ..\library\vlog_cds.lib
SOFTINCLUDE $CHDL_LIB_INST_DIR/share/library/cds.lib
```

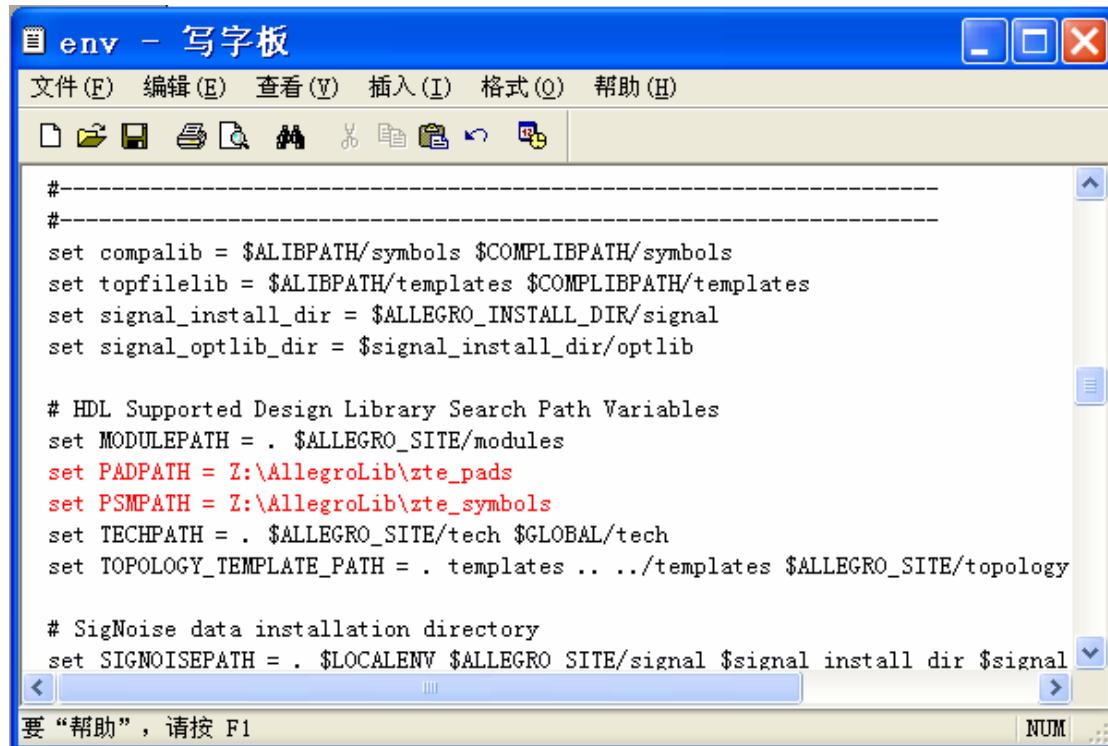
根据你所映射的盘和目录进行编辑，如下图所示，其中“SOFTINCLUDE Z: \Conceptlib\cds.lib”，表示包含了Z盘Concept目录下的cds.lib，然后通过它进一步引用所提供的所有原理图库。



保存退出，原理图库设置完成。

2.5 编辑 ENV 文件，设置 PCB 库：

ENV 文件中设置了 PCB 焊盘和封装库的路径，在\$:\CADENCE\PSD_15.1\SHARE\PCB\TEXT 下打开 ENV 文件进行编辑，将 PAD\PSM 路径编辑成如下红色字体所示：



保存退出，PCB 库设置完成。

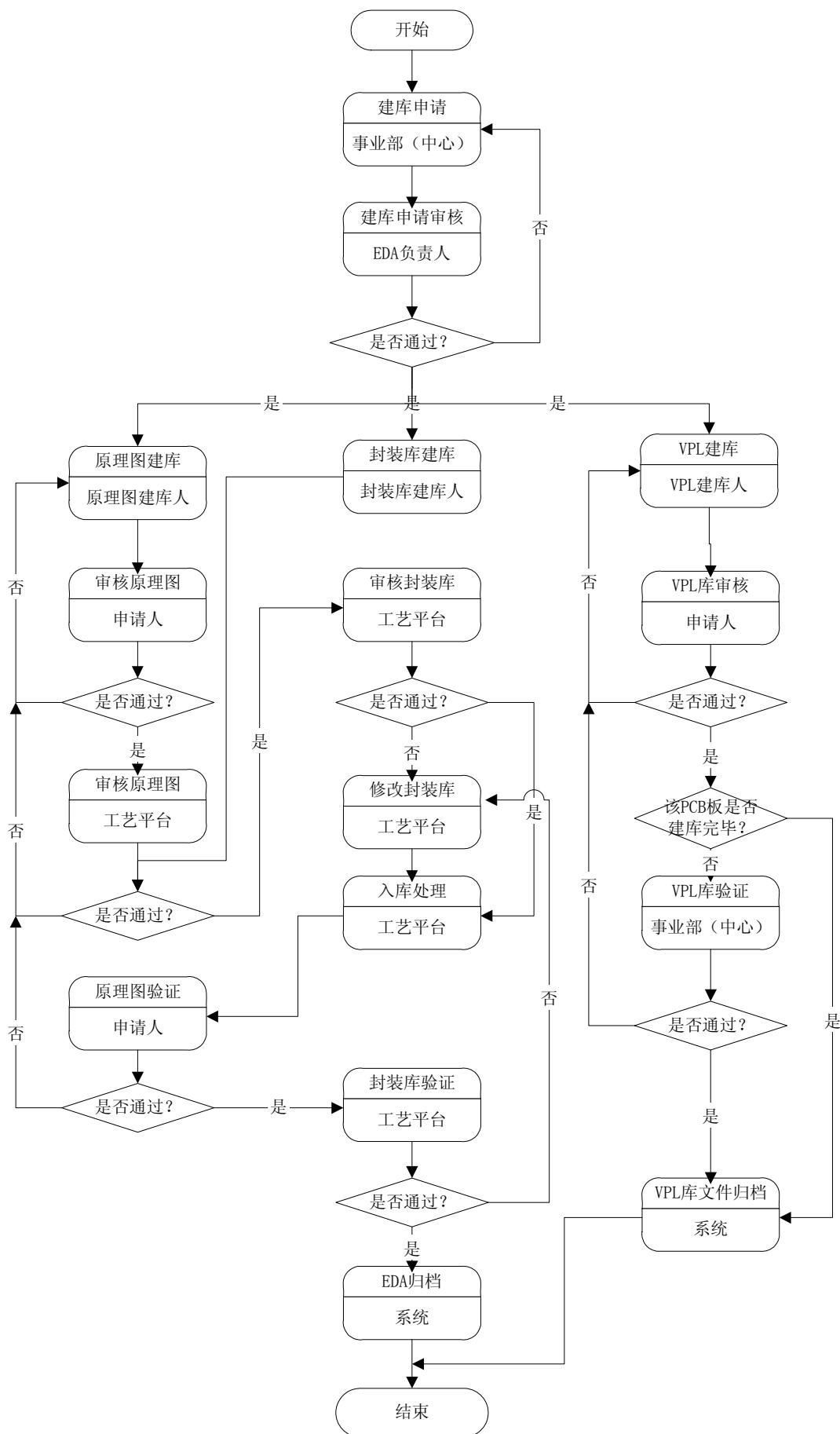
第三章 CADENCE 库管理

3.1 中兴 EDA 库管理系统

公司的 EDA 库实行统一管理，所有 EDA 库（包括原理图库、封装库、VPL 库、IBIS 模型库）都要统一到工艺平台进行管理，通过流程建好的库都统一放在公司服务器上，一般不允许设计人员私自在本机建库。第二章已讲述了怎样将服务器上的库引用到本机的 Cadence 的设计环境中。

所有的 EDA 库申请、建库、审核等均要通过三结合工作平台来进行，流程如下：（具体流程请参照三结合工作平台管理操作手册）。

EDA/VPL建库流程图

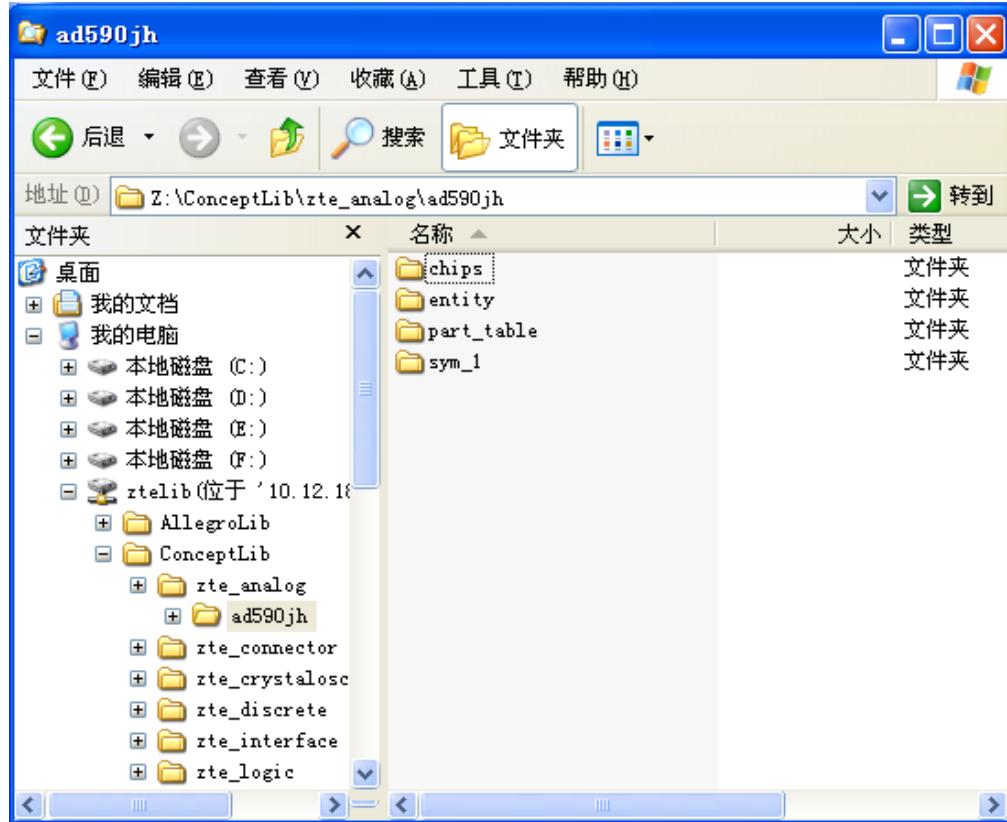


3.2 CADENCE 库结构

3.2.1 原理图 (Concept HDL) 库结构:

Cadence 的每个元件原理图库都用几个文件来描述，就是有多个 View，View 就是对器件从各个方面进行描述，系统默认的名字有 sym_1、entity、chips、part_table 等。Sym_1 存放的文件用来描述元件符号；entity 存放的文件用来描述文件端口的高层语言描述；chips 目录的文件是对元件物理封装的说明和层次的描述；Part_table 下存放的元件的附加属性，用于构造企业特定元件，建立和企业 ERP 系统的接口。

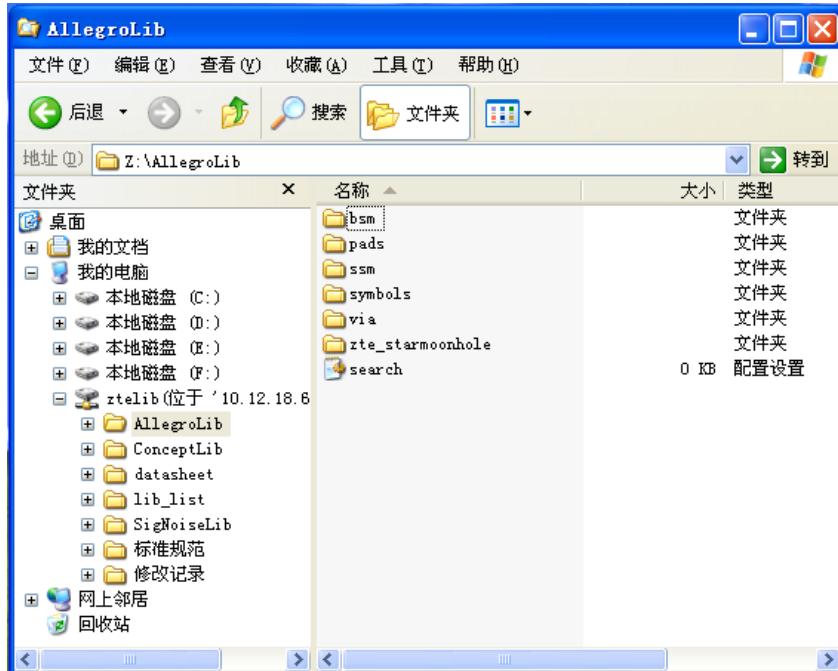
在 Z 盘打开一个具体的元件，可看到以下画面，可看出这个元件下就包括了上述的这四个文件：



3.2.2 PCB 库结构:

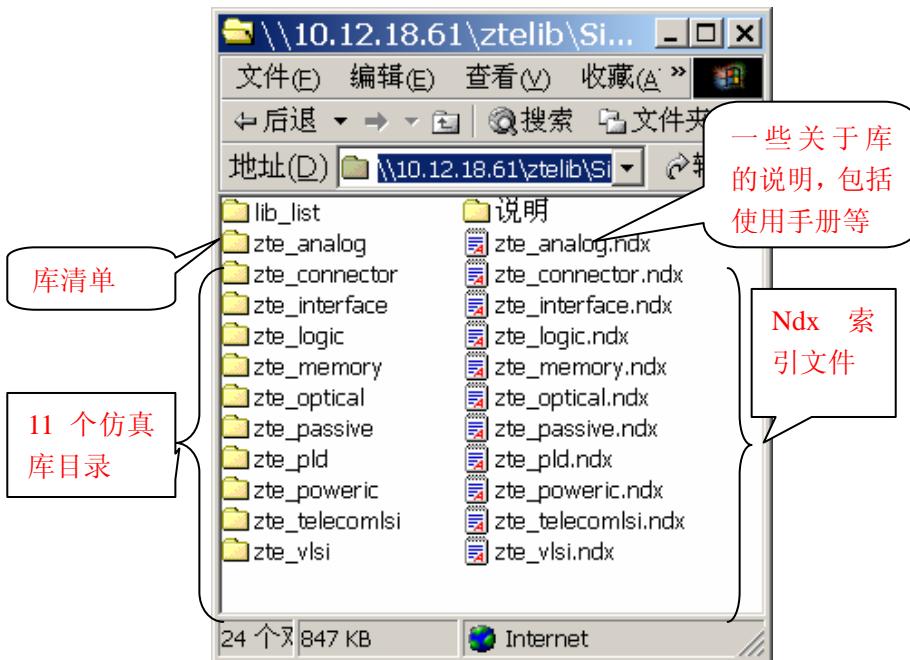
Cadence 的 PCB 库包括两个部份：焊盘和封装图形库，下图中 pads 文件夹中放焊盘库，symbols 文件夹中放封装图形库，路径由 ENV 文件指定。

因为现在公司实行统一的库管理流程，所以关于怎样建库在这里不作详细说明。



3.2.3 仿真库结构:

因为 Cadence 仿真用的是 dml 模型，这种模型可以从通用的 IBIS 模型转换而来。公司的 IBIS 模型库根据分类特点，存放在公司管理 EDA 库的服务器：`\10.12.18.61\ztelib\SigNoiseLib` 上，`SigNoiseLib` 下面按分类目录存放，如下图所示，关于仿真库的内容请参照专门的《仿真库操作手册》。



仿真库按照原理图库同样的文件夹管理方式，每个原理图文件夹对应仿真库中的同名文件夹，文件夹中包含每个器件的 2 个文件：保持原始数据的 IBIS 文件，修改后、按照统一命名方式的 IBIS 文件。因为 Cadence 仿真用的是 dml 模型格式，所以为了索引方便，转换后的该器件的 dml 文件从其

子目录移到次级的总目录下，如 zte_telecomlsi 目录下有很多器件的子目录，还有 dml 文件。

第四章 公司的 PCB 设计规范

上面是 Cadence 的原理图与 PCB 的设计说明，这只是一个设计工具。要成功地设计一块 PCB，需要熟悉公司许多的设计规范，这些规范在公司标准中都可以找到：

- 1、 Q/ZX 04.100.1-2003 印制电路板设计规范-----文档要求
- 2、 Q/ZX 04.100.2-2002 印制电路板设计规范-----工艺性要求
- 3、 Q/ZX 04.100.3-2003 印制电路板设计规范-----生产可测性要求
- 4、 Q/ZX 04.105-2002 基于 CADENCE 平台的 PCB 板级仿真流程
- 5、 Q/ZX 04.100.4-2001 印制电路板设计规范-----元器件封装库基本要求
- 6、 Q/ZX 04.100.6-2002 印制电路板设计规范——插件及连接器封装库尺寸要求（试行）
- 7、 Q/ZX 04.100.8 - 2002 印制电路板设计规范——PCB Check List
- 8、 Q/ZX 04.100.9-2003 印制电路板设计规范——版本和标识
- 9、 Q/ZX 04.100.10-2003 印制电路板设计规范——插板结构设计要求
- 10、Q/ZX 04.104.1-2002 电路原理图设计规范——CADENCE元器件原理图库建库要求
- 11、Q/ZX 04.104.2-2002 电路原理图设计规范——基于CADENCE平台的设计要求
- 12、Q/ZX 04.106-2003 单板面板指示灯设计要求

第五章 常用技巧和常见问题处理

安装

安装完成后,为何不能正常启动?

安装 15.2 版本：如果之前安装了低版本的软件,请检查 CDSROOT=安装盘\Cadence152\SPB_15.2,再 检 查 PATH 相 应 的 Cadence 路 径 应 该 设 置 为
 PATH=%CDSROOT%\tools\pcb\bin;%CDSROOT%\tools\Capture;%CDSROOT%\tools\bin;%CDSROOT%\tools\jre\bin;%CDSROOT%\tools\fet\bin;%CDSROOT%\tools\specctra\bin;%CDSROOT%\tools\libutil\bin,如果有低版本的路径还保留, 请删除。

安装 14.2 版本, 启动时提示找不到动态链接库, 请再运行\DISK1\ActiveX\setup.exe 文件即可。

启动时,为何提示找不到 license?

环境变量设置不对, 确认环境变量设置为 lm_license_file=文件路径\license.dat

PCB 编辑器 PCB Editor 不能修改设置选项？

设置环境变量 home=c:\，即 PCBENV 目录所在盘符。

如何一次性设置好原理图库路径和其他原理图设计缺省选项？

请见 2.4 节和 2.5 节。

如何在康讯标准库中查找元件？

1. 通过 EXCEL 表查询: eda-server\kxlib\ztelib\other\lib_list
2. 通过 WEB 查询: http://10.12.18.61:8080/ipsd/或者
3. http://10.50.1.9:8080/ipsd/cockpit/common/cp_shell.jsp
4. 先点击 PARTBROWSER,再点击 FIND BY PROPERTY 或者其他选项即可开始查询,如果网络比较快,可以直接从 PARTBROWSER 中添加元件到原理图。

Cadence 提供的帮助文件



目录

目录	1
前言	8
1 原理图输入介绍	9
2 项目管理器	11
2.1 项目管理器的概念	11
2.2 项目的结构	11
2.3 创建或打开一个项目	12
2.4 原理图库的添加:	13
2.5 填写设计(Design)名称	13
2.6 增加新的Design(设计)	14
2.7 修改 cds.lib 文件	15
2.8 设置工具	15
2.9 项目文件	16
3 原理图设计—基本操作	17
3.1 创建原理图的流程	17
3.1.1 创建原理图的流程请见下图:	17
3.1.2 创建一个层次化原理图的流程请见下图:	18
3.2 图纸版面设置	19
3.2.1 图纸统一格式设置	19
3.3 Concept 编辑环境	21
3.3.1 栅格设置	22
3.3.2 原理图中的文字设置	23
3.4 添加首页和目录页	23
3.4.1 原理图目录页的格式	23
3.4.2 目录表	24
3.5 页面操作	25
3.5.1 增加、删除、插入新的原理图页	25
3.5.2 原理图多页面操作	26
3.5.3 删除某个设计、设计视图或者某页原理图	26
3.6 基本界面操作	26
3.6.1 常用的快捷键	27
3.6.2 笔画命令	27
3.7 基本命令	28
3.7.1 基本编辑命令	28

3.7.2 基本显示命令.....	29
3.7.3 两个不同网络名的网络连接的方法.....	29
3.7.4 检查连接关系.....	30
3.7.5 保存设计.....	30
3.7.6 打开设计和恢复设计.....	30
3.7.7 Drawing 符号.....	31
3.8 Design Entry HDL 的模式.....	31
3.9 添加元件.....	31
3.9.1 在 Design Entry HDL 中添加器件	31
3.9.2 修改替换元件.....	32
3.9.3 定义 Physical Property Options.....	32
3.9.4 Section 元件.....	33
3.9.5 使用库浏览器 PartBrowser 调用元件	34
3.10 多窗口添加元件.....	36
3.11 画线 37	
3.11.1 Draw 方式.....	37
3.11.2 Route 方式.....	38
3.12 添加信号名.....	38
3.12.1 电源信号命名规定:	39
3.12.2 差分信号命名规定:	40
3.12.3 局部和全局信号命名规定.....	40
3.12.4 逻辑低和双逻辑信号命名规定:	40
3.12.5 总线信号命名规定:	40
3.13 画总线.....	41
3.14 元件位号手工标注.....	43
3.15 加端口.....	44
4 属性和文本.....	45
4.1 Design Entry HDL 属性.....	45
4.1.1 锁住属性.....	45
4.1.2 拷贝属性.....	45
4.1.3 添加属性.....	46
4.1.4 区分大小写的属性名称和属性值	47
4.1.5 指定电源管脚.....	47
4.2 文字操作.....	50
4.2.1 定义文本宏	51
4.3 定制文本.....	52
5 群组 55	
5.1 群组定义:	55

5.10.2 组命名	55
5.10.3 组操作	56
6 模块设计	58
6.1 关于模块	58
6.2 模块符号创建	58
6.3 创建层次图	58
6.3.1 Top Down 方法	59
6.3.2 Bottom Up 方法	59
6.3.3 模块的操作	60
6.4 模块排序	60
7 约束管理器	63
7.1 层次设计中的电子约束	64
8 信号完整性分析特性	67
8.1 支持 Xnets	67
8.1.1 创建 Xnets	67
8.1.2 在约束管理器中显示 Xnet	67
8.1.3 处理 Xnet 上的分段约束	68
8.1.4 在原理图中显示管脚对约束	68
8.1.5 在约束管理器和 Design Entry HDL 直接进行 Xnets 的交互探查	68
8.2 GUI 支持模型指定的 Xnets 和差分对	68
8.2.1 使用模型	68
8.2.2 模型指定的用户界面	69
8.2.3 指定信号模型	69
8.2.4 设置模型库路径	69
8.2.5 通过指定模型给分立元件来创建 Xnet	70
8.2.6 通过给 IC 指定模型来定义模型指定的差分对	71
8.2.7 恢复	72
8.2.8 将信号模型赋给原理图	72
8.2.9 给多个实体指定信号模型	72
8.2.10 刷新模型指定窗口	72
8.2.11 指定管脚模型	72
8.2.12 显示规范的路径	72
8.2.13 在原理图与模型指定窗口之间交叉探查	73
8.2.14 手工校验模型指定	73
8.3 支持将约束赋给网络	73
8.4 支持完全的拓扑提取	73
8.5 用不同的目标网络来匹配网络	74

8.5.1 指定一个网络给多个匹配的群组	74
8.5.2 多个匹配群组和 Allegro Design Entry HDL	75
8.6 支持提取完整的管脚延迟	75
8.6.1 使用模型	75
8.6.2 编辑管脚延迟值	76
8.6.3 在原理图中标注管脚延迟	76
8.7 移植一个设计到 15.2	77
8.7.1 retain existing Xnets and diff-pairs 模式	77
8.7.2 Non_Retain Mode	77
8.7.3 使能信号完整性分析特性	77
8.8 关于 Xnets 的常见问题	78
9 设计的全局操作	80
9.1 展开设计	80
9.2 全局查找	80
9.3 高亮全局对象	81
9.4 在设计中 Navigating 网络	81
9.5 全局修改	82
9.5.1 全局修改元件、管脚和网络属性	82
9.5.2 全局删除元件、管脚和网络属性	83
9.5.3 全局替换元件	83
9.5.4 批处理操作	85
9.6 元件管理	85
9.6.1 The Part Manager Use Model	85
9.6.2 Part Manager 用户界面	85
9.6.3 Working with Part Manager	86
9.7 运行 Scripts (脚本)	88
9.7.1 用户输入记号	88
9.7.2 运行脚本	88
9.7.3 采样脚本	89
9.8 页管理操作	89
9.8.1 进行页操作的注意事项	89
9.8.2 进行页管理操作	91
9.8.3 显示和修改原理图页码	92
9.8.4 重新编号页	94
9.9 原理图的页拷贝-在不同的 project 下实现原理图拷贝	94
10 交叉标注 (Cross Reference)	97
10.1 信号的页区位置交叉标注 (Cross Reference) 的作用	97
10.2 交叉标注需注意的几点:	97

10.3 信号的交叉标注 (Cross Reference) 的方法	97
10.4 层次设计中出模块信号的交叉标注	98
10.5 出页信号的交叉标注的要求	98
11 生成网表	99
11.1 用于打包设计	99
11.1.1 为打包设计指定创建 Verilog 网表的选项	99
11.1.2 为打包设计创建 Verilog 网表	100
11.2 为仿真生成网表	100
11.2.1 为数字仿真生成网表	100
11.3 生成网表用于在 Synplify 中合成设计	101
11.3.1 为生成 Verilog 网表指定选项	101
11.3.2 为生成 VHDL 网表指定选项	101
11.3.3 生成网表	102
11.4 为模拟和混合仿真生成网表	102
11.5 给只读模块生成网表	102
12 打包设计	104
12.1 运行 Package-XL	106
12.1.1 前向模式运行 Package-XL	106
12.1.2 反向模式运行 Packager-XL	108
12.2 打包前的准备	110
12.2.1 属性类型	110
12.2.2 命名参考位号	111
12.2.3 打包原理图	111
12.2.4 使用原理图属性	111
12.2.5 打包位号设置	114
12.3 创建 BOM (料单) 报告	115
12.3.1 创建一个基本的原理图料单	115
12.3.2 关于结构件	117
12.4 创建网表报告	119
12.5 电子规则检查	119
13 设计同步工具	121
13.1 设计同步过程介绍	121
13.2 设置 Packager-XL	122
13.2.1 Properties Tab	123
13.2.2 State File Tab	124
13.2.3 From Layout Tab	125
13.2.4 Report Tab	126

13.2.5 Layout Tab	127
13.2.6 Subdesign Tab.....	127
13.3 PCB 编辑器—Design Entry HDL 属性流程.....	128
13.4 处理设计差异.....	129
13.4.1 运行 Design Differences.....	129
13.4.2 Design Differences 用户界面	131
13.4.3 使用 Design Differences.....	132
13.5 使用 Design Association.....	136
13.5.1 Design Association 功能.....	136
13.5.2 理解 Markers 和 Actions	136
13.5.3 启动和退出 Design Association.....	137
13.5.4 Design Association 用户界面	137
13.5.5 使用 Design Association.....	138
14 进入 PCB 设计	141
15 原理图打印.....	142
15.1 Windows 打印	142
15.1.1 设置窗口打印选项	142
15.1.2 预览设计	143
15.1.3 打印	143
15.2 层次图打印.....	144
15.2.1 在 Hierarchy, Expanded, and Occurrence Edit 模式的层次打印.....	144
15.2.2 改变打印顺序	145
15.2.3 打印层次设计	145
16 原理图归档.....	147
17 设计技术	148
17.1 结构的设计.....	148
17.2 层次设计.....	150
17.2.1 pinnames 命令	151
17.2.2 定义低有效管脚	151
17.2.3 层次设计的好处	152
17.3 几种设计方法的比较.....	152
17.4 设计重用方法.....	152
17.4.1 设计重用流程.....	152
17.4.2 具体操作步骤	153
18 设计派生编辑器.....	158
18.1 介绍派生编辑器解决方案.....	159

18.1.1 使用派生编辑器的派生设计	159
18.1.2 派生编辑器特征	160
18.2 派生编辑器的启动和界面	160
18.2.1 启动派生编辑器	161
18.2.2 用户界面	162
18.3 创建派生数据库	163
18.3.1 识别可能的派生	163
18.3.2 指定可交换的值	164
18.3.3 定义可交换的群组 - Alternate Groups	165
18.3.4 创建功能 - Functions	166
18.3.5 锁住元件和群组	166
18.3.6 高亮原理图中的元件	166
18.3.7 创建和管理派生	167
18.3.8 全局搜索	167
18.3.9 同步派生数据和原理图	169
18.3.10 使用兼容的 JEDEC_TYPEs	169
18.3.11 替换元件	170
18.3.12 同步 PTF 信息	170
18.4 反标派生信息	170
18.4.1 准备反标	171
18.4.2 启动反标对话框	171
18.4.3 反标基础原理图	171
18.4.4 反标 Variants	172
18.5 在 PCB Editor 中管理派生信息	172
18.5.1 输出 PCB Editor 接口文件	172
18.5.2 在 PCB Editor 中创建 BOM 报告	172
18.5.3 创建 Variant 组装图	173

前言

Cadence 软件是我们公司统一使用的原理图设计、PCB 设计、高速仿真的 EDA 工具。本教材针对硬件开发人员需要使用的原理图 Design Entry HDL 输入及其相关的原理图检查及约束管理器等工具进行全面的阐述，对约束管理器、打包设计、设计同步、设计派生做了介绍，对 PCB 编辑器有关的内容作了简单介绍，还对 Package-XL、Design Sync、Design Variance 等工具做了介绍，以加强原理图设计者对工具的理解。通过此培训教材旨在让员工能掌握 CADENCE 原理图相关工具的基本使用方法，能熟练运用此工具进行原理图设计，并对公司相关规范进行简单介绍。

由于时间有限，难免有错误，请大家批评指正并及时反馈，以便及时修改更新。

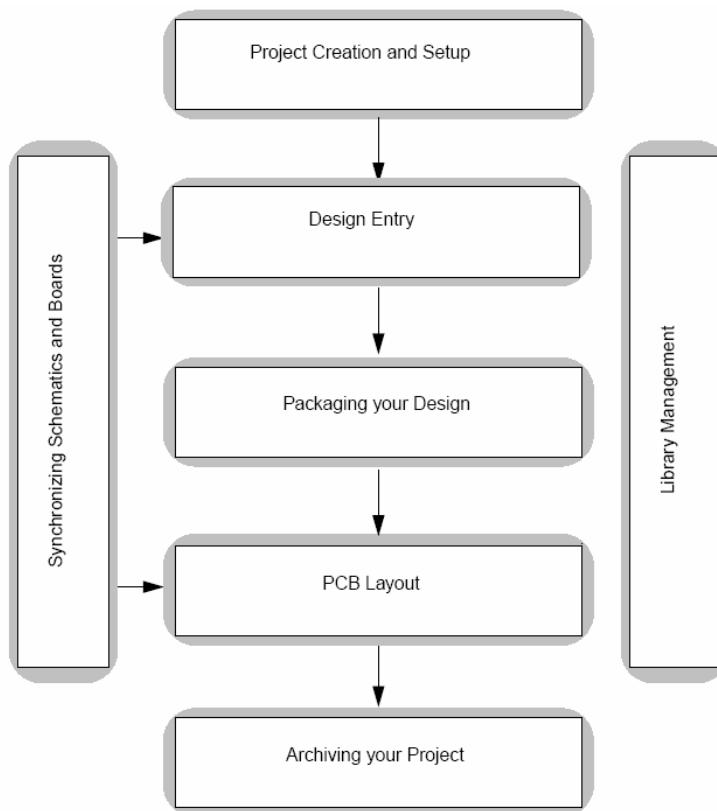
1 原理图输入介绍

在中兴使用的是 Cadence 板级设计中的原理图输入工具为 Design Entry HDL，它可以灵活高效地将原理图送入计算机，并生成后继工具能够处理的数据。Design Entry HDL 设计环境支持行为和结构的设计描述，并综合了模块编辑功能。Design Entry HDL 将原理图分成很多页，每次只显示 1 页。Design Entry HDL 是参考编辑器，因为原理图中的所有元件都是参考不同的库，可以用归档功能将所用的库归档到一起。

Design Entry HDL 的特性：

- 自顶向下层次设计可以快速创建模块并连接模块。交叉视图发生器可以创建从 HDL 描述创建模块或者自动从上一层电路图产生 HDL 文本。
- 可以定制用户界面，可以定制菜单和工具栏，功能键和创建新命令。
- 层次编辑器可以查看设计结构。
- 属性编辑器可以注释属性并驱动物理设计。
- 与设计同步工具包继承，可以查看原理图和 PCB 的不同并同步。
- 可以在 Design Entry HDL 和其他工具之间实现交叉探查。
- 支持设计重用。
- 与 Rules Checker 集成，Rules Checker 是一个先进的规则检查和开发系统。
- 与 PCB Editor 约束管理器集成，可以提取和管理约束。
- 支持导入 IFF 文件。
- Design Entry SKILL，提供 SKILL 编程接口。

下图显示了 Design Entry HDL 在设计流程中的位置。



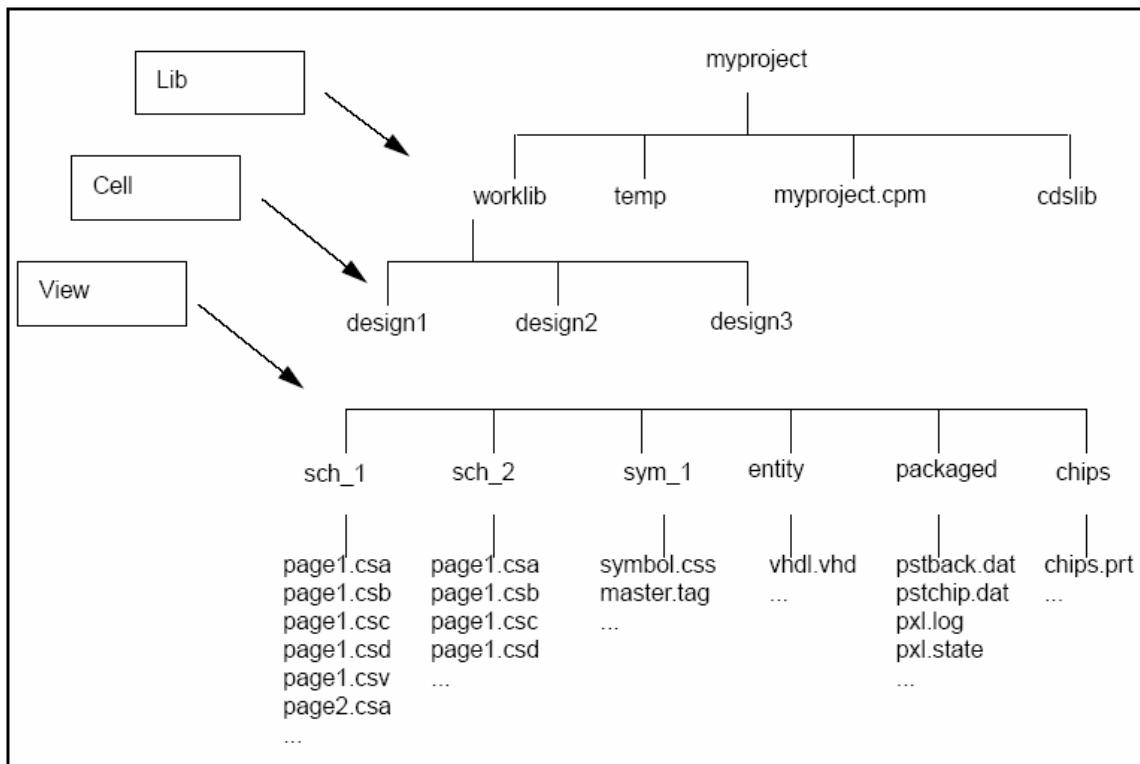
2 项目管理器

2.1 项目管理器的概念

项目管理器是对用户的设计进行统一管理以及环境设计的工具，是板级设计工具的整合环境。项目管理器可以创建设计项目和库项目，设置项目，导入、导出和归档项目。Cadence 板级设计流程都在项目管理器下进行，通过项目管理器中可以方便地进入各个设计环节，如原理图设计、PCB 设计、高速仿真等，还可以进行原理图到 PCB 的转换、设计环境的设置等。

2.2 项目的结构

设计的逻辑目录结构是 Lib->Cell->View->Files。Lib 的下面包含的是设计，Cell 是设计目录，包含所有的设计视图，比如一个名为 cpu 的设计可能包含原理图、符号、封装等等。View 中包含的是设计中的所有数据。请见下图：



也就是说 Cadence 的板级设计采用工程（Project）式的文件结构。通过上面的过程生成一个 Project 后，一个 Project 可以管理多个单板的设计，每个单板的设计又包含原理图、网络表、PCB 文件等。

其中 worklib 为工程库目录，下面又分为多个 design，cds.lib 为库索引文件 myproject.cpm

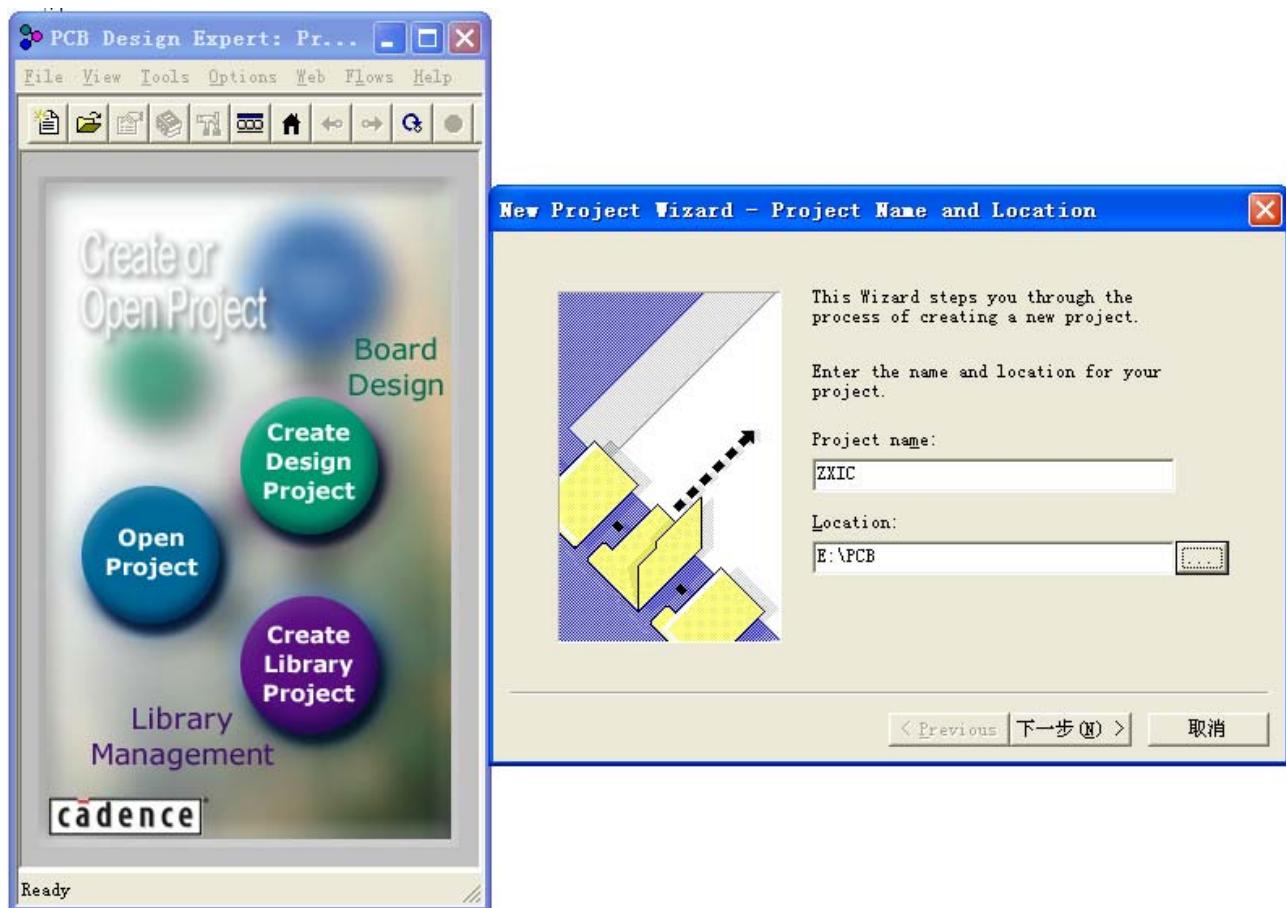
为项目管理文件，路径和文件名一般使用小写字母和数字。

2.3 创建或打开一个项目

打开 Project Manager，然后“Create Design Project”，其中 Location 下的路径格式为“工作目录\产品名称”。（说明：工作目录可以为根目录，也可以为“根目录\PSD_Data”，还可以是其它专门存放 PSD 工程文件的目录。）

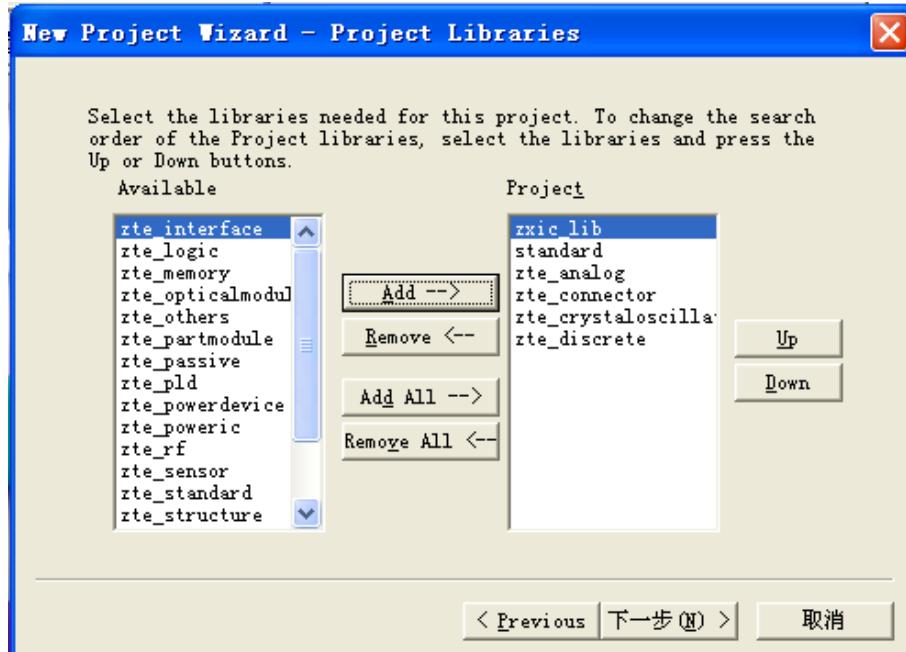
产品名称格式一般为“ZX”+“设备简称代号”，其中 ZX 为公司名称“中兴”汉语拼音字首。设备简称代号不超过四个字符，例如 ZXIC。设备升级后可以用 Vx.x 区分，如 ZXIC 升级后可以表示为 ZXICV2.0。

Location 下的路径严禁包含任何中文字，否则输出网络表时可能会报告错误。（命名规范要根据各事业部内部的规定）。



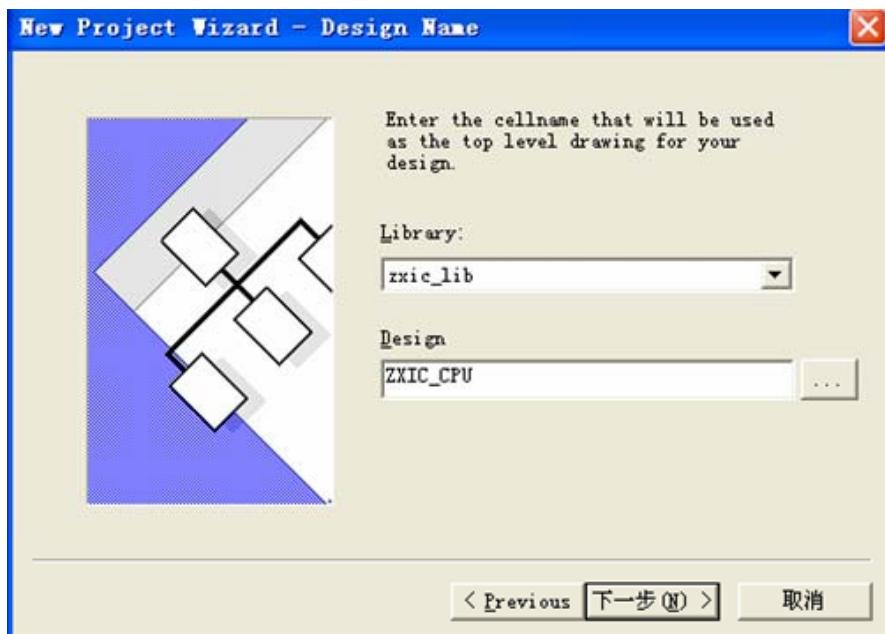
2.4 原理图库的添加:

点击“下一步”，进入以下界面进行原理图库的添加，由 cds.lib 索引的原理图库列出，选出需要的原理图库进行添加：



2.5 填写设计 (Design) 名称

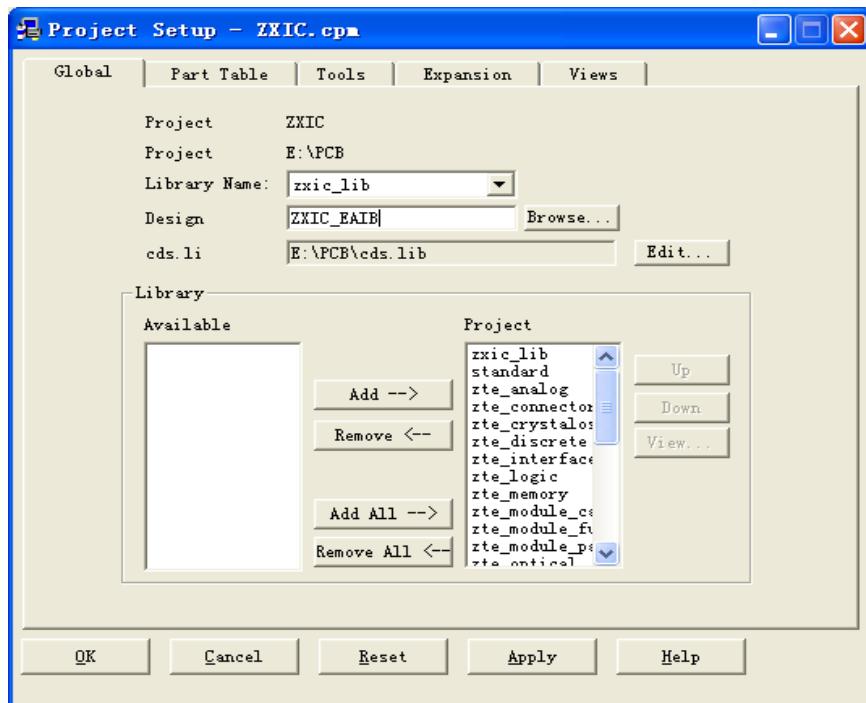
添加完原理图库后，再“进一步”，进入原理图设计 (Design) 界面，如下图所示。
Design 名称格式为“产品名称_单板名称”（同样要根据各事业部内部的规定）。



再点击“下一步”，则生成了一个新的项目。

2.6 增加新的 Design(设计)

如果你的工程包含多个单板，在 Project Manager 中的 Project Setup 的 Design 中输入新的设计名称，点击 OK，在 worklib 下即生成一个新的设计文件夹。如图所示，在工程 ZXIC 中增加设计 ZXIC_EAIB：



在这个界面下，还可以进行 Design 的选择，通过“Browse”选择将要打开的 Design，然后通过 Project Manager 下的“Design Entry”就可以进入对应的 Design。

Design 的名称除了字母数字还可以使用以下字符：*, (,), -, +, ', ?, ~, `。

2.7 修改 cds.lib 文件

一般通过修改 cds.lib 文件来增减库。每个项目都有 cds.lib 文件。在项目管理中，选择菜单命令 Tools->Setup，进入 Project Setup 对话框，在 Global 的选项卡中点击按钮 Edit，进入写字板修改 cds.lib 文件，具体方法参照《EDA 工具手册》概述第 2.4 节。修改完毕保存，回到 Project Setup 对话框，点击按钮 Add 或者 Remove 来添减库。

2.8 设置工具

在 Project Setup 对话框中的 Tools 选项卡中，可以对 PCB Editor、Design Entry HDL、Project Manager、Packager-XL 等工具进行设置。在此对话框内还可以选择属性文件、文本编辑器、temp 路径和设置项目 log 文件。

temp 路径在项目创建时自动创建，用于保存原理图的临时文件，可以在对应栏输入临时路径来设置。

文本编辑器缺省为写字板，可以选择更换。

项目的属性文件包含控制在扩展时如何处理属性的指示，指定属性是否被其他对象继承，是否是参数，可以附加到什么对象上，是否可以被传递到目的工具。不要更改安装文件中的属性文件。

Log 文件是项目用来追踪例如某个时间的活动的信息文件。如果想要维护项目的 log 文件，可以在此创建一个 log 文件，此文件是不会缺省创建的。

2.9 项目文件

有 3 种类型的项目文件，本地项目文件（local project file），即在项目创建时生成的项目文件*.cpm，此项目文件的优先级最高。还有一个就是 site project file，另一个就是安装时产生的项目文件（installation project file）。

如果想要为所有的项目指定缺省的设置就设置 site.cpm 文件，此文件一般在安装路径 \share\local\cdssetup\projmgr 路径中，也可以另外设置其他的路径，但是路径结构一定要是 \cdssetup\projmgr\ site.cpm。另外如果没将“site.cpm”文件放置在“Cadence 安装路径 \share\cdssetup\projmgr”中，必须设置“CDS_SITE=文件路径”环境变量。比如 site.cpm 的文件路径为 c:\project\cdssetup\projmgr\site.cpm，那么设置的环境变量为 CDS_SITE=c:\project。

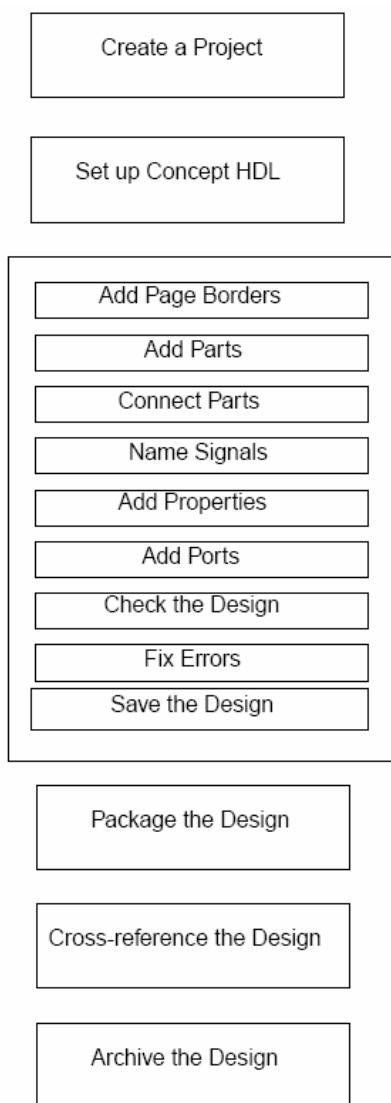
（15.0 以上版本）

安装路径下面的项目文件 cds.cpm 的优先级最低。

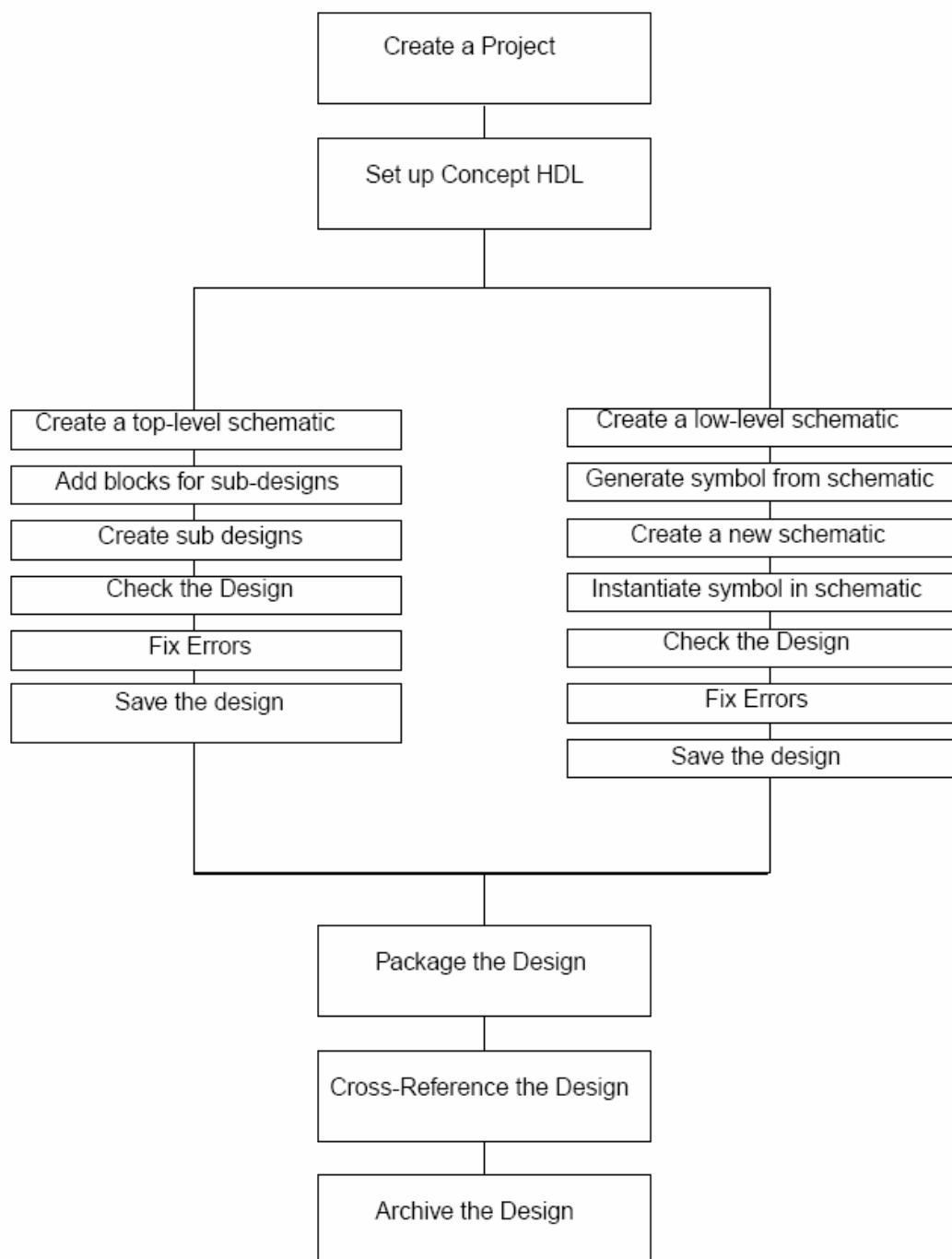
3 原理图设计—基本操作

3.1 创建原理图的流程

3.1.1 创建原理图的流程请见下图：



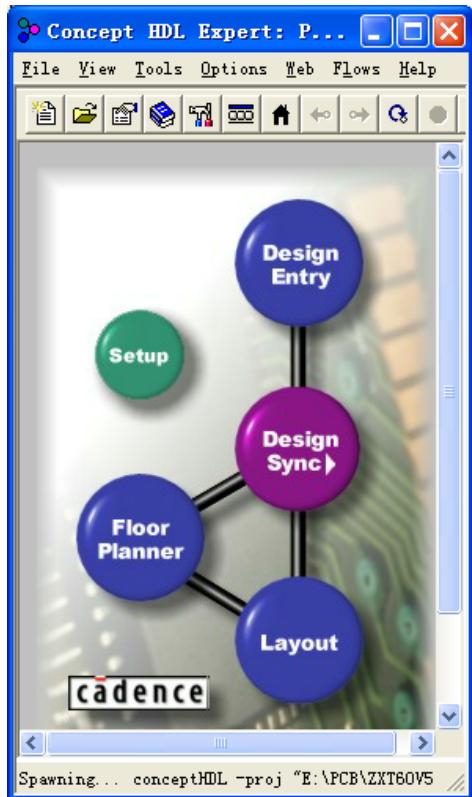
3.1.2 创建一个层次化原理图的流程请见下图：



3.2 图纸版面设置

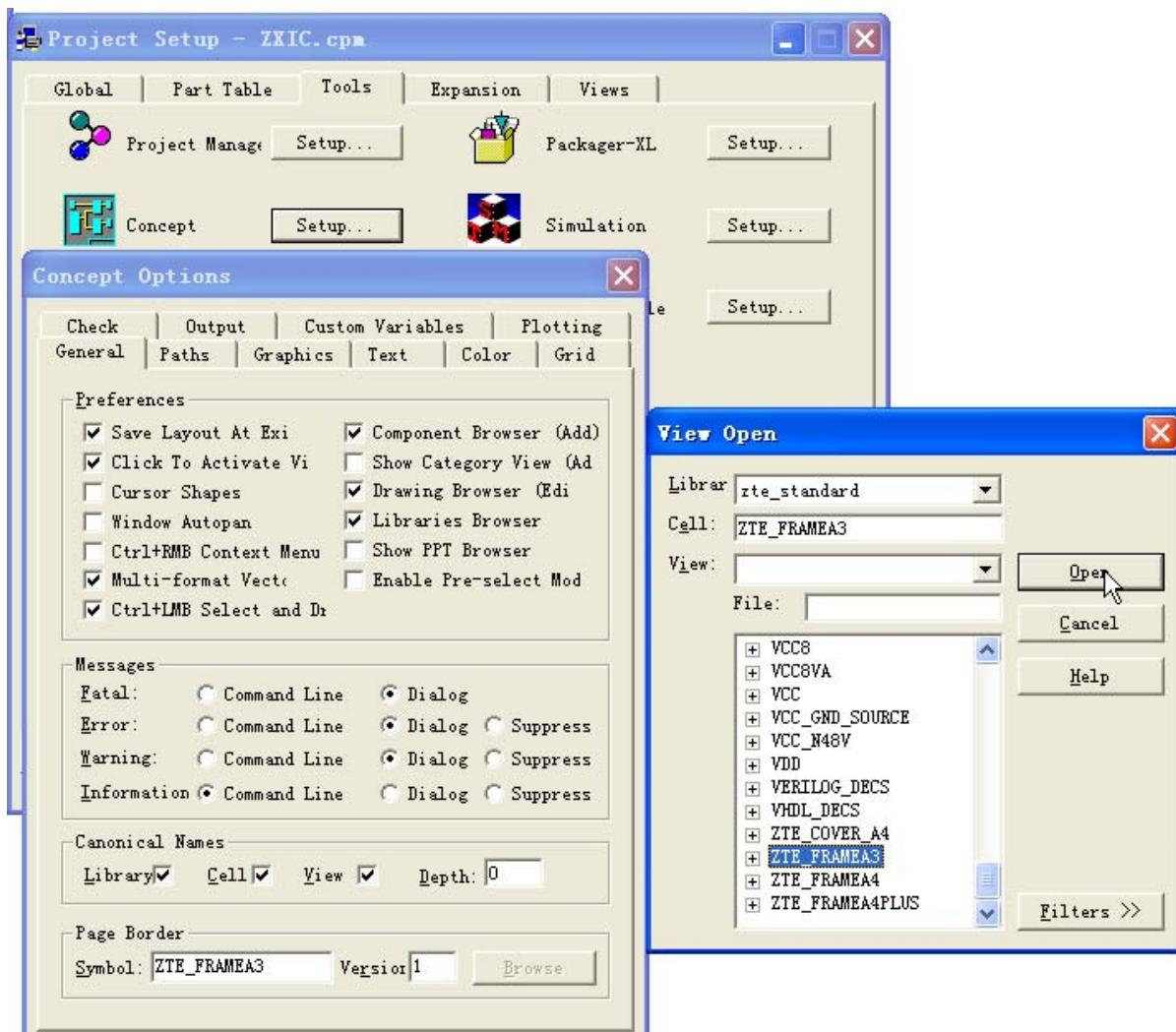
3.2.1 图纸统一格式设置

创建项目后，就进入以下界面：



在进入原理图设计之前，我们先需要进行原理图图纸格式设置：

在上面的“Project Manager”中点击 Setup，接着选择 tools—concept setup，在图纸选择栏通过“Browse”选择 zte-standard 库中的图纸格式，如下图：



图框、目录表、会签表应该使用公司的统一格式的原理图库，见下表：

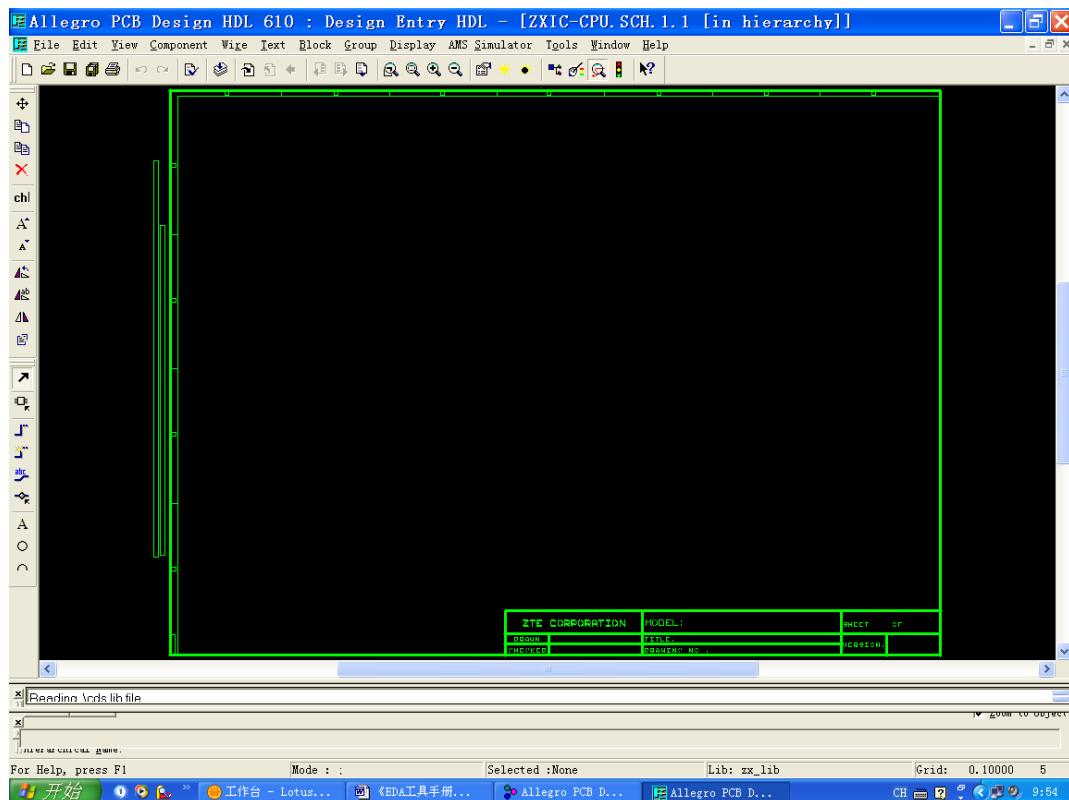
库名	所在库	说明	备注
Contents	zte_standard	目录表	sym_2 为续表
ZTE_COVER_A4	zte_standard	原理图封面	
ZTE_FrameA4plus	zte_standard	加大的 A4 纸图框	在 A4 纸上 Fit to Page 打印
ZTE_FrameA4	zte_standard	A4 纸图框	在 A4 纸上 Fit to Page 打印
ZTE_FrameA3	zte_standard	A3 纸图框	在 A3 纸上 Fit to Page 打印

ZTE_FrameA3 是统一的 A3 尺寸图纸格式。其标注栏如下，包括设计公司说明“ZTE CORPORATION”。原理图归档前，设计者、检查者、标准化者、更改者必须签名。标题，页码编号，版本等信息必须填写清楚。

ZTE CORPORATION	DRAWN	MODULE:	SHEET OF
	CHECKED		
	NORMALIZED		
ALL RIGHTS RESERVED	ECO MARK NO: ECO NO: SIGNATURE	APPROVED	DRAWING NO.: VERSION:

3.3 Concept 编辑环境

点击“Design Entry”，就进入原理图设计界面，如下图：（设置图纸版面后需退出 Project Manager，再重新进入）：



在标题栏中显示是将要编辑的原理图文件信息，即：ZXIC_CPU.SCH.1.1。它的格式<Cell>.<View>.<Version>.<Page>。即是<设计>.<视图>.<版本>.<页码>。这里的 Version 并不是原理图多次修改的版本号，而是将该原理图作为一个单一的逻辑功能元件时，出现在原理图中的元件符号版本。

界面上包含以下几部分：

- 设计窗口 Design window
- 菜单栏 Menu bar
- 工具栏 Toolbars

- 状态栏 Status bar
- 命令窗口 Console command window
- 对上下文敏感的菜单 Context-sensitive menus

3.3.1 栅格设置

在上面 Project Manager 的 Concept Option 界面的 Grid 栏中可以设置原理图栅格，也执行菜单命令 Tools->Options 即可进入此界面。可以采用的值如下：

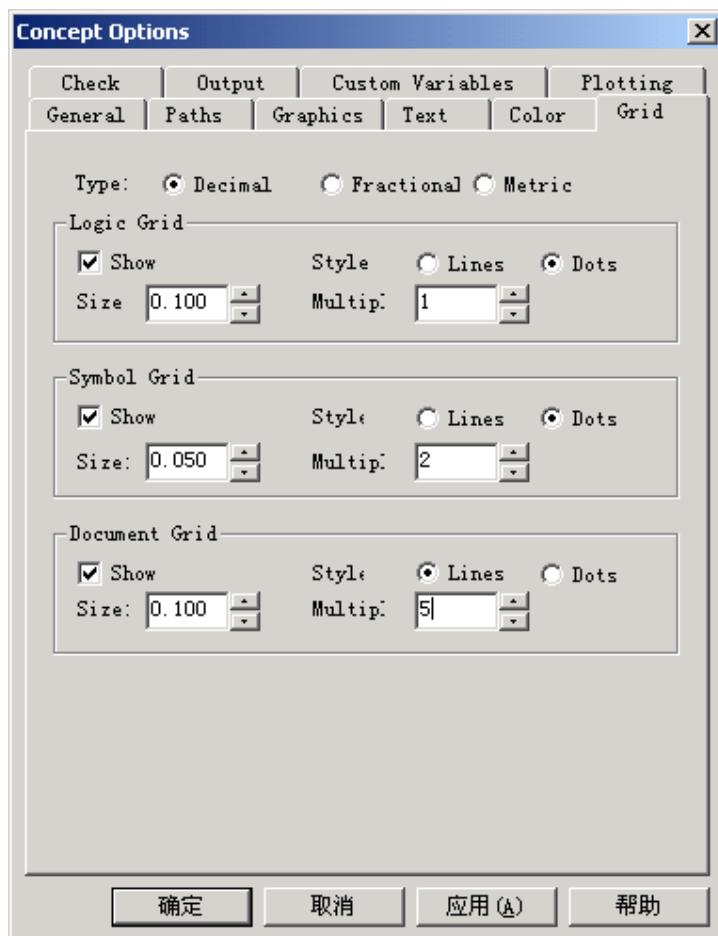
*0.100 5 (跟踪 100mil 显示 500mil, 为默认值)

*0.100 1 (跟踪 100mil 显示 100mil)

*0.050 2 (跟踪 50mil 显示 100mil)

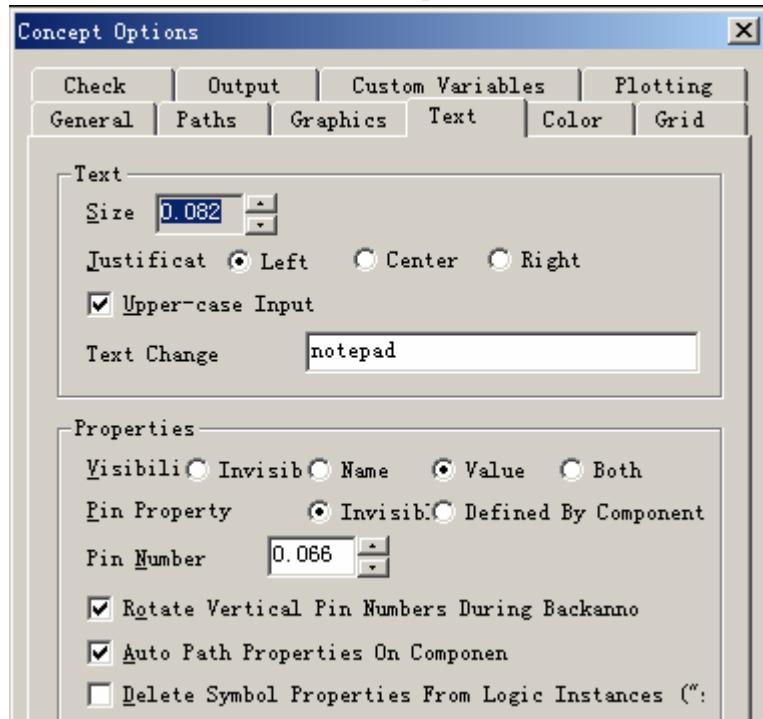
*0.010 10 (跟踪 10mil 显示 100mil)

因为原理图库的元件管脚间距为 100mil, 为使得连线坐标直观且方便推荐采用 Logic Grid 采用*0.100 5 (跟踪 100mil 显示 500mil, 为默认值) 或者 0.100×1 格式。Symbols Grid 为设计原理图库时使用的栅格, 不要修改它。即设置如下：



3.3.2 原理图中的文字设置

原理图中标题栏加的字符应该与栏的名称字符等大。原理图中加的信号名、说明文字等，应该与整个图面相称。推荐使用缺省设置，即：信号名、说明文字的大小为 82 mil；管脚号的大小为 66 mil。如图。执行菜单命令 Tools->Options 即可进入此界面。



字符的缺省设置

注：对于器件库中的器件名称的字符大小，不要求按此缺省值。通常器件名称的字符大小与器件符号相称，并且字符应稍大，易于快速找器件。

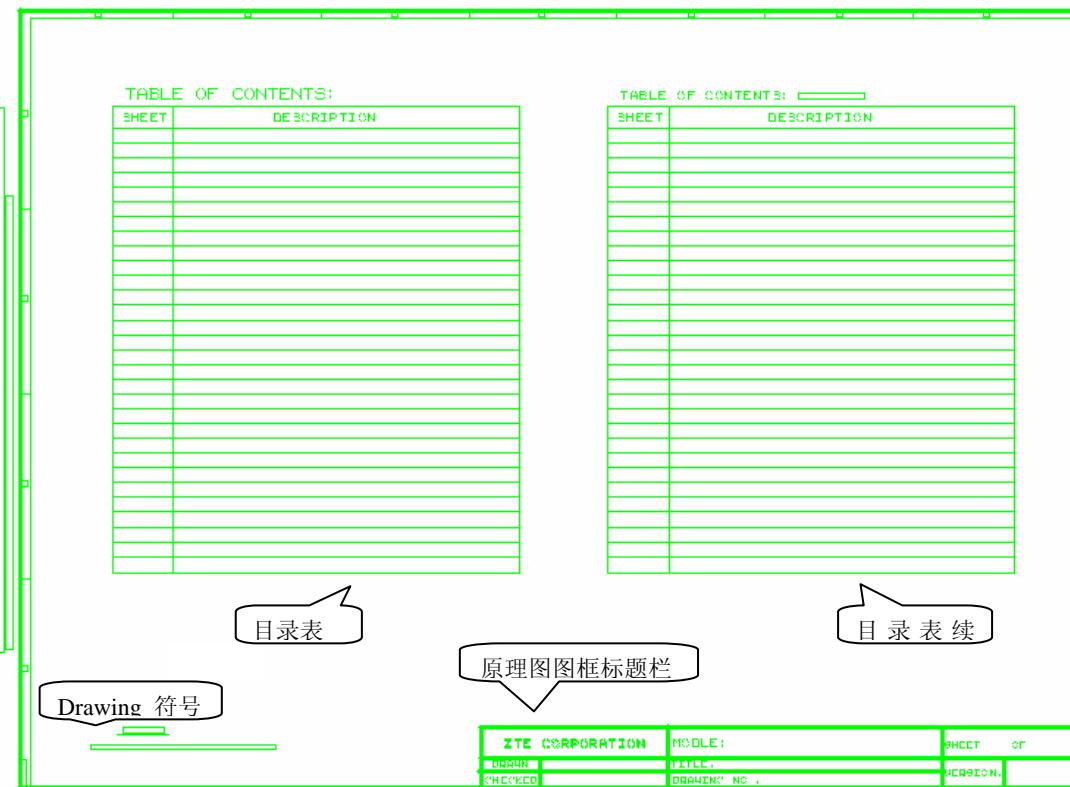
Concept Option 一旦设置好，以后就不要修改。每新建立一个 Cadence PSD 工程一般经过上述流程。如果在 site.cpm 或者 cds.cpm 项目文件中已经修改好了，就没必要进行修改。

3.4 添加首页和目录页

原理图的首页为封面，原理图封面调用库 zte_standard 中的 ZTE_COVER_A4。原理图的第二页为目录页。

3.4.1 原理图目录页的格式

目录页的内容位置安排如下图，目录一页放不下时使用续页，目录页的内容要求下表：



名称	内 容	备 注
原理图框	标题栏	
原理图目录表	页次与电路功能	
原理图目录表续表	页次与电路功能	当一个目录表不够时
DRAWING 符号	原理图的说明、自动记录最后修改时间	可选项，不作硬性要求

3.4.2 目录表

目录表的填写方法示例，见表：

Table of Contents

Sheet (页/页码范围)	Description (功能简述)	备 注
6	Clock Generator	
7	Power	
12-13	Processor: CPU	层次设计和模块设计方式时，模块下的电路功能简述为：“模块名：功能简述”。

除封面和目录页之外，每页原理图上应该在左下角（位置同目录页的 Drawing），应标注与

目录表 Description 一致的功能简述。

例如：

在时钟电路页的左下角标注：

Clock Generator

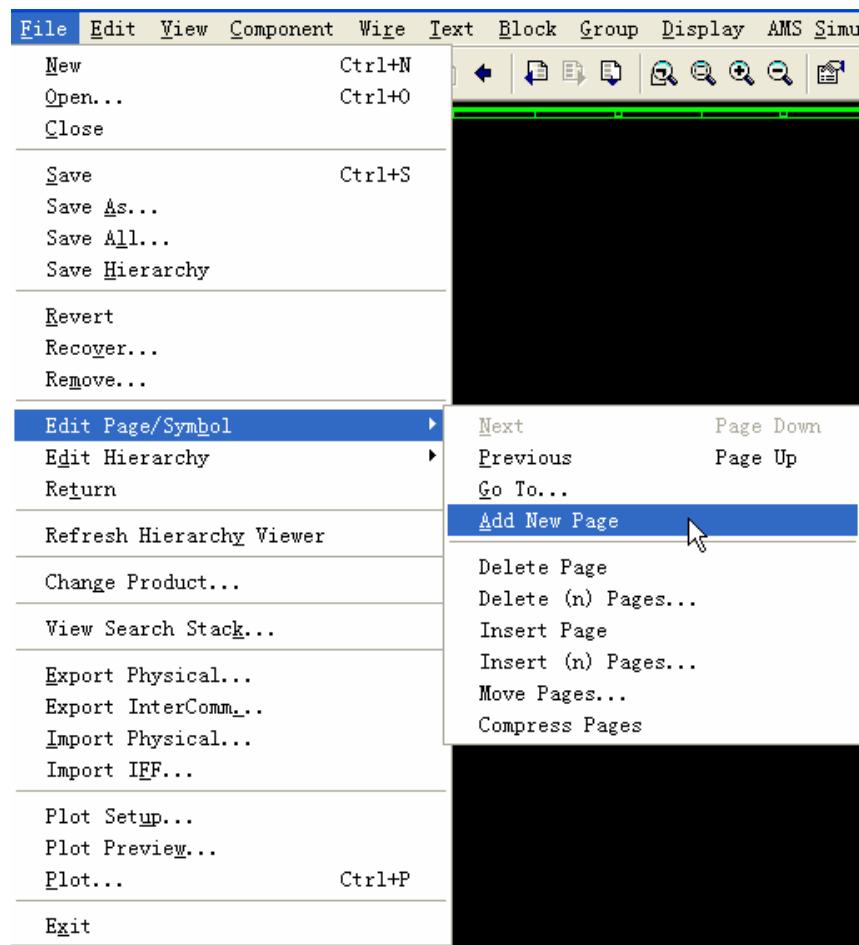
在处理器模块下的 CPU 电路页的左下角标注：

Processor: CPU

3.5 页面操作

3.5.1 增加、删除、插入新的原理图页

一般的原理图都有多页，在 File->Edit Page/symbol 下可以通过 Add new page 或 Delete Page 、 Insert Page 来增加、删除或插入新的一页（或几页），操作完后在标题栏中显示新的文件信息，如第一页是 ZXIC_CPU.SCH.1.1，增加一页后则标题栏现在会变成 ZXIC_CPU.SCH.1.2。



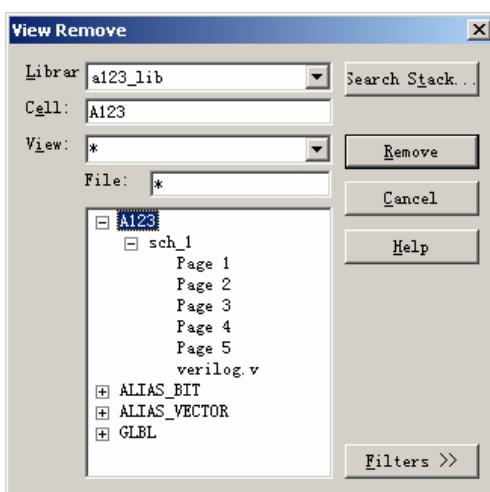
3.5.2 原理图多页面操作

Design Entry HDL 可以实现多页面间的内容交换和复制，通过 Copy 或 Move 等命令进行操作，在 Windoes --> New Window 切换不同的页面。多页面操作时，光标所在的窗口为当前活动窗口。

3.5.3 删除某个设计、设计视图或者某页原理图

删除方法如下：

1. 选择命令 File->Remove 命令，出现 View Remove 对话框。
 - (1) 选择需要删除的 cell，则会删除整个 cell。
 - (2) 点击 cell 名称前边的 ，选择一个 view，则会删除此视图。
 - (3) 点击 view 前边的 ，比如 sch_1，选择某一页，可以删除此页。
2. 点击按钮 Remove。请见下图



注意：一定不要在 Windows Explorer 或者 DOS 命令下执行上述删除命令，可能会出问题。
更复杂的页面管理请见第 9.8 节。

3.6 基本界面操作

操作名称	菜单	鼠标	Stroke	键盘	Scroll bar
平移	View->Pan Up,Down,Right,Lift	按住右键或者按住 SHIFT 和右键，移动	可以	按住 Ctrl 并同时按箭头	点击 SLIDE 并拖动
放大/缩小	View->in/View->out/View->Scale/View->By Points		可以		
浏览图的层次	File->Edit Hierarchy->Descend / File->Edit Hierarchy-				

	>Ascend/File- >Return/ File- >Descend/ File- >Ascend				
窗口移动、 调整、关闭		与 Windows 操作相 同			

3.6.1 常用的快捷键

系统默认的一些快捷键有:

- F1: 帮助
- F2: Windows Fit(全屏显示)
- F3: Display Both (属性的 Value 和 Name 都显示)
- F4: Display Attachment (显示连接关系)
- F5: Refresh (刷新屏幕)
- F6: Show Property (显示属性)
- F11: Windows in (放大)
- F12: Windows out (缩小)
- Ctrl+方向键: 移动屏幕 (也可用鼠标右键)
- Tools->Cusomize->Key 中可以自己定义快捷键。

通过执行 Display->Attachments 命令可以显示所有元件和线网属性的连接关系，信号名总是连接在相关网络的中间，如果从属线指向了线网段的末端，则表示你错误的将该信号添加给了一个管脚。

也可以启动智能感应功能查看信号名，执行 View—Data Tip 可以启动该功能，此时，只需把鼠标放在信号线上，即可报告该信号名；鼠标放在元件其它属性上则报告其它属性。

3.6.2 笔画命令

点画命令是 Cadence 独特的一种快捷方式，可以直接用鼠标在屏幕上写特定的笔划，不同的笔划表示不同的命令。例如，Z 表示放大，W 表示整体显示，M 表示移动，C 表示拷贝等。按下鼠标左键，并写字母 Z，则 concept 会自动将原理图放大到 Z 所包括的区域，用同样的方法画 W 则 concept 会自动满屏显示全图。请见下图 Cadence 提供的缺省的笔画命令，红色代表笔画的起始点。

用户也可根据自己的习惯来定义笔划，在命令窗口输入 stroke 命令即可定义。

	attribute		note		zoom
	change		property		zoom fit (world view)
	copy		route		pan down
	delete		select		pan up
	exit		undo		pan left
	move		version		pan right

使用笔画时有以下注意事项：

- 笔画要注意按照当初创建笔画时的方向和先后顺序。
- 笔画是针对一个单个的对象，选择的是笔画的起始点的对象。
- 笔画针对一组对象操作时，比如 zoom (Z) 和 select (O or S)，选择的是笔画的第一点和最后一点之间的对象。
- 笔画不会创建一个有限的盒子或者针对一个指定对象的操作，可以在任意地方画，例如 zoom fit (W) 或者 undo (U)。

如果不使用笔画命令，可以在命令窗口输入：

set stroke off

相反如果想使用笔画命令，可以输入 set stroke on 开启。

3.7 基本命令

3.7.1 基本编辑命令

- 恢复
菜单命令 Edit->Undo, Edit->Redo
- 移动
菜单命令 Edit->Move
- 旋转
Edit->Spin
Edit->Rotate
- 删 除
Edit->Delete
- 拷贝
Edit->Copy
Edit->Copy All 带属性拷贝
Edit->Array

- 改变颜色
Edit->Color
- 画弧线
Edit->Arc
- 画圆
Edit->Circle
- 分开重叠的对象
Edit->Split

也可以使用笔划（Stroke）命令或者上下文敏感的菜单实现上述功能。

3.7.2 基本显示命令

- 显示命令窗口 View->Console Window
- 显示原理图信息，Design Entry HDL 可以高亮选择的对象显示的信息包括：

Attachments	Modified(drawing)
Color	Nets
Component	Origins(objects)
Connection(Wires)	Pins(location)
Coordinates	Pin Names
Directory(current)	Properties
Distance(point to point)	Return
History(drawings)	Text Size
Keys(assignments)	

命令即是 display->菜单中选择上述命令。

- 显示多页图中的某一页
命令 File->Edit Page->Next
命令 File->Edit Page->Previous
命令 File->Edit Page->Go To
- 显示工具栏 View->Toolbars
- 显示格点、状态栏、命令窗口，一般在 View 菜单下选择 Grid, Status Bar, Error Status Bar, Console Window 命令
- 高亮对象 Display->Highlight，去掉高亮 Display->DeHighlight。
- 打开 Markers 控制窗口 Tools->Markers
- 打开 Error 状态栏，View->Error Status Bar

3.7.3 两个不同网络名的网络连接的方法

需要将两个不同网络名的网络相连接时，使用 Standard 库中 Alias 将其相连，如下图：



3.7.4 检查连接关系

通过执行 Display->Attachments 命令可以显示所有元件和线网属性的连接关系，信号名总是连接在相关网络的中间，如果从属线指向了线网段的末端，则表示你错误的将该信号添加给了一个管脚。

也可以启动智能感应功能查看信号名，执行 View->Data Tip 可以启动该功能，此时，只需把鼠标放在信号线上，即可报告该信号名。鼠标放在元件其它属性上则报告其它属性。

3.7.5 保存设计

如果设计没有保存，Design Entry HDL 在标题栏会显示*标记。在 occurrence edit 模式，Design Entry HDL 不会显示*标记，即使是文件没有保存。

在保存设计之前，Design Entry HDL 会自动检查原理图，检查类型包括电连接检查、图符检查、名字检查、其它检查。用户可以在 Tools->Option->Check 标签下进行设定。用户也可点击 Tools->Check 进行实时检查。Design Entry HDL 也会检查设计中其他页上的连接错误。

保存的命令有以下几个：

- 保存一个已经存在的设计：File->Save
- 用新名字保存一个已经存在的设计：File->Save As
- 保存一个新设计：File->Save

如果在保存时发现错误，会提示。可以点击 Yes 按钮查看，也可以使用命令 Tools->Markers 打开 Markers 对话框，然后点击相应错误条目，Design Entry HDL 会高亮这些错误位置。

Design Entry HDL 在保存原理图时，并不拷贝原理图中使用的元件到本地库。

另外，Cadence 还提供更强大的查错工具 Rules Checker，在 Project Manager，选择命令 Tools->Rules Checker，具体的设定和使用，用户可以查阅帮助文件（安装目录 \doc\checkplus\checkplus.pdf）。

3.7.6 打开设计和恢复设计

- 打开设计 File->Open
- 恢复设计 File->Recover，然后在文件浏览器对话框中找到./temp/xxxnedtmp 路径，即是 Design Entry HDL 放置 undo log 文件的地方。每次启动 Design Entry HDL，都会在项目的 temp 路径下面创建一个临时路径。选择想要恢复的 undo log 文件。
- 回复以前存储的版本 File->Revert，显示最新存储的版本。

3.7.7 Drawing 符号

Standard 库中的 Drawing 符号见图 5，用于自动记录原理图的最后修改时间，及对原理图的说明等信息。



Drawing 符号

3.8 Design Entry HDL 的模式

Design Entry HDL 提供了三种模式

- In Hierarchy Mode
- Expanded Mode
- Occurrence Edit Mode

当你刚打开一个原理图时，顶层图标标题栏括号中显示的 in hierarchy，意思是 Design Entry HDL 认可设计的所有页和层。如果在设计中有任何改变而没有存盘，就会在标题栏显示一个* 标记。在这种模式下 Design Entry HDL 不允许完成诸如全局查找和全局导航的功能，要完成这些功能一定要进行扩展。

Design Entry HDL 扩展设计去读所有的页，并能与其他工具进行通信。在执行扩展命令之后标题栏就显示 expanded。如果之后改变了设计，那么标题栏就显示 need expansion 并带有一个*。

Occurrence Edit Mode 当生成网络表时，Design Entry HDL 保存设计数据成两种文件类型：

- Connectivity(verilog.v or vhdl.vhd)
- Properties(viewprps.prp)

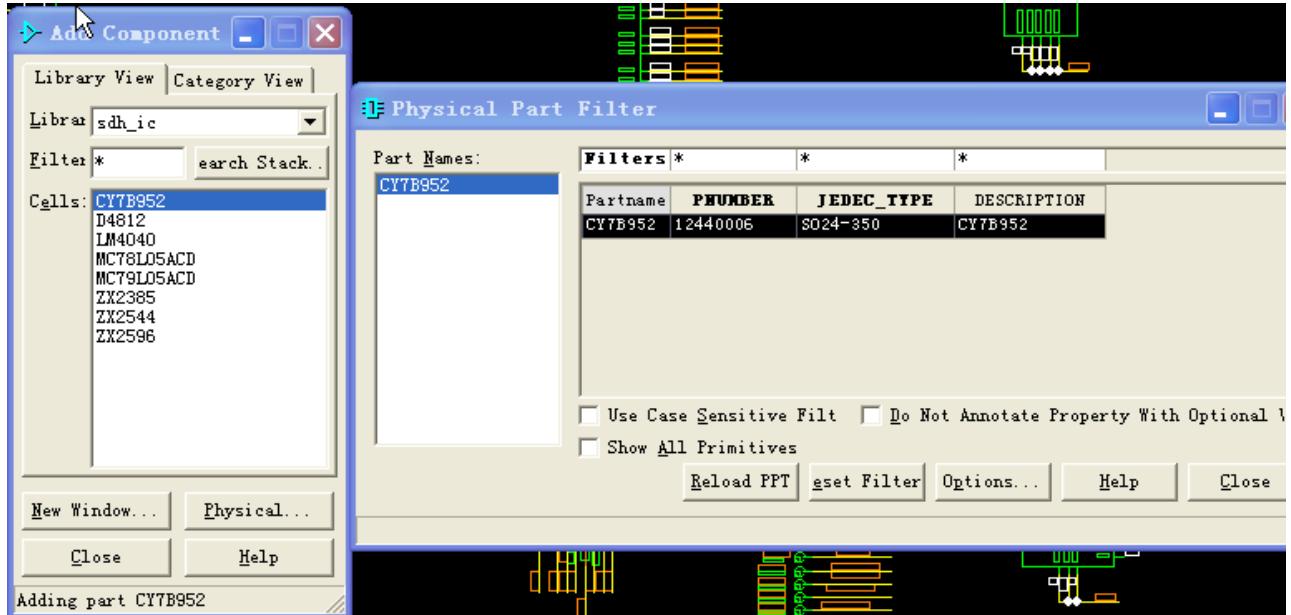
3.9 添加元件

3.9.1 在 Design Entry HDL 中添加器件

Design Entry HDL 通过元件浏览器将元件添加在原理图上。先选择元件所在库，再在浏览器的库元件清单中选择要添加的元件。一个元件可能有不同的版本（即 Version），系统默认为版本 1，在添加元件时你可以按鼠标右键，在弹出菜单中选择元件的其它 Version 且将元件旋转成合适的角度，然后放在原理图上。

为了将元件的物理封装形式调入，在放置元件时要点中 Physical。如果Physical Part Filter窗口为空，则代表该元件没有物理特性（如图框等），则直接放置该元件，如果Physical Part Filter 不为空，请从中选择合适的元件。

一定要按照物理方式添加实体元件，放置元件时，Design Entry HDL 除了放置逻辑符号有关属性外，还将 chips 和 Part_table 两个文件中对该逻辑元件的物理封装说明信息同时放置在原理图上，这样你就能够选择该元件的物理封装方式。如下图所示：



Chips 是逻辑到物理的映射描述，一个元件可能对应多个物理封装，chips.prt 文件就是同样一个物理元件到各种封装的映射描述，放映在 Design Entry HDL 中就是 Add Part 窗口。Part_Table 是元件的附加属性定义（例如封装、元件值、物料代码、价格、功能简介、规格型号、供应商等信息），反映在 Design Entry HDL 中就是 Part Physical Filter。

3.9.2 修改替换元件

如果想要修改元件，选择 Component->Modify 命令，或者先选择一个元件，然后按右键，在弹出的菜单上选择 Modify。如果要修改一组元件，先选择一组元件，然后选择 Group->Component->Modify。

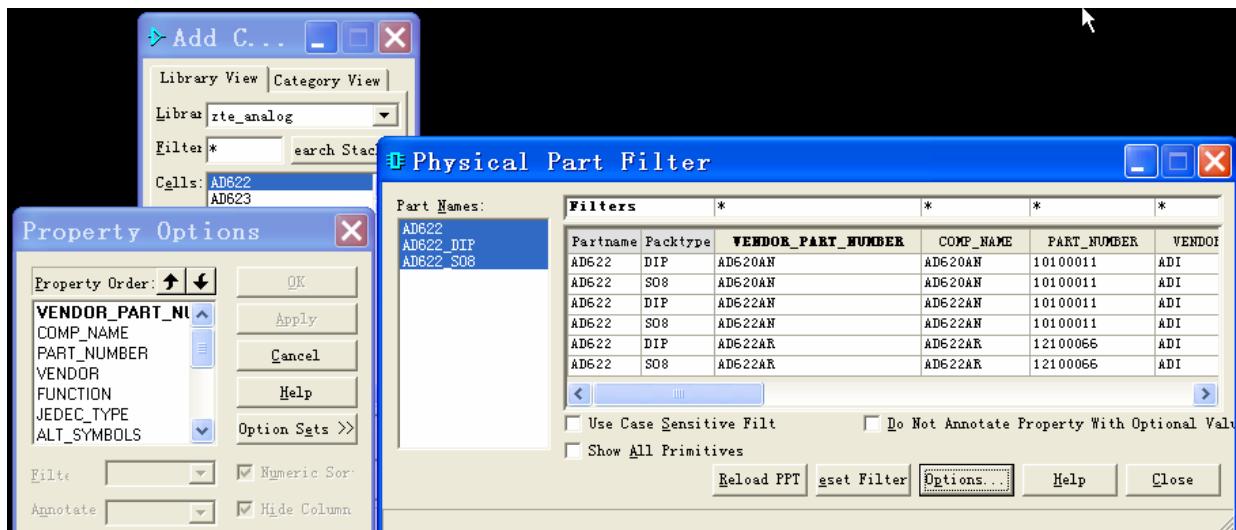
替换元件选择 Component->Replace，替换一组元件，先选择一组元件，然后选择 Group->Component->Replace。

打碎元件选择 Component->Smash。

3.9.3 定义 Physical Property Options

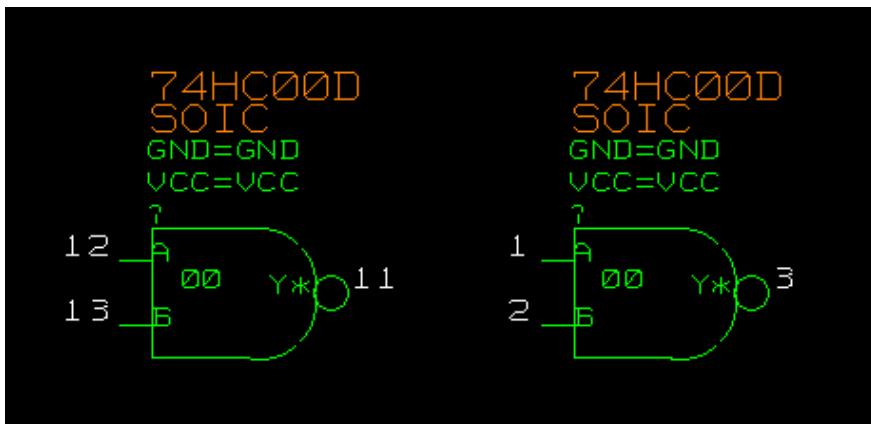
在 Physical Part Filter 对话框中点击 Options，进入 Property Options 对话框，在 Property

Order 一栏，可以调整各个属性的先后次序，并且可以针对每个属性设置过滤，隐藏或者排序。而且当前的设置可以保存，并被重新调用。如图所示：

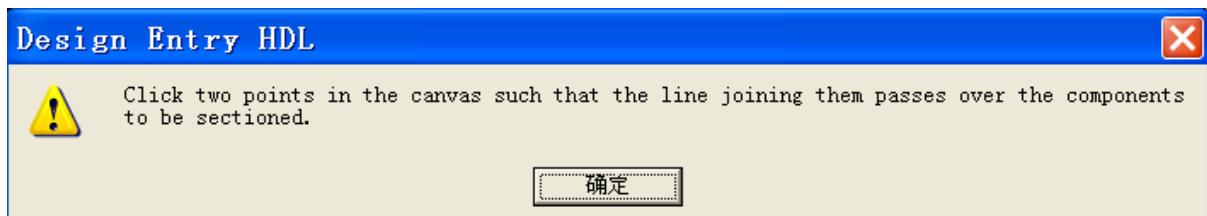


3.9.4 Section 元件

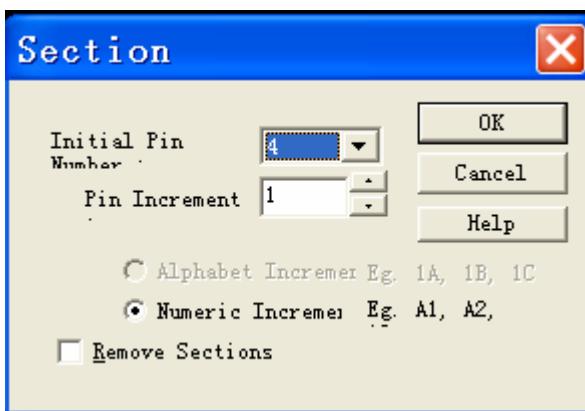
用 Component->Section 命令可以为器件的多个逻辑部份分配管脚，如下图所示：



首先选择命令 Component->Section->Multiple Sections，弹出下图对话框：



按确定，然后在需要分配的器件上点击两点，出现如下界面：



选择 Initial Pin Number 为初始管脚，然后选择 Pin Increment 数字，按 OK。

如果要去掉元件的 Section，在上图中选择 Remove Sections，然后点击元件即可。

交换管脚 Component->Swap Pins，在交换管脚之前一定要先 Section 元件。

3.9.5 使用库浏览器 PartBrowser 调用元件

使用举例：下面为公司的服务器地址（事业部的二级服务器要根据情况作相应的更改）

服务器：[\\10.12.18.61:8080/ipsd](http://10.12.18.61:8080/ipsd)

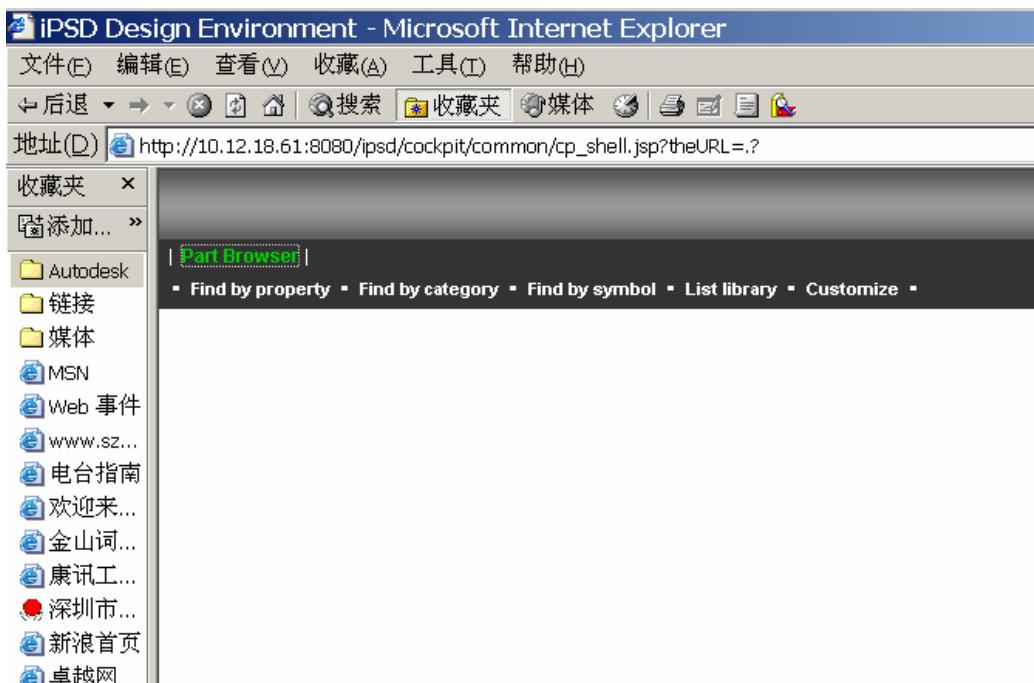
原理图库存放路径：[\\10.12.18.61\ztelib\ConceptLib](http://10.12.18.61\ztelib\ConceptLib)

PCB 封装库存放路径：[\\10.12.18.61\ztelib\AllegroLib\zte_symbols](http://10.12.18.61\ztelib\AllegroLib\zte_symbols)

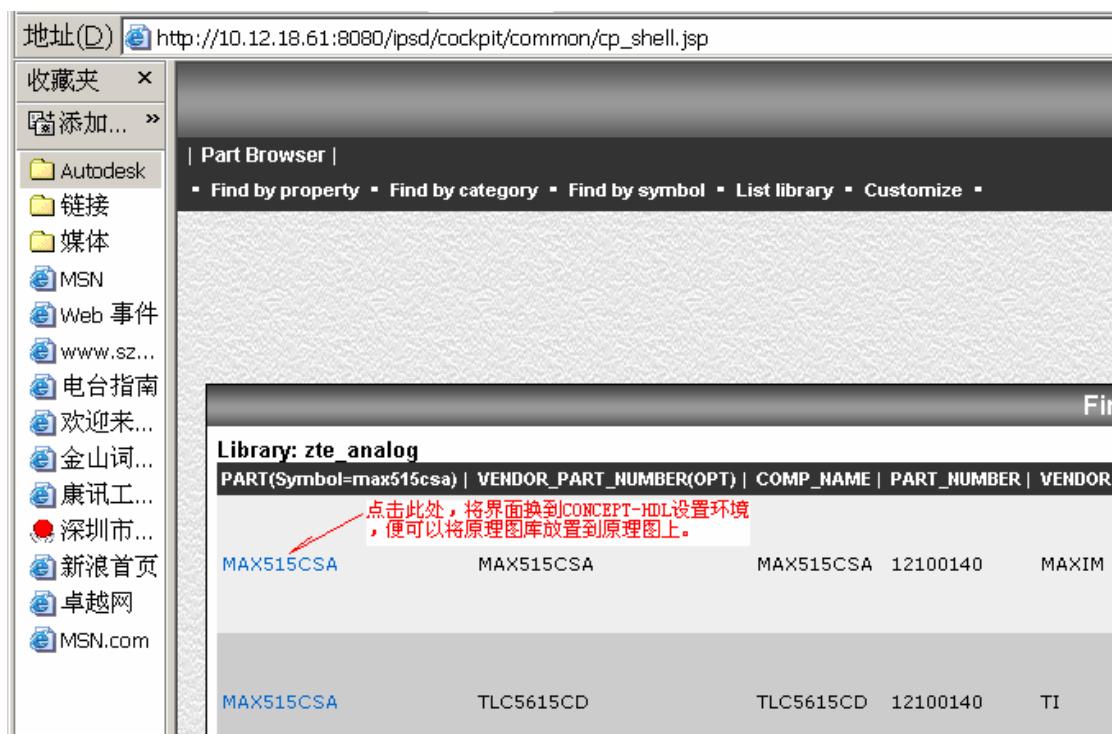
将服务器上的库目录映射到本地的 Z 盘。

首先打开一个项目启动原理图设计环境 Design Entry HDL，然后用 WEB 方式访问服务器

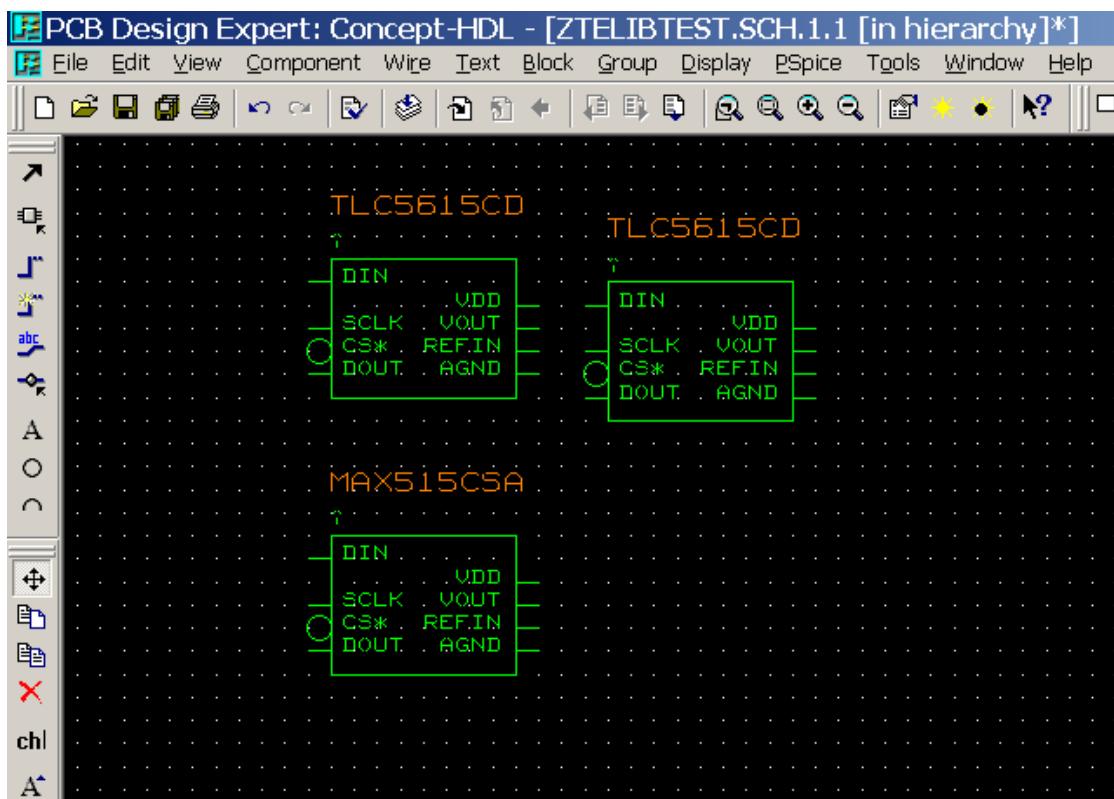
<http://10.12.18.61:8080/ipsd/>，连接后显示如下界面，说明成功连接上，点击 Part Browser 如下所示：



搜索原理图库的方式有四种，分别是 Find by property、Find by category、Find by symbol 和 List library，通过这四种方式都可以找到需要的元件，如下图如示：

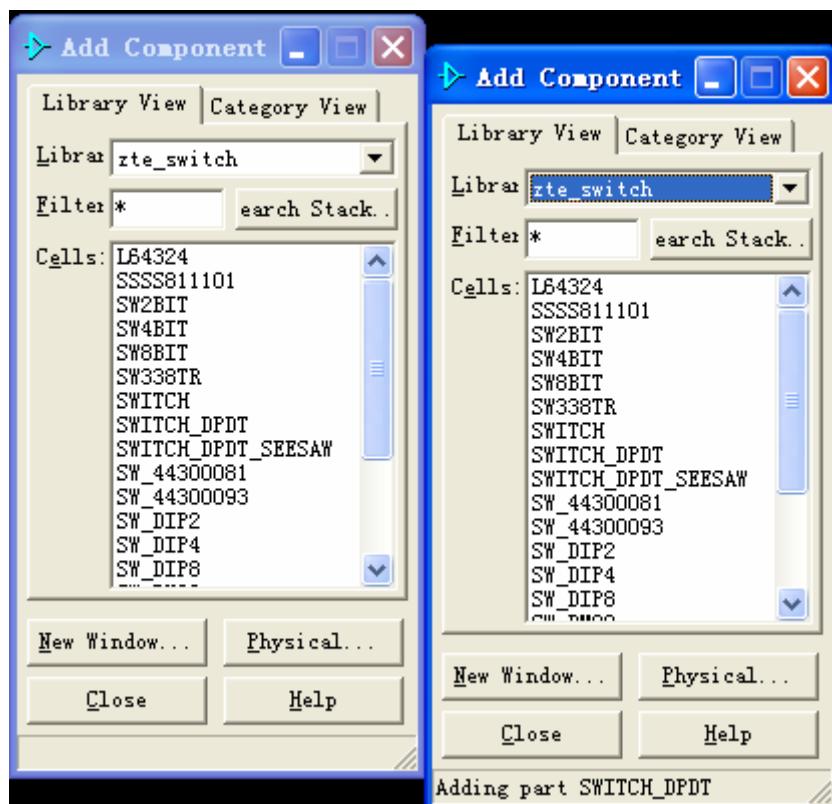


点击左边出现的兰色型号，将界面切换到 Design Entry HDL 设计环境，将原理图库放在合适的位置。



3.10 多窗口添加元件

添加元件时，可以游览多个库：打开一个 Add Component 窗口后，点击其中的 New Windows，可以在新窗口中选择另一个库：



3.11 画线

Concept-HDL 有两种连线方式：

3.11.1 Draw 方式

菜单操作 Wire-Draw，该方式允许你在连线的同时，对该线网络添加信号名。从管脚拉出一根线，再按鼠标右键从弹出菜单中选择“Signal name”可以添加网络名。也可以先画完需要引出的连线，再执行下拉菜单 Wire 中的 signal name，敲完所有的信号名，用鼠标逐个点击到相对的信号线上。



选择 Wire->Draw 命令，然后按右键选择 Orientation 命令，可以改变走线角度。

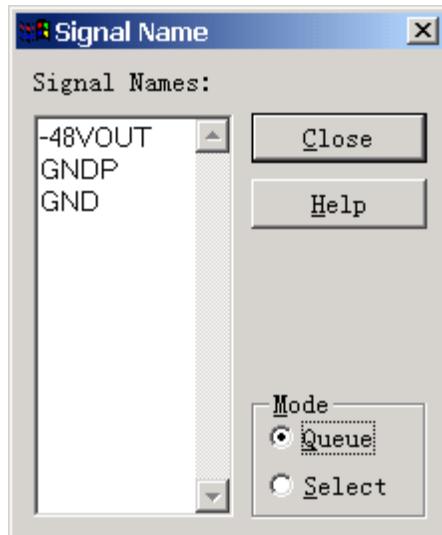
选择 Wire->Draw 命令，然后按住 Ctrl，再点击右键，即可就近连接到管脚。

3.11.2 Route 方式

菜单操作 Wire—Route，该方式能够自动完成点到点的连线。添加信号名需执行下拉菜单 Wire 中的 signal name...，敲完所有的信号名，用鼠标逐个点击到相对的信号线上。

3.12 添加信号名

按 5.7 可知有两种方法添加信号名，一种是在画线过程中添加，一种是在画完线后添加。用 Route 方式画线则只能画完线后再执行下拉菜单 Wire 中的“signal name”定义信号名。执行下拉菜单 Wire 中的“signal name”弹出如下窗口：



有两种模式供选择，Queue 指依次方式，将会把 -48VOUT、GNDP、GND 依次附加给三根信号线，放完后 Signal Name 处为空；Select 模式指连续方式，选择该模式可以连续放置同一个信号名直至点击 Close 或者切换到 Queue 模式。

信号名一定要遵循下列常规：

- 以字母开头
- 不能使用 VHDL 和 Verilog 关键字
- 不分大小写

Cadence 软件的特殊含义字符见下表：

字符	含义及用法
:	表示总线的步进位数。用法如下： 信号名 表示的结果 <31..0:2> 30 28 26 ... 6 4 2 0 <11..0:4> 8 4 0 <9..1:3> 7 4 1 <0..31:-1> 31 30 29 ... 3 2 1 0 <15..0:20> 0 <6..0:-2> 6 4 2 0 <7..0:-2> 6 4 2 0
\	\ 符号后面跟以下字母时的含义： \I 表示层次设计中模块间的接口信号。 \G 表示全局信号。 \L 表示局部信号。
/	用在信号名的前面时表示全局信号。
!	用在信号名的前面时表示全局信号。
<>	表示总线
*	表示信号为低电平有效
_N	表示信号为低电平有效—Cadence 推荐用这个代表低有效
~	~ 不能用于信号名中

注意总线名称中带有 step size 的，比如 A<31..0:2>，不能使用全局查找和导航功能找到。

除字母和数字外，Cadence 软件允许以下字符用于信号名中：

. - # \$ % + = | ?

下面规定一些信号名的命名规则，包括总线、差分线、逻辑低、双逻辑、电源信号线等命名方式。

3.12.1 电源信号命名规定：

设计时必须统一规定电源、地网络标号如下：

标 号	含 义
VCC	数字正 5 伏
VCCA	模拟正 5 伏
VCCN	第 N 组专用正 5 伏
+48V	正 48 伏
+12V	正 12 伏
+5V	正 5 伏

+3V3	正 3.3V
+2V5	正 2.5V
+1V8	正 1.8V
-5V	负 5 伏
-12V	负 12 伏
-48V	负 48 伏
GND	数字地
GNDD	数字地
GNDA	模拟地
GNDP	保护地

电源和地一律采用带有标识的电源和地网络的标准元件库实现电气连接。为保证电气连接正确，不准采用不具有电气性能的图形符号实现连接。

3.12.2 差分信号命名规定:

差分信号的定义规定如下：正端定义为+，负段定义为-。不要采用*A 和*B 的方法区分正端和负端。

3.12.3 局部和全局信号命名规定

局部信号命名打头字母规定：

局部信号命名的打头字符不能为： @ - ! # % & () * . / : ? [] ^
_ ` + = > 1 2 3 4 5 6 7 8 9

全局信号命名规定：

全局信号命名规定：在信号名后加上 “\G” 或在信号名前加上 “/” 或者 “!”，都表示该信号是一个全局有效的信号，在层次设计时，电源和地往往要定义成全局信号。

3.12.4 逻辑低和双逻辑信号命名规定:

如果信号为负逻辑有效请在信号名后加后缀_N 表示，例如 INTD_N；也可以用*表示，例如 INTD*。Cadence 推荐采用_N 表示负逻辑。

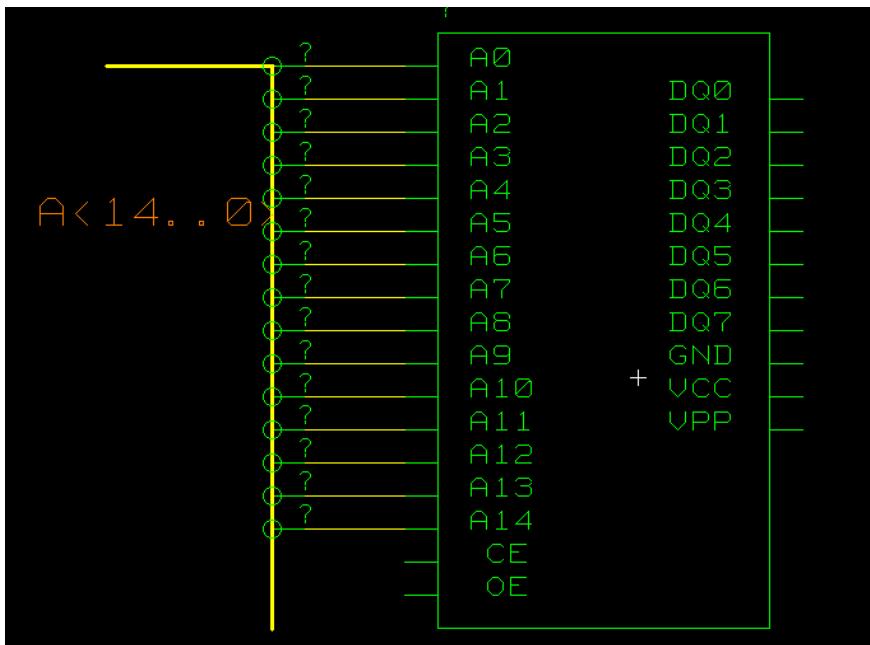
如果为双逻辑，表示方法：正逻辑信号名/负逻辑信号名，正逻辑在前，负逻辑在后，中间用/隔开，例如 C/BE7_N（或者按推荐表示为 C/BE7*）。

3.12.5 总线信号命名规定:

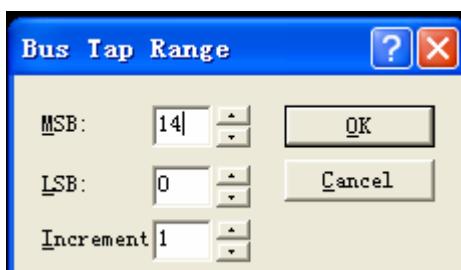
对用一根线表示多位信号的总线，其信号名的格式为<MSB..LSB>其中 MSB 和 LSB 分别表示信号的最高和最低位，不要采用[MSB..LSB]表示总线。总线的分支用信号名<bit>表示，不要用[BIT]表示。

3.13 画总线

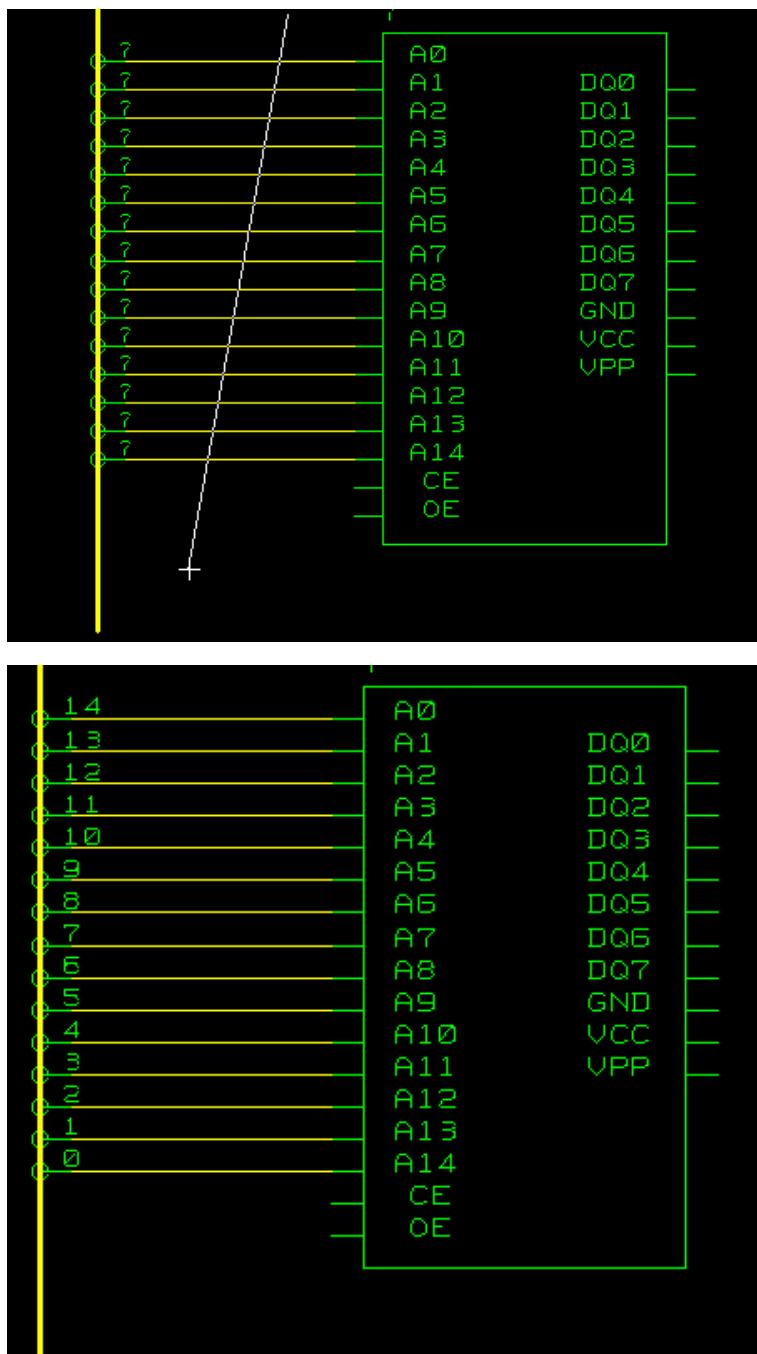
3. 先用 5.4 的方法画一条线，再执行下拉菜单 Wire 中的 signal name，输入总线信号名，如 A<14..0>。将信号名点击到信号线上，则这根连线自动变成总线形式。
4. 再选 Wire 菜单下的 Bus Tap，分别在总线上引出相应的支线，如图：



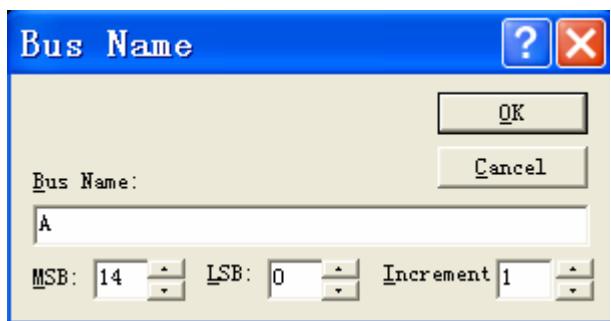
5. 添加 Bus Tap value：从上图上可看出每条线上均有一个“？”，“？”是用来添加 BN（位号）属性的值。在 Wire 下选 Bus Tap Value，出现如下图所示的对话框。在 MSB（最高位）中填入 14，在 LSB（最低位）中填入 0，Increment（步进值）中填入 1。这是设定从支线到总线的值。



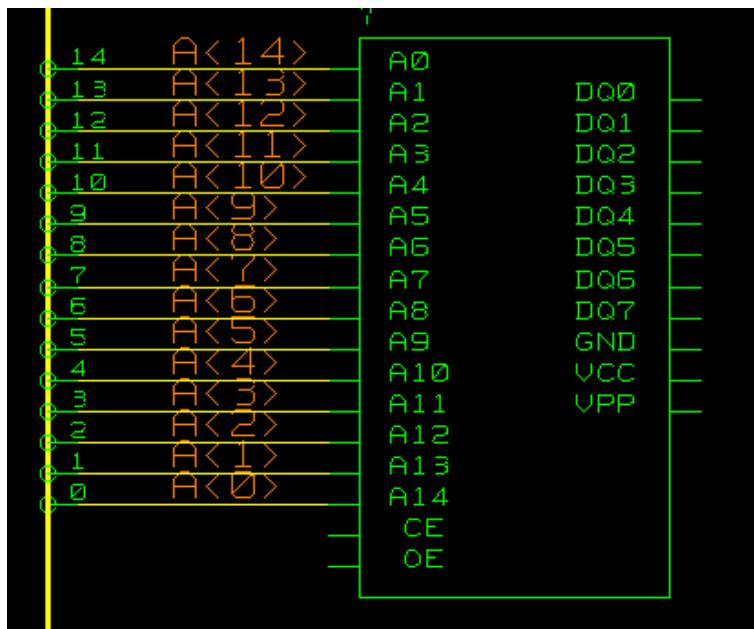
6. 鼠标划一条线，穿过所有的支线，从高位到低位，如下图所示，松开鼠标后，“？”会自动变成位号。如下图所示：



7. 添加 Bus Name: 在 Wire 下选 Bus Name, 出现如下对话框, 输入所需的总线名, 如 A, 在 MSB (最高位) 中填入 14, 在 LSB (最低位) 中填入 0, Increment (步进值) 中填入 1。这是设定总线的名称。



同样按第 6 步，用鼠标划一条线，穿过所有的支线，从高位到低位，就添加了总线名称。如下图所示：



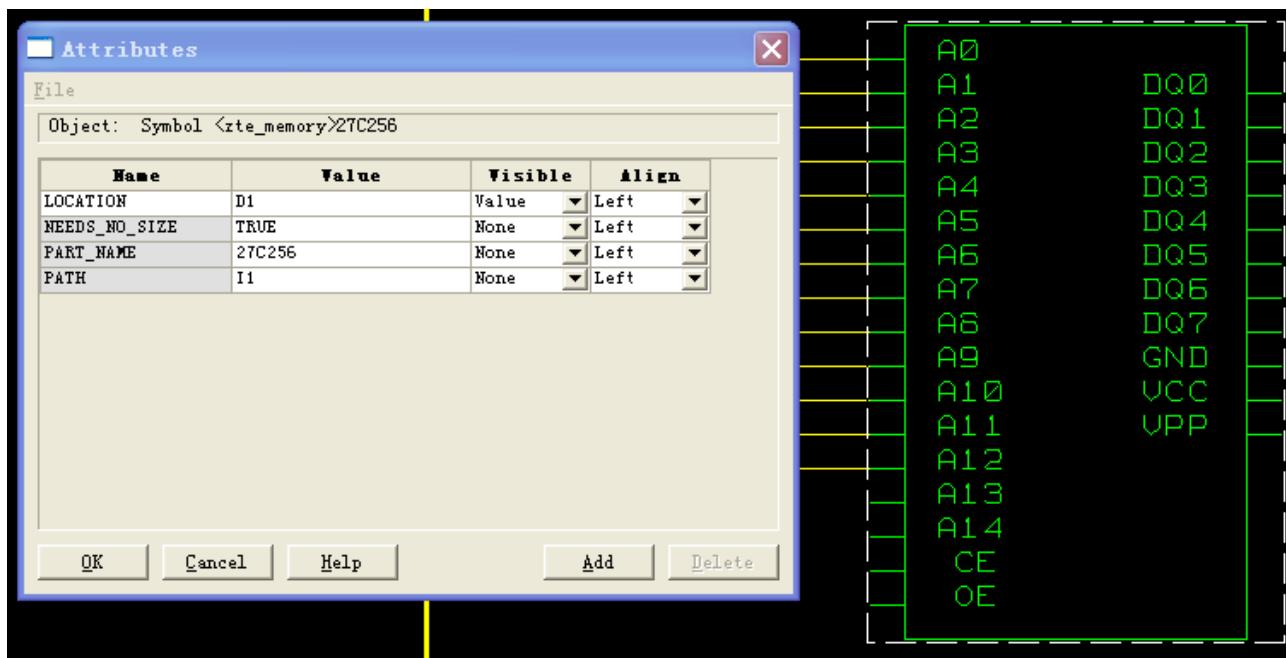
想要改变 tap 符号，可以 Tools->Options->Graphics，输入希望的 tap 名称。

3.14 元件位号手工标注

公司对元件位号都有相应的规定，如插头、插座规定用 X? 表示，集成电路规定用 D? 表示。具体请参照公司标准 Q/ZX 04.100.1 《印制电路板设计规范——工艺性要求》中的规定。

当放置好元件后，需要对元件位号进行标注，有两种方式：手工标注或自动标注（反标），下面是手工标注的方法，反标会在后面讲述。

按鼠标左键选中元件，再按鼠标左键选择“Attribute”，如下图，将“\$LOCATION”的“?”改为指定的位号。



3.15 加端口

当创建原理图时，一定要在页面上放置端口符号以指示实体端口，虽然“*I*”后缀也是可以接受的，但是最好使用端口符号。信号出页符号与模块接口信号符号使用要求如下：

库 名	说 明	备 注
OFFPG	信号出页符号	有 sym_1 ... sym_6
IMPORT	模块输入信号符号	
IOPORT	模块双向信号符号	
OUTPORT	模块输出信号符号	

以上符号位于 zte_standard 库中。

4 属性和文本

4.1 Design Entry HDL 属性

Design Entry HDL 的属性中有四种类型：

- System Properties – 是由系统所指定的，分配给 Wire (Net) 或者 Pin。
- Schematic Properties – 是由用户所指定的原理图属性，分配给 Component 或者 Wire (Net) 或者 Pin。
- Symbols Properties – 是在元件库中指定的符号属性。
- Occurrence Properties – 由用户指定的当前属性，可以对同一属性指定不同的值。

除了上述属性定义的分类，用户也可以使用扩展属性。属性名最长为 31 个字符，属性值最多可以 255 个字符。Design Entry HDL 不会传递大多数属性到其他工具。一般翻译以下属性：

- LAST_MODIFIED
- PIN_NAME
- SIG_NAME: 信号名，添加信号时系统自动生成，或者画线时用户定义。也可以作为属性添加。
- 通过 Tools->Back Annotate, Component->Section, Component->Swap Pins 命令添加的属性
- PATH: 器件在原理图中的标号，放置元件时自动添加，如 I12

4.1.1 锁住属性

在 15.0 以前的版本都是可以编辑元件的 key 属性的，如果更改了 key 属性，则原理图中的元件与库中的元件就不匹配了。15.0 版本以后 key 属性缺省被锁住，不能编辑，以确保原理图和库保持同步。Key 属性缺省是锁住的，可以使用 ALLOW_PROPERTY_LOCKING 来控制原理图属性是否锁住，此属性在.cpm 文件中设置。

4.1.2 拷贝属性

可以拷贝大多数属性，包括缺省的属性和自己加的属性，如果改变了元件的属性，拷贝的元件属性也跟着变。

不能拷贝的属性包括：

- pin properties
- wire properties
- unnamed signals
- PATH properties

拷贝步骤

1. 转换为 occurrence edit mode。
2. 选择 Text->attributes 命令并点击元件
3. 在 Attributes 对话框中选择 File->Save Attributes 命令，保存属性。
4. 转为 Hierarchy mode。
5. 移动到其他页。
6. 转换为 occurrence edit mode。
7. 选择 Text->attributes，并点击元件。
8. 在 Attributes 对话框中选择 File->Load Attributes。
9. 导入属性文件，即可。

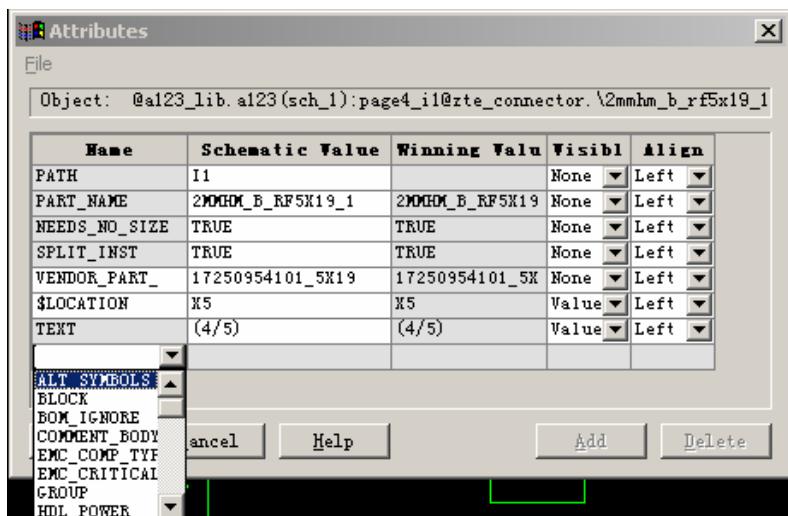
4.1.3 添加属性

点击 Text->Property 出现属性对话框，填入属性的名称和值，点击 OK，鼠标指针变成十字，点击想要添加属性的器件、管脚或者网络完成一次添加。如下图所示：



注意：要传递新的属性到板上，一定要在 PCB Editor 中定义属性。在 PCB Editor 中选择 Setup->Property Definitions 进行定义。

Design Entry HDL 提供了有效属性列表，可以直接在元件的 Attributes 下拉列表中选择，防止出错。请见下图：



选择和输入想要添加的属性名称和值，然后在 Visible 中选择显示类型，是名称和值都显示（Both），还是都不显示（None）或只显示一种（Name 或者 Value），在 Align 中选择对齐方式，点击 OK，完成添加，如果不点击 OK，选择另一个想定义属性的对象，询问你是否保存当前定义的属性，点击 Yes，接着可以继续定义属性。在 Name 和 Value 一栏中可以用快捷键 Ctrl+C 和 CTRL+V 实现复制和拷贝。

下面介绍一种特殊属性 Size 的作用：当加了一个 Size 属性时，用 Size 属性可以使一个器件符号表示 n 个器件，对去耦电容等的设计特别有意义。如下图，对 0.01uf 电容以及与其相连的电源和地分别加 Size=88 的属性，即表示在 VCC3.3V 和 GND 端加了 88 个电容，类似的用法还可以对需从原理图带入 PCB 中的光学定位点、地的测试针等需要多次重复的器件。



4.1.4 区分大小写的属性名称和属性值

在 Design Entry HDL 环境，front-to-back 流程支持属性名称和属性值区分大小写。可以在原理图、Occurrence 属性文件、PPT 和 chips.prt 文件中定义属性，也可以从 PCB 反馈回来。在 Design Entry HDL 中，所有的属性名称和值都自动为大写。如果要改变这个设置，选择 Tools->Options 命令，然后选择 Text，然后不选择 Upper-Case 即可。但是有些属性总是大写的。

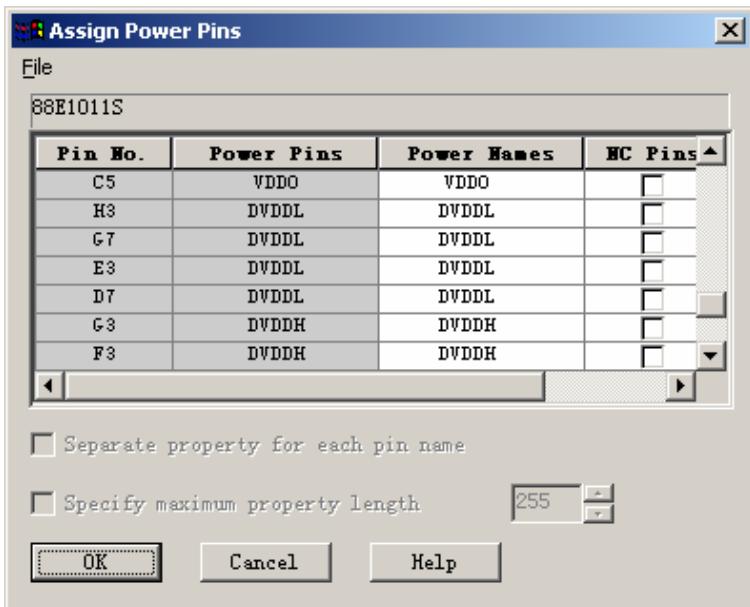
4.1.5 指定电源管脚

可以使用 Assign Power Pins 对话框来查看与电源管脚相关的属性和添加新的相关属性，在对话框中可以查看以下属性：

- POWER_GROUP
- POWER_PINS
- NC_PINS
- MERGE_NC_PINS
- MERGE_POWER_PINS

4.1.5.1 使用 Assign Power Pins 对话框

通过选择 Text->Assign Power Pins 菜单选项启动对话框，请见下图：

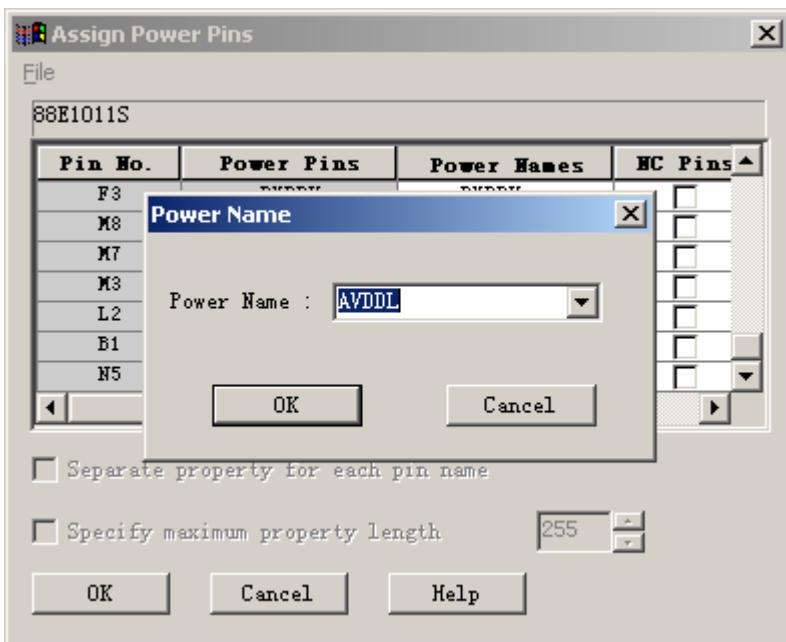


第 3 列 Power Names 包含元件上指定的电源管脚名称，对于每个管脚此栏值一般按照如下方法确定：

- 如果没有 POWER_PINS/NC_PINS/POWER_GROUP 属性，此列值一般和 Power Pins 列值相同。
- 如果有 POWER_PINS 属性，则它的值就覆盖 chips.prt/.ptf 的 POWER_PINS 属性值。
- 如果 POWER_GROUP 属性也存在，则电源管脚名称就被指定为 POWER_GROUP 属性的值。

可以点击每栏的标题来进行排序。属性值的长度一般是 255 个字符以下，可以使用 Specify maximum property length 选项来指定最大的属性长度。如果在元件符号中已经加入了 POWER_GROUP 属性，则下面的两个选项 Separate property for each pin name 和 Specify maximum property length 都是灰色的。

可以更改 POWER_NAMES 值，拖动鼠标将一个类型的电源或者地管脚选择，按右键选择 power name 弹出对话框，请见下图：



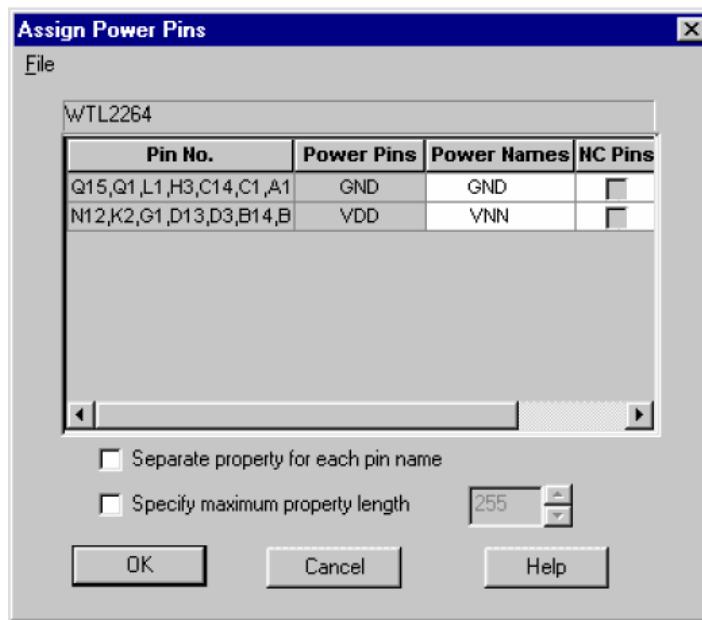
在下拉列表中选择，或者直接输入名称。

4.1.5.2 控制覆盖 POWER_PINS 属性

在设计原理图时，也可以给元件的 POWER 和 NC 管脚指定属性，在此情况下，元件上的 POWER_PINS 属性覆盖 chips.prt 文件中的属性，但是如果想要 chips.prt 文件中的属性优先，可以使用 ALLOW_POWER_PINS 指令。

ALLOW_POWER_PINS 指令可以在 site.cpm 文件中设置，缺省设置为 ON。如果设置为 OFF，则不能在 Assign Power Pins 对话框中更改 POWER_PINS 属性。当指令为 OFF 时，Design Entry HDL 仅从 chips.prt 文件中读 POWER_PINS 属性，从原理图的元件中读 POWER_GROUP 属性。为了避免出错，Cadence 会报告信息，请见下图。而 Assign Power Pins 对话框显示如下图，所有的具有同一个电源的管脚都显示在一行，仅能更改元件的 POWER_GROUP 属性。





4.1.5.3 为一组元件指定 Power Pins

可以使用 Assign Power Pins 对话框为一组元件指定电源管脚，但是要满足以下条件：

- 要属于同样的物理元件
- 有相同的 POWER_PINS 和 POWER_GROUP 属性。

一般对于 SPLIT 元件可以使用上述方法非常方便。首先生成一个群组，然后选择命令

Group->Assign Power Pins。如果在其他页上还有同样的元件，在 Assign Power Pins 对话框中可以使用 Load Attributes 和 Save Attributes 命令。

4.2 文字操作

添加独立的文字，选择命令 Text->Note。

从文件中添加文字，选择命令 Text->File。

更改文字，选择命令 Text->Change。

更改一组文字，首先创建一个文字的群组，然后选择 Group->Text Change[x]。

更改文字大小，Text->Increase，Text->Decrease。

设置文字大小，Text->Set Size。

从相关的符号添加端口名字，Text->Port Names。

交换注释和属性，Text->Swap。

将其他对象的属性重新附加给其他对象，Text->Reattach。

指定文字的显示属性，Text->Property Display->Name/Value/Both/Invisible。

指定管脚属性是否可显示，可以通过 Tools->Options，选择 Text 选项卡，选择 Pin Property visibility 选项。

4.2.1 定义文本宏

可以使用文本宏全局的用一个字符串代替其他的字符串，文本宏一般用于定义在很多地方都会用到的全局信息。文本宏包括名字和定义。命名文本宏规则如下：

- 只能包含字母、数字和下划线
- 只能以字母开头
- 不能超过 31 个字符

文本宏定义的字符长度可以达到 255 个。当打包时，用每个文本宏代表的字符来代替宏名。文本宏需要在属性值中有%符号，例如：

```
PROP1='W=%WIDTH, L=%LENGTH
```

```
PROP1='W=2, L=3
```

可以用空格、逗号来分开多个宏定义。在属性值内的文本宏可以有参数，但是不能嵌套，如果有，会被忽略。有两个地方可以定义文本宏：

- 在单独的图中使用 DEFINE 符号或者在层次模块中使用\parameter 或者\param。
- 在文本文件中
缺省的文本宏文件
Cadence 没有提供缺省的文本宏文件

4.2.1.1 使用 DEFINE 符号在原理图中定义文本宏

DEFINE 符号在 standard 库中，加 DEFINE 符号到图中，然后使用 PROPERTY 命令或者使用 Attribute 对话框来附加属性给 DEFINE 符号。

比如：CDS='CADENCE DESIGN SYSTEM'，给其他实体附加属性比如 PROP1=%CDS。

4.2.1.2 使用\PARAMETER 或者\PARAM 定义文本宏

Packager-XL 允许宏的值传递到下一级，通过使用\PARAMETER 或者\PARAM 定义文本宏，在属性值字符串后面添加\PARAMETER 或者\PARAM。比如有一个模块 CNTR，其中有两个元件，附加了 LOCATION=U%'MY_LOC'1 给 LS00，附加了 LOCATION=U%'MY_LOC'2 给 LS04。如果将属性 MY_LOC=5\PARAMETER 或者 MY_LOC=5\PARAM 附加给模块 CNTR，则打包时，层次图中的元件位号即为 U51 和 U52。

注意文本宏只有在 Packager-XL 运行在 forward 模式时才能替代。

所有用\PARAMETER 或者\PARAM 定义的文本宏都写入 viewprops.prp 文件中。

4.2.1.3 在文件中定义文本宏

在一个文本宏文件中定义的宏是全局的，如果用文件定义文本宏，这个宏是不能被覆盖的，在文件中定义的宏会覆盖 DEFINE 符号和使用\PARAMETER 定义的宏。

文本宏文件的保留名字是 cdsprop.tmf，注意此文件是通过 Packager-XL 在路径 <your_inst_dir>/cdssetup/cdsprop.tmf 中调入，安装后是空文件。

检索此文件的顺序是：

- 当前工作路径
- ~ (home)

- CDS_SITE/share
- <your_inst_dir>/ cdssetup/

语法：

文本宏文件包含宏标识和定义列表，语法如下：

macro_identifier='macro_definition'

4.3 定制文本

定制的文本可以附加给原理图符号或者对象，与标注 notes 和注释 comments 是不同的，主要表现为以下方面：

- 定制的文本附加给对象
- 定制的文本是上下文指定的

定制的文本有两种字符形式：

- Format string - 指定实际显示的定制字符的格式，可以包含定制变量和环境变量。
- Display string - 包含定制变量和环境变量的取代值，是实际显示在原理图上的字符。

4.3.1.1 定制变量

定制变量的值依赖于其放置的位置，有两种类型：

- 内建的 Design Entry HDL 变量

定制变量的值是 Design Entry HDL 自己提供的，这些变量通过 Design Entry HDL 选项对话框是无法显示的，不能改变其值。

- 用户定义的变量

可以定义新的定制变量，比如公司名称、作者等等，Design Entry HDL 写用户定义的变量在.cpm 文件中。可以通过 Design Entry HDL 选项对话框来定义变量和值。

4.3.1.2 使用定制文本

推荐在 page border 符号添加定制文本。给符号添加定制文本，附加在符号原点，符号仅仅显示规范字符。例如如果在 page border 符号上有下列定制文本：

Page <CON_PAGE_NUM>

当 page border 显示时，定制变量 CON_PAGE_NUM 将在每一页提取其实际值，比如 page 1 or page2。

- 定义新的定制变量

可以定义自己的变量：

1. 选择命令 Tools->Options，进入 Concept Option 对话框。

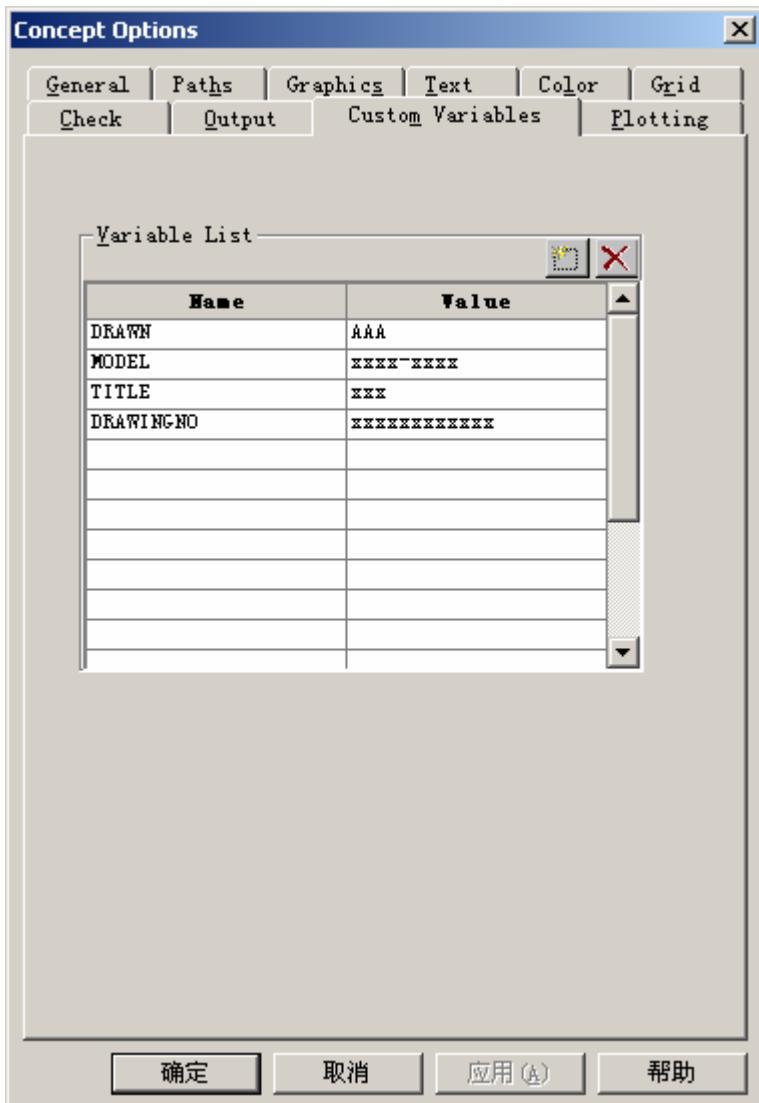
2. 点击 Custom Variable 选项卡。

3. 输入变量名称。

4. 输入变量值。注意不能将变量值空着。请见下图：

5. 点击应用。

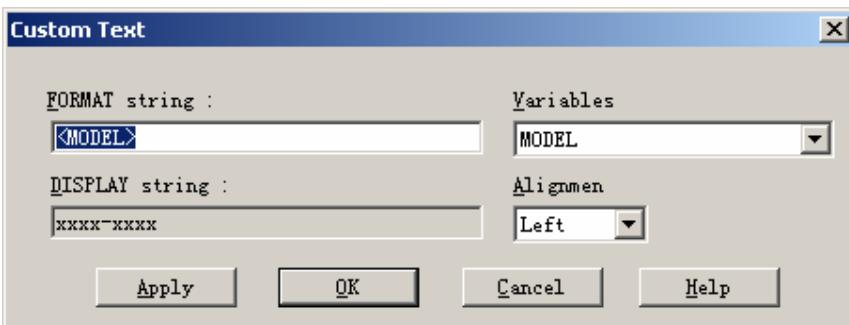
6. 点击确定。



- 添加定制文本

选择命令 Text->Custom Text。

1. 输入定制文本的格式字符。
2. 在下拉列表中选择变量或者输入自己的定制变量，也可以添加环境变量。如果想要在 format string 中添加环境变量在前面要加个\$符号。
3. 选择对齐方式。请见下图：



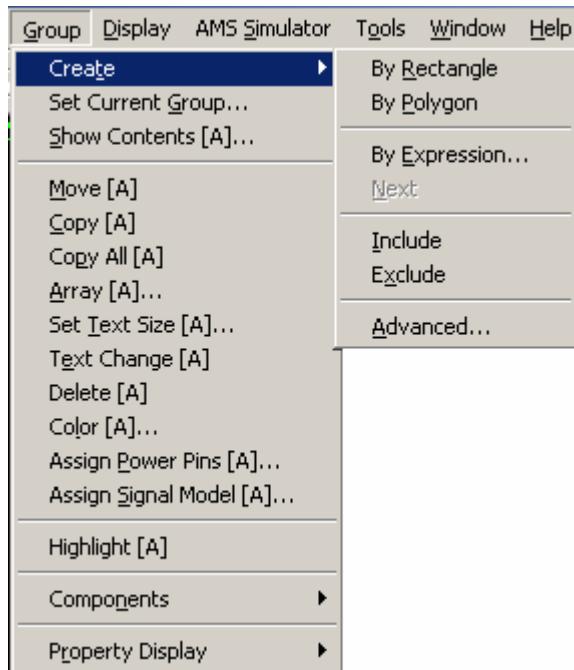
4. 点击按钮 **Apply**。
 5. 然后点击需要附加定制文本的对象。注意如果你在符号上添加定制文本，点击符号的原点来附加定制文本。
 6. 再点击放置文本在需要的位置。
 7. 重复此操作在不用页添加。
 8. 点击按钮 **OK**。
 9. 按右键选择 DONE。
- 修改定制文本
 1. 选择 Text->Change。
 2. 点击需要修改的定制文本，修改 Format String 栏的文字。
 3. 点击按钮 **OK**。

5 群组

5.1 群组定义：

组是原理图中对象的集合，这些元素可以是器件符号、属性、注释、线段和点，群组可以是同一页重的对象，管脚不能加入群组。定义了群组以后，用户就可以对组元素一起操作。

定义组有几种方法：矩形框、多边形框、表达式等等，这几种方法都可以在 Group 菜单中找到，如下图所示：



如果想要将整个原理图生成一个群组，在执行 Group->Create->By Rectangle 或者 Group->Create->By Polygon 之后，再点击右键，在弹出的菜单上选择 All。

要显示群组的工具栏：选择命令 View->ToolBars。

5.10.2 组命名

创建组时，用户应用一个字母先给组命名，否则下次定义的组会覆盖本次的结果。名称选择可以点击 Group->Set Current Group，也可从 Group 工具栏中选择，如下图选择“B”作为组命名。可以一次定义 26 个组，超过 26 个，就自动回到 A。



5.10.3 组操作

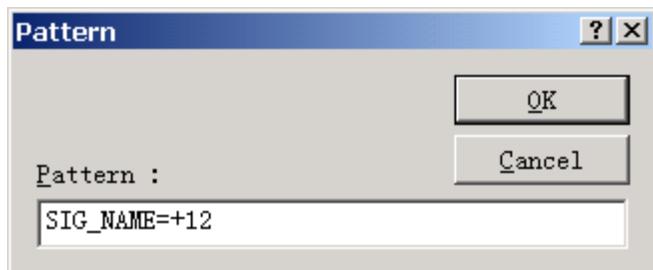
定义了组以后，用户可以对组进行 Show Contents、Move、Delete、Rotate、Spin、Mirror、Copy、Replace、Display、Modify 等各种操作，在成组复制时可以用 Group—Copy All 命令保持对元件和线网所添加的属性不变。但再次操作之前必须设定当前要进行操作的组。方法和定义组时的操作一样。

例如可以用该方式一起隐藏掉当前页的 PATH 属性。执行 GROUP BY EXPRESSION ...

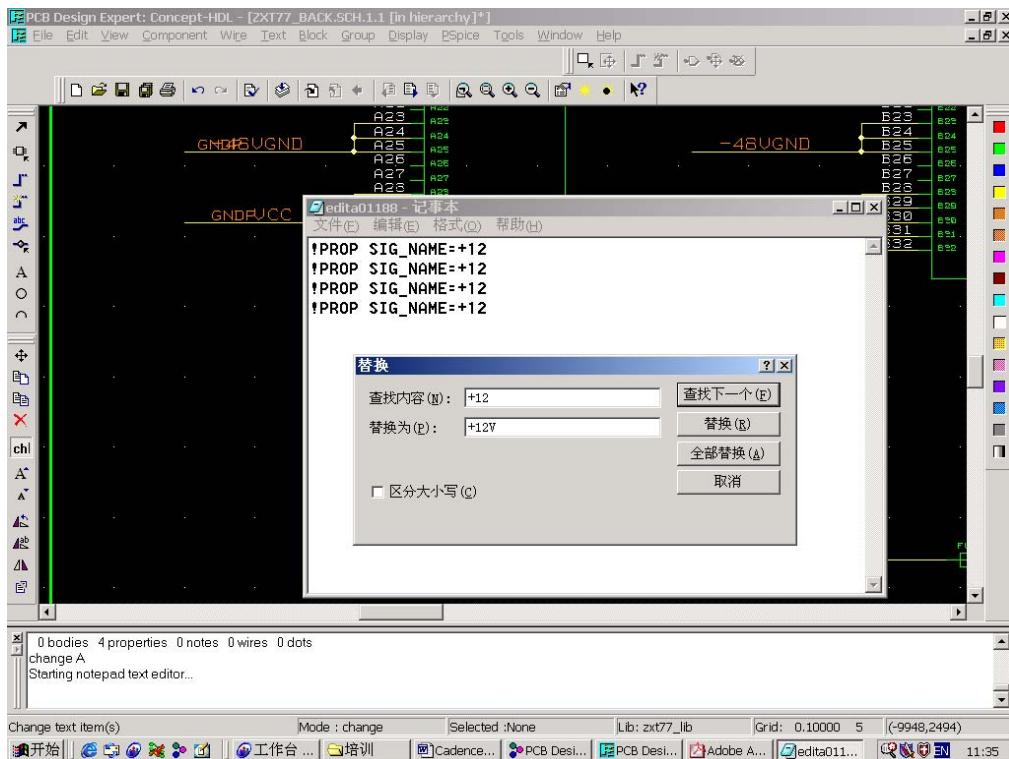


在 Pattern 中的 Pattern 中填入属性名 PATH，当前页的所用的 PATH 属性名和属性值高亮，再执行 PROPERTIES Display — Invisible 隐藏掉所有的当前页的所用的 PATH 属性名和属性值。

如果想把当前页的网络 +12 改为 +12V，执行 GROUP BY EXPRESSION ...



在 Pattern 中的 Pattern 中填入等式 SIG_NAME=+12 或者 +12，当前页的所用的 SIG_NAME=+12 的属性值高亮，再执行 GROUP->TEXT CHANGE，点击鼠标右键，选择 Editor，从文本编辑窗口中通过替换操作，可以把当前页的所有 +12V 网络名换成 +12V，保存即可。



在进行旋转、镜像等操作是配合 Edit 菜单命令来实现的。比如要旋转群组 A，选择命令 Edit->Rataate，然后鼠标中键点击要旋转的对象，如果为两键鼠标，则按住 Ctrl 再点击左键，每点击一次，旋转 90 度。如果想要管脚垂直放置的元件镜像的话，首先旋转 180 度，然后再镜像即可。

在 15.0 以上版本，还可以进行元件的全局替换，菜单命令为 Tools->Glbal Update。

6 模块设计

本章主要介绍在 Design Entry HDL 中如何使用模块创建层次图设计。

6.1 关于模块

模块图可以让设计者创建和编辑顶层图，以后可以用功能设计来代替符号。所有的模块都有 BLOCK=TRUE 属性。

关于模块的常规：

- 模块左边的管脚是输入
- 右边的管脚是输出
- 上边和下边的模块缺省是 INOUT

注意即使是在符号上有 BLOCK=TRUE 属性，也不能编辑。Design Entry HDL 不支持这个特性。

6.2 模块符号创建

Genview 可以创建一个设计的设计符号，设计能用以下视图代替：

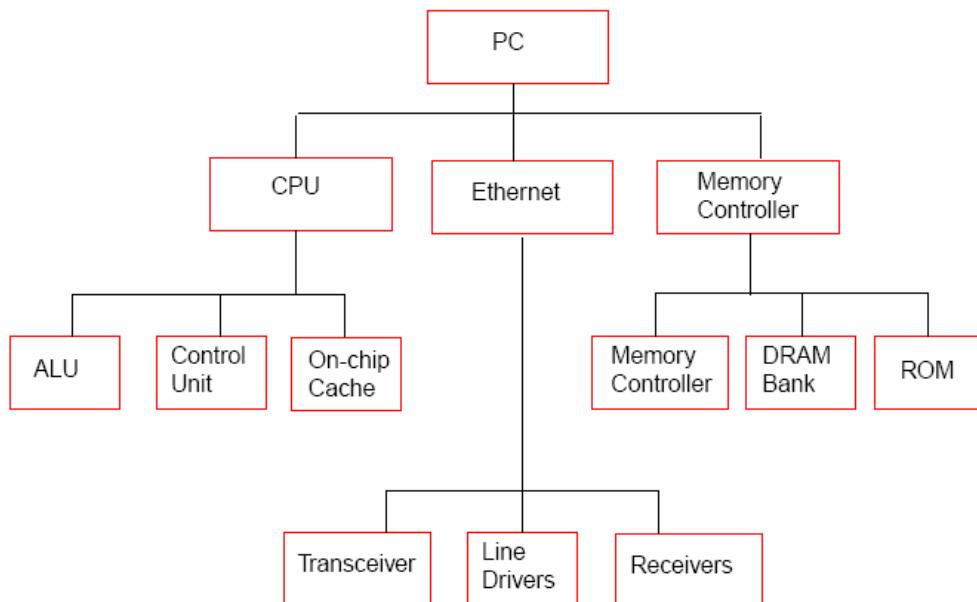
- Schematic (SCH)
- Symbol (SYM)
- VHDL
- Verilog

可以用以下方法创建符号：

- Top down: 即顶层符号图转换为 VHDL 或者 Verilog 模板。
首先创建顶层模块图，然后创建相关的 VHDL 或者 Verilog 模板。
- Bottom up: 使用原理图或者 VHDL 或者 Verilog 文本创建符号。
可以创建来自 VHDL 或者 Verilog 模板符号，VHDL 或者 Verilog 属性值是从模板文件获得的。使用模板可以让设计者创建符号并减少管脚名称不匹配。

6.3 创建层次图

层次图就是将大的复杂的设计分为多个子设计，每个子设计还可以再分为多个子设计，每个子设计一般代表一个逻辑功能。请见下图：



创建层次图，一般有以下两个方法：

- Top Down 方法
- Bottom Up 方法

6.3.1 Top Down 方法

在 Top Down 方法中，首先创建顶层图，在顶层添加 BLOCK 代表每个模块，比如上图中添加 3 个 BLOCK: CPU、Ethernet、Memory Controller。

在创建顶层设计中必须的 BLOCK 之后，然后创建下一层原理图并保存。这些原理图应该与上一层那些模块有同样的名字，这些名称应该确保能将原理图和模块链接起来。

创建层次设计的方法：

创建顶层原理图。

添加模块，并命名。比如 CPU、MEMORY 和 ETHERNET 等。选择 Block->Rename 来重新命名模块。

选择 File->New 来创建 CPU 的原理图。

再加 3 个模块，分别为 ALU、CU、OCC。

选择 File->Save As，启动 View Save As 对话框。

在 Library 栏选择 pc_lib。

在 Tree view，选择 CPU。

保存。类似再创建其他模块。可以完成此 PC 设计的所有层次的模块和原理图。

6.3.2 Bottom Up 方法

在 Bottom Up 方法中，首先创建低层次的原理图。比如上面的 PC 设计，首先创建 ROM、

DRAM 等的原理图。然后创建高一层次的原理图，比如 Memory Controller 等，再调用模块。

创建模块图形的方法：

1. 选择命令 Tools->Generate View。
2. 指定 source 栏的 lib.cell:view。
3. 在 Destination 栏的 View 选择 sym_1。
4. 选择 Retain Graphics，如果不选择此选项，那么每次都会重新生成图形。如果希望向量管脚以分开的 pin 方式显示，选择 Split Vector Ports。
5. 点击 Generate。
6. 点击 Done。

如果希望修改模块管脚排列或者给模块加属性，请见下面：

1. 在项目管理器选择 Tools->Library Tools->Part Developer 命令。
2. 在 Part Developer 界面，选择 File->Open->Cell。
3. 在 Open Cell 对话框，选择相应的库，然后选择想要编辑的模块。
4. 点击按钮 OK。
5. 在左面窗口树图，点击相应的 Symbol，比如 Sym_1。
6. 然后在右边窗格点击 General 选项卡。
7. 在属性栏，按 Ctrl+I，添加一个空行，然后输入相应的属性。
8. 点击图标  进入工具 Design Entry HDL 可以修改图形。

如果模块内的原理图变更了，如何更新模块符号：

6.3.3 模块的操作

模块的操作都在菜单 Block 下面，有

- 添加模块：Block->Add。
- 重命名模块：Block->Rename。
- 调整模块大小：Block->Stretch。
- 在模块之间连线：Block->Draw Wire, Block->Route Wire。
- 添加管脚：Block->Add Pin。
- 删 除管脚：Block->Delete Pin。
- 重命名管脚：Block->Rename Pin。
- 移动管脚：Block->Move Pin。
- 镜像模块：Edit->Mirror。
- 显示模块属性：所有的模块都有 BLOCK=TRUE 属性。

6.4 模块排序

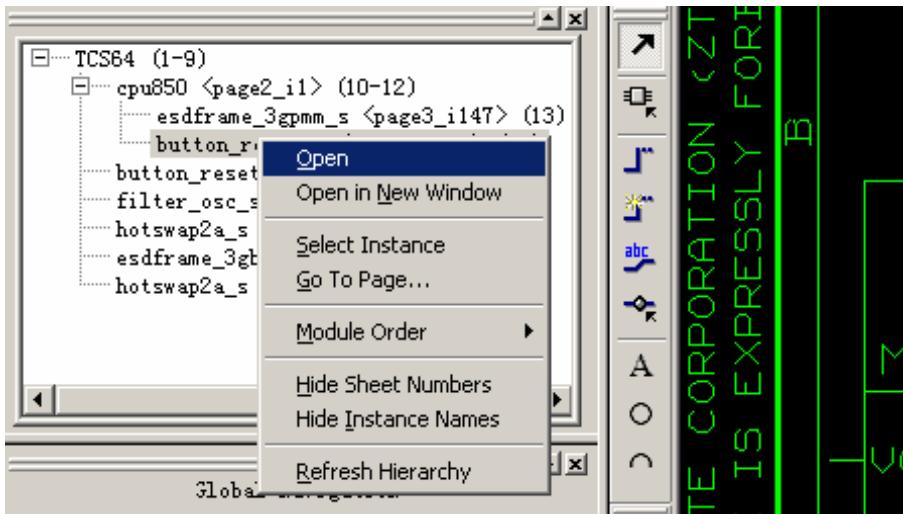
在层次设计中，可以改变子模块的打印和交叉标注的顺序，也排除某些子模块。Design Entry HDL 可以让你使用拖动和下降操作来重新排序模块，也可以简单的用右键点击模块而进行操作。

在排序时应该遵循以下规则：

- 重新排序的模块一定要在同一个层次。
- 重新排序的模块要有同样的父模块。

模型分类保存在 sch_1 路径下面的 module_order.dat 文件中，在交叉标注和层次打印时读此文件。只有保存以后才能在 Hierarchy Viewer 窗口查看信息。显示 Hierarchy Viewer 窗口的方法是选择命令 View->Hierarchy Viewer。模块的层次是树图格式，可以选择查看。Hierarchy Viewer 窗口的功能就是方便的定位查看某个设计并对层次中的模块重新排序。可以在 Design Entry HDL Options 对话框中选择 Hide Sheet Numbers 选项。

在 Hierarchy Viewer 窗口，选择一个模块，按右键，弹出菜单，请见下图：



Select instance—在父图中高亮被选择的模块并闪动。在顶层的模块是不能使用此功能的。
Module Order—在 Hierarchy Viewer 窗口使用模块排序，原理图上的交叉标注不能自动更新，要再运行一次 CRefer 同步交叉参考标注。下面是 Module Order 的一些功能：

Exclude Occurrence—Excludes only the current occurrence of the module.

Note: If a cell has been excluded using module ordering or xmodules.dat, the sheet number for the cell is not shown

Exclude All—Excludes all occurrences of the module

Include Occurrence—Includes only the current occurrence of the module

Include All—Includes all occurrences of the module

Hide Excluded Modules—Hides excluded modules

Excluded Modules—Displays a list of all excluded modules.

Reset Module Order—Clears all exclusions and inclusions.

Note: Each of these functions is identical to the corresponding module ordering function in Design Entry HDL 14.2.

被排除的模块文件

在文件 xmodules.dat 中也可以定义排除的模块，此文件一般在以下位置：

Hierarchy—安装路径/share/cdssetup

Home—\$HOME/cdssetup

Project—项目路径/cdssetup

优先级是从项目，然后 home，然后是 Hierarchy。

xmodules.dat 文件的格式如下：

(“<module-name-1>” “<module-name-2>” “<module-name-3>”)

比如有两个层次模块 capacitor 和 gnd 不用打印和交叉标注，xmodules.dat 文件应该是：
 (“capacitor” “gnd”)。

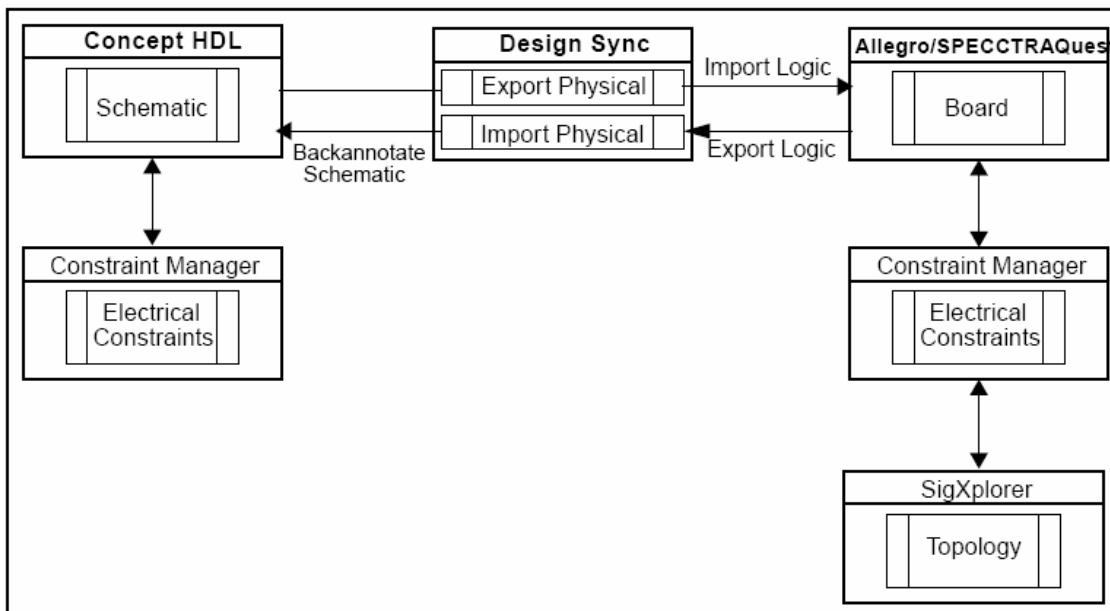
注意：要确保模型名称前后都没有空格，否则会被忽略。模型名称中间有空格是可以的。如果修改 xmodules.dat 文件手工移走了模块，则 module_order.dat 文件不会更新。如果想再加入此模块，可以在 Hierarchy Viewer 窗口再加入此模块。

7 约束管理器

约束即用户定义的附加到网络或者管脚对上的要求，电子约束管理着网络和管脚对的行为。可以使用约束管理器来提取和管理电子约束。Cadence 推荐使用约束管理器来提取约束，因为约束管理器有下列特性：

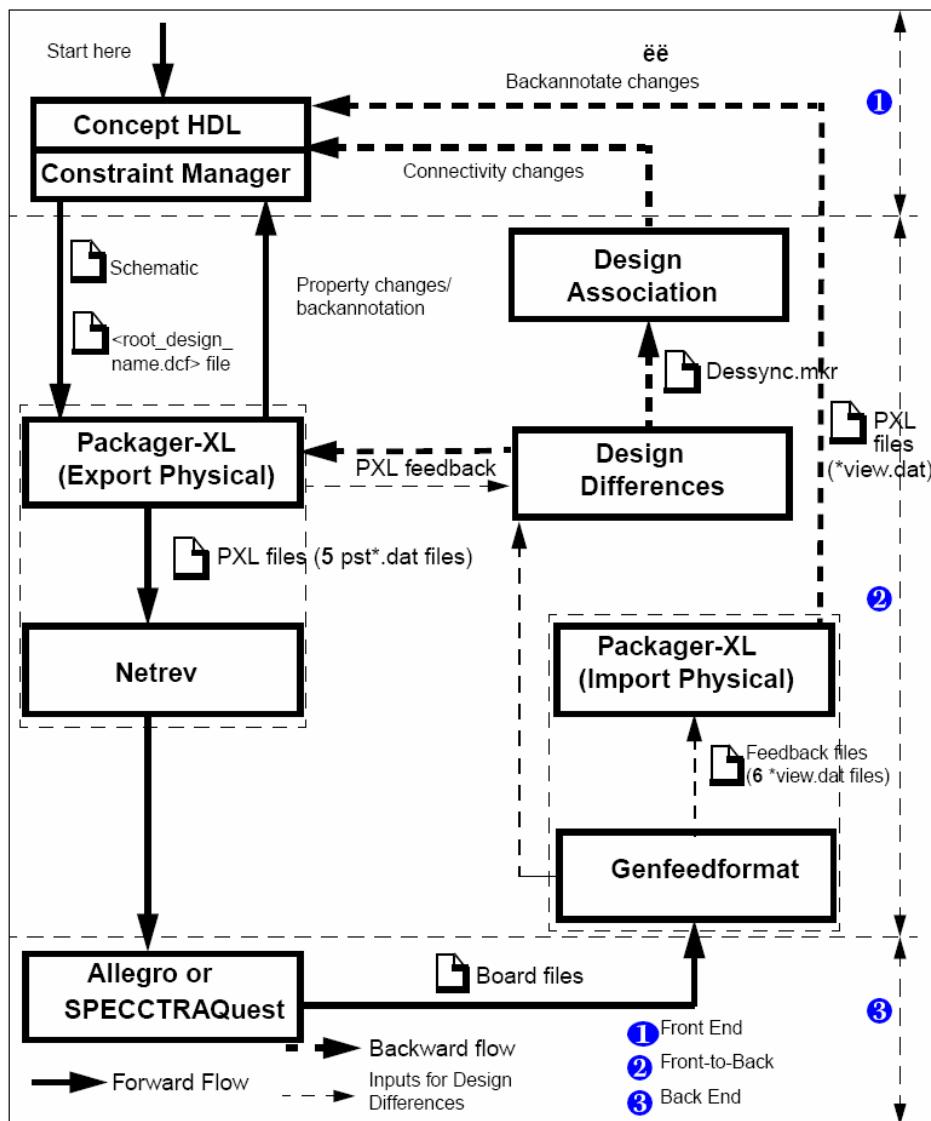
- 提供工作表为基础的用户接口，允许快速的提取、修改、删除约束。
- 支持语法检查
- 支持约束继承，高层的约束可以被继承，低层的约束可以覆盖高层约束。
- 可以定义电子约束集。
- 创建约束报告。

约束管理器在流程中的位置和作用请见下图：



加入约束管理器的设计流程请见下图：

在下图中约束管理器保存电子约束信息在根设计一个新的目录下，约束视图包含*.pcf 文件，里面包含设计的电子约束信息。在此流程中，在打包时 Packager-XL 创建 5 个 *.dat 文件，包含传统设计流程中的 3 个文件（pstchip.dat, ptxprt.dat, ptxnet.dat），还有两个文件 pstcmdb.dat, pstmcb.dat。pstcmdb.dat 包含当前设计中的电子约束，是 constraints 视图中的*.pcf 文件的拷贝。pstmcb.dat 包含的是板中的约束，在执行 import physical 时产生的。如果没有 *.pcf 存在，Packager-XL 就允许在传统的流程。



具体约束管理器的操作和使用方法，请见培训教材《约束管理器用户手册》。

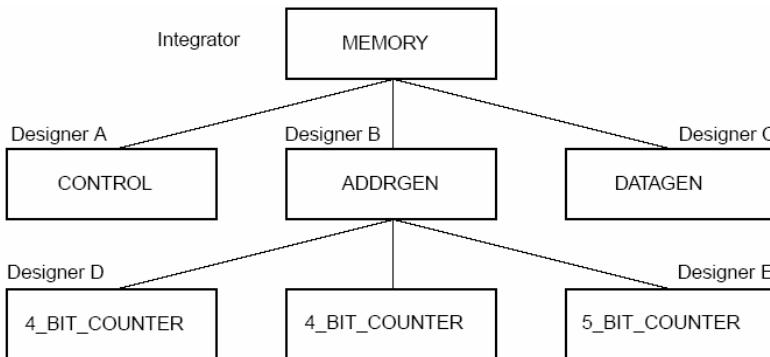
7.1 层次设计中的电子约束

在层次设计中有约束一定要记住以下事情：

- Team Design – 团队设计
- 层次设计中调用一次 BLOCK 的约束
- 层次设计中调用多次 BLOCK 的约束
- 只读 BLOCK 中的约束
- 团队设计

设计团队工作在一个层次设计中，在这个设计环境中，每个设计者可能设计其中的一个模块，当所有的设计者都完成了他们的模块，团队组织者就将所有的模块收集到一个顶层设计

中。请见下图：



在团队设计环境中，Cadence 推荐按照下面的方法管理约束：

- 模块设计者一定不要使用约束管理器去管理低层次的模块。一定要在原理图中加电子约束属性。
- 一个模块被调用了几次叫做重用或者复制模块。比如 4_BIT_COUNTER 被复制了两次。在 Occurrence Edit 模式，模块设计者不要加电子约束属性给复制的模块。这是因为在 Occurrence Edit 模式中，Occurrence 属性不会被放入约束管理器中。Cadence 推荐在团队组织者收集所有的低层次模块进顶层设计之后，在 Occurrence Edit 模式给复制的模块添加约束属性。
- 团队组织者在收集所有的模块之后启动约束管理器，低层次模块的电子约束属性都会在约束管理器中显示。
- 在层次设计中调用一次 BLOCK 的约束

如果在设计中仅仅调用一个模块一次，可以选择 Tools->Constraints->Update Schematic 或者运行反标注，在模块中的约束的任何改板都会显示在层次、扩展和 Occurrence Edit 模式。

如果一个模块的其中网络的电子约束在约束管理器中删除了，在启动约束管理器时会提示使用反标将约束删除，也就是说约束在约束管理器中删除了，但是还存在在原理图中。选择 Tools->Constraints->Update Schematic 命令来删除约束。注意如果没有选择 Tools->Constraints->Update Schematic 而退出了约束管理器，直接修改网络的约束属性，然后保存原理图，新的约束值会出现在约束管理器中。

• 层次设计中调用多次 BLOCK 的约束

如果在设计中多次调用了一个模块，选择 Tools->Constraints->Update Schematic 命令或者反标，在模块中约束的任何改变仅仅在 Occurrence Edit 模式才能看到。因为多次调用的模块的属性不能反标给原理图。可以在原理图中修改网络属性，然后保存原理图。

• 只读模块的约束

如果层次设计中使用了只读模块的电子约束属性或者约束属性的一个占位符，在约束管理器中修改或者删除了约束反标原理图时会报错。这是因为只读的模块是不允许写的。为了避免这些，在原理图的只读模块中添加属性 NO_BACKANNOTATE=ALL。

注意：属性 NO_BACKANNOTATE=ALL 只能应用于添加的模块，而不能应用于它的子模块。

• 约束管理器创建的两个文件

- **pstcmback.dat**
这个文件包含原理图和 PCB 中存在的不同信息，此文件在 packaged 视图中。
- **Concept2cm.log**
此文件中包含从 Design Entry HDL 启动约束管理器时的警告和错误信息。此文件在 temp 路径中。文件中包含下列信息：原理图中网络或者管脚的电子约束属性的语法错，约束差异报告。

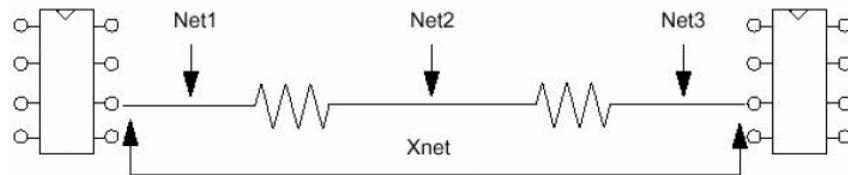
8 信号完整性分析特性

SPB15.2 综合了几个新的特性，支持 Xnets 和模型指定的差分对。本章主要描述以下内容：

- 支持 Xnets
- GUI 支持模型指定的 Xnets 和差分对
- 支持约束交叉网络
- 支持完整的拓扑提取
- 用不同的目标网络来匹配网络
- 支持提取完整的管脚延迟
- 移植一个设计
- 关于 Xnets 的常见问题

8.1 支持 Xnets

网络代表从一个管脚到另外一个管脚的电子连接，如果一个网络中间连接了一个分立元件（电阻、电感或者电容），那么此网络就是 Xnets，请见下图：



在以前的版本，在 Design Entry HDL 中不能指定信号模型给分立元件，所以在 Design Entry HDL 连接的约束管理器中就不能定义 Xnets。SPB15.2 提供了新的 SI 分析特性支持 Xnets。

8.1.1 创建 Xnets

在 SPB15.2 中，约束管理器读分立元件的 SIGNAL_MODEL 属性，并创建 Xnets。SIGNAL_MODEL 是附加给元件的模型名称，其中定义了电子、I/O 模型和封装寄生参数，用于仿真。SIGNAL_MODEL 属性可以存在在原理图中、chips.prt 文件和 pft 文件中。

为了方便给元件指定 SIGNAL_MODEL 属性，15.2 版本提供了指定模型的用户窗口，可以方便的给多个管脚和元件指定信号模型。

在创建 Xnets 之前，确保使能信号完整性分析特性。

8.1.2 在约束管理器中显示 Xnet

1. 在约束管理器中，选择命令 Objects->Filter，出现 Filter 对话框。
2. 在 Select Object Types List 栏选择 Xnets。
3. 点击按钮 OK。

4. 点击 Xnet 名称前边的 。显示 Xnet 的所有成员。

也可以移动鼠标到 Xnet 网络名上，会显示提示。

8.1.3 处理 Xnet 上的分段约束

在 Xnet 上的电子约束在它的成员网络上都可以看到。如果在原理图中给 Xnet 附加了约束并启动约束管理器，可以在 Xnet 上看到此约束，而且其成员的网络都可以看到此继承的约束。如果在约束管理器中修改了约束，然后运行更新原理图，那么约束值就标注到所有成员网络上了。

8.1.4 在原理图中显示管脚对约束

如果在约束管理器中增加了 driver-discrete 和 driver-receiver 管脚对约束，在原理图中仅仅能标注 driver-discrete 的约束，而 Xnet 级的 driver-receiver 只能存在于约束管理器中，不能反标回原理图。

注意：在原理图工具中是不能定义管脚对的。

8.1.5 在约束管理器和 Design Entry HDL 直接进行 Xnets 的交互探查

当在约束管理器的工作表中选择了 Xnet，网络成员就显示在 Global Navigation 窗口中。反过来也可以选择。

8.2 GUI 支持模型指定的 Xnets 和差分对

本节介绍一个 Design Entry HDL 综合的用户界面用于给元件指定信号模型。可以给 IC 指定模型，也可以自动给分立元件指定模型，也可以同时给多个元件指定模型。本节主要描述以下内容：

- 使用模型
- 模型指定的用户界面
- 指定信号模型

现在公司已经统一仿真库，更详细的操作可见《仿真库应用手册》。

8.2.1 使用模型

在设计中可以使用 Model Assignment 窗口给元件指定信号模型。Model Assignment 窗口的功能如下：

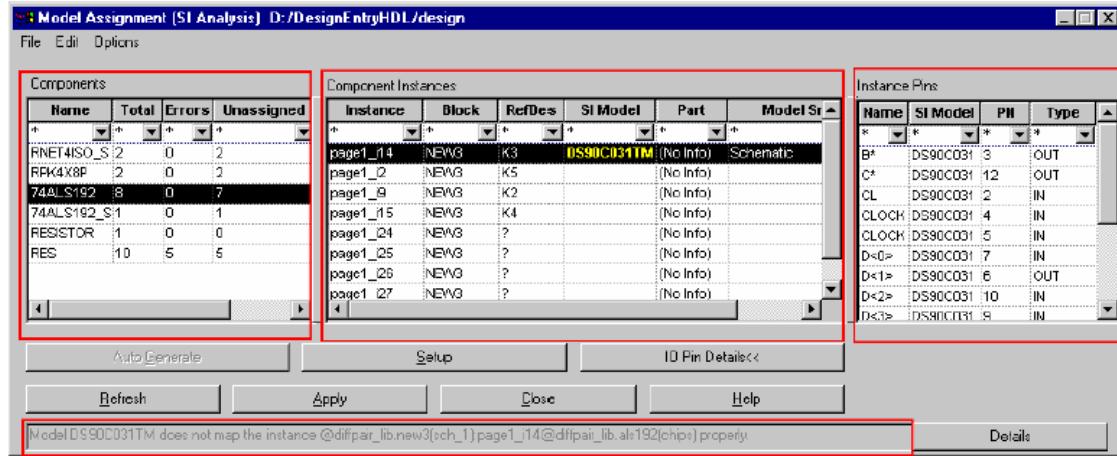
- 方便的自动创建两个管脚的分立元件的信号模型。
- 允许手工指定模型给元件或者管脚
- 允许设置模型库路径
- 允许使用 Model Integrity 工具查看信号模型
- 可以在模型指定窗口和原理图工具直接完成双向交互探查

可以指定的信号模型类型

- IbisDevice Models on ICs
- PackageModel on connectors
- EspiceDevice Models on discrete elements

8.2.2 模型指定的用户界面

在 Design Entry HDL 中选择 tools->Model Assignment 菜单命令，启动 Model Assignment 窗口。请见下图，如果设置了 retain existing Xnets and diff-pairs 模式，则启动此窗口时会提醒 enable the Signal Integrity analysis 特性。



模型指定窗口分成三个显示窗格，左边一格显示设计中使用的元件名称、数量，包含总的元件数量，有错误模型的数量，未指定模型的数量。中间一格列出左边窗格选择的元件的详细信息，包括设计中元件实体名称、模块名称、位号、信号模型、元件的 key 属性和信号模型的源（原理图还是 opf）。第 3 个窗格缺省是隐藏的，列出中间窗格选择元件的管脚详细信息。允许给管脚添加模型。信息包含管脚名称、管脚号、管脚类型和信号模型。如果没显示此窗格，可以点击按钮 IO Pin Detail 来显示。

在窗口底部的状态栏模型指定确认状态。

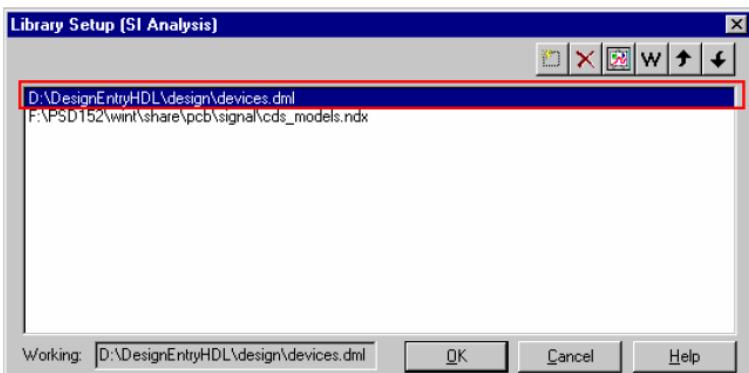
8.2.3 指定信号模型

可以给元件或者管脚指定模型，也可以在窗口的中间窗格中选择一行高亮原理图中指定的实体。不能通过附加 SIGNAL_MODEL 属性的方法给元件附加信号模型。

8.2.4 设置模型库路径

修改或者指定不同的 dml 文件，需要设置库路径。

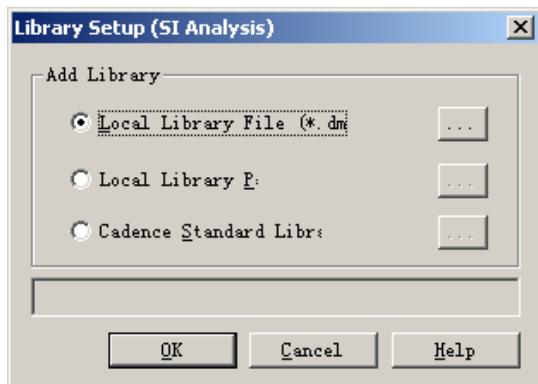
在 Model Assignment 窗口，点击按钮 Setup，启动 Library Setup 对话框。请见下图：



在此窗口可以实现：

- 添加新库

在 Library Setup 对话框点击按钮 ，出现下图



选择其中一个选项来添加一个新库。

Local Library: 从当前设计的 Physical 路径选择一个 dml 文件。

Local Directory: 选择任何一个本地路径中的 dml 文件。

Cadence Standard Library: 从 Cadence 提供的库中选择新的 dml 文件。

点击选项后面的 来选择合适的路径，然后选择 dml 文件，点击按钮 OK。

- 删除一个库
点击按钮 来删除。
- 编辑库
点击按钮 来启动 Model Integrity 编辑模型。
- 设置库作为工作库
在库列表中选择一个库，即作为当前库。

注意：除了 dml 文件，还存在索引文件 (.ndx)，包含指向 dml 库中模型的指针，允许用户最小化库的数量。

8.2.5 通过指定模型给分立元件来创建 Xnet

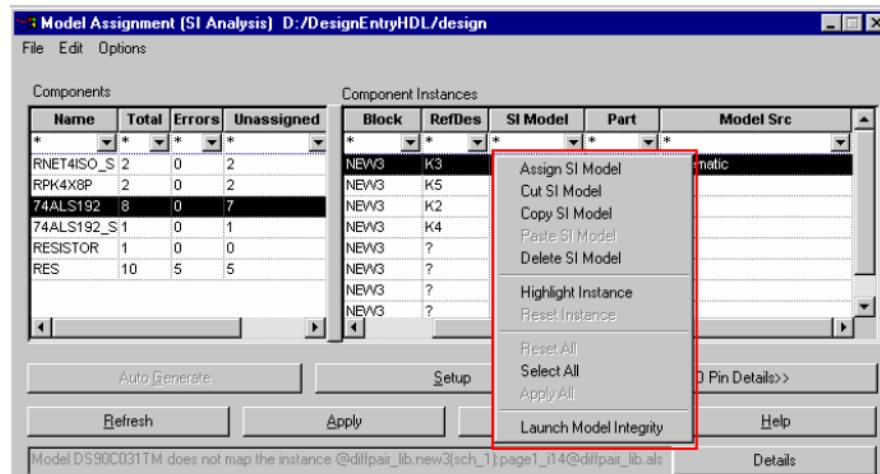
可以通过给分立元件指定模型来创建 Xnet。在 Model Assignment 窗口，可以给分立元件自动指定模型。

在第一个窗格中选择一个元件，比如电阻。请注意按钮 Auto Generate 按钮被激活了。Auto Generate 按钮的激活是通过<your_cadence_installation_directory>\share\cdssetup\<filename>.cfg 文件来控制的。通过格式文件中的内容来指定模型，是查找 chip.prt 文件得到的。目前还不能支持电阻排。选择一个实体，然后点击按钮 **Auto Generate**。

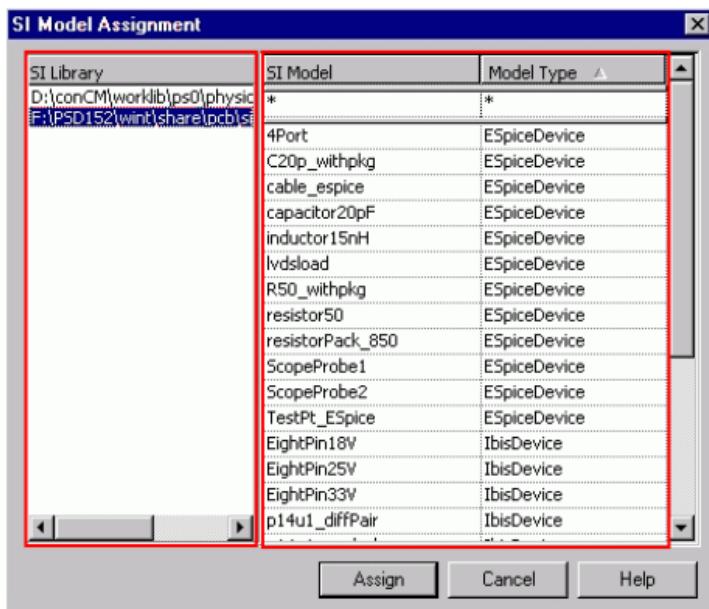
8.2.6 通过给 IC 指定模型来定义模型指定的差分对

可以通过给 IC 指定模型来定义模型指定的差分对。需要从模型库中手工选择信号模型，然后使用 Assign Signal Models 命令来指定信号模型给一个或者多个同种类型的元件实体。

在 Model Assignment 窗口右键点击元件实体，在弹出的菜单选择 Assign SI Model。请见下图：



然后启动模型指定窗口，



在窗口左边显示的是有效模型库，所有的模型按照模型类型分类显示在右边。可以浏览和指定模型给器件。可以按照模型名称和模型类型过滤模型。还可以用下列方法指定模型：

- 右键点击元件实体，在弹出的菜单选择 Assign Signal Model。
- 在原理图界面，选择菜单命令 Text->Assign Signal Model，然后点击元件。
- 在原理图界面，选择菜单命令 Group->Assign Signal Model，并选择一个群组。

从列表中选择一个信号模型，然后点击 Assign。如果信号模型有问题，会以黑体蓝色字符显示。出现错误的原因如下：

管脚类型、管脚号或者管脚模型不匹配。

模型类型不合适，比如 SpiceDevice 模型给 IC 指定了等等。

8.2.7 恢复

如果一个模型指定错了，并且还没有传递到原理图中时，可以使用 Reset 命令恢复。方法是在中间一个选择一个或者多个元件，按右键选择命令 Reset Instance 或者 Reset All 命令。

8.2.8 将信号模型赋给原理图

要将指定信号模型发生影响，需要点击 Apply 按钮。

8.2.9 给多个实体指定信号模型

在 Model Assignment 窗口右键点击元件实体，在弹出的菜单选择 Select All。再右键点击元件选择 Assign SI Model，再选择元件，然后点击 Assign，点击 Apply。

8.2.10 刷新模型指定窗口

可以重启 Model Assignment 窗口来刷新，也可以点击 Refresh 按钮刷新。主要是为了同步原理图和模型指定。

8.2.11 指定管脚模型

除了给元件指定模型，也可以给管脚指定模型。在 Model Assignment 窗口右键点击管脚，在弹出的菜单选择 Browse Pin Models，选择合适的模型，然后点击按钮 Assign。

注意：给管脚指定模型，只能每次指定一个管脚，不像器件，一次可以指定多个元件。

8.2.12 显示规范的路径

只要将鼠标移到中间一栏的任何一个 Instance 上，就会显示出路径信息。

可以选择命令 Option->Show Hierarchical Path 来显示此栏内容。

8.2.13 在原理图与模型指定窗口之间交叉探查

在第二个窗格中选择元件，然后右键点击，在弹出的菜单选择 Highlight Instance。也可以使用 File->Highlight Instance 命令来实现。

8.2.14 手工校验模型指定

高亮命令对于确认是否模型已经被指定给器件了也是非常有用的。高亮器件，然后查看其属性，确认是否正确的指定了模型。如果在 Design Entry HDL 中指定了模型，变更立刻传递到 OPF 文件中。要确认是在 Occurrentce Edit Mode，否则 SIGNAL_MODEL 属性在属性对话框中是不能看到的。对于已经存在的 SIGNAL_MODEL 是不能编辑的，否则会删除用户指定的信号模型。

8.3 支持将约束赋给网络

SPB15.2 也支持将约束赋给网络。注意：ECSet 仅仅当应用给网络或者网络对象或者使用 Audit->Electrical Cset 菜单命令创建报告才是有效的。应用给网络对象的约束不会反标给原理图的。

在约束管理器中选择网络按右键选择 Electrical Cset References，或者点击对应的 Referenced Electrical Cset 栏，选择约束名称。

如果将约束赋给总线，总线中的所有成员都会继承 ECSet 中的管脚对约束。

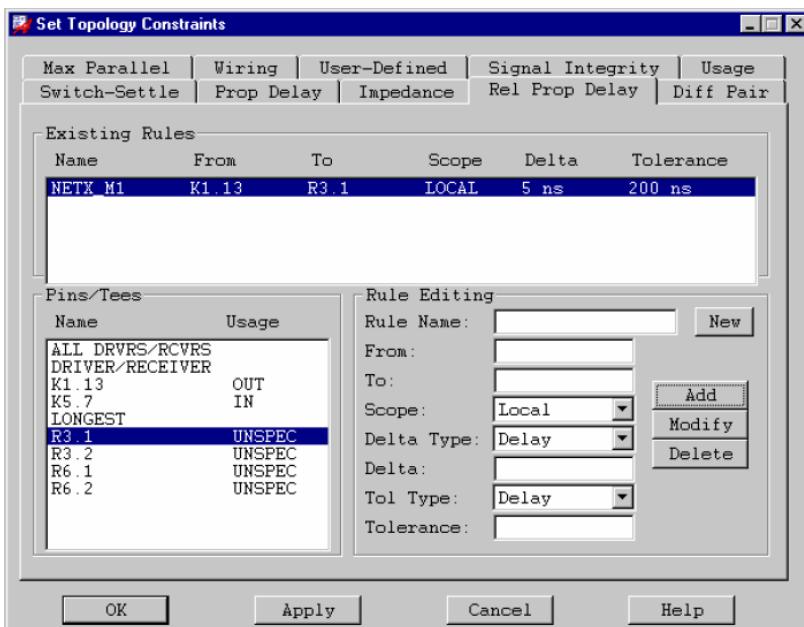
如果拓扑与网络不匹配的话，Referenced Electrical Cset 栏就会显示为红色。状态栏也会显示为不匹配的原因。如果关闭了约束管理器，红色标识会丢失。约束管理器提供评估选项，并重建红色标识并出详细的报告，方法是使用菜单命令 Audit->Electrical Cset。可以在.dcf 文件中查看约束和网络。

8.4 支持完全的拓扑提取

在本节可以在 SigXplorer 查看有效的模型和校验并创建约束，并在约束管理器中应用和校验约束。

在约束管理器中，选择 net 或者 Xnet。右键点击网络在弹出的菜单选择 SigXplorer，启动 SigXplorer。注意：如果一个分立元件没有指定一个有效的信号模型，则不会提取一个 Xnet。

在 SigXplorer 界面，选择菜单命令 Set->Constraints，启动 Set Topology Constraints 来设置拓扑的约束，甚至可以设置未打包的元件的约束。请见下图：



设置完成，点击按钮 Apply，然后点击 ok。再点击图标 (或者执行菜单命令 File->Update Constraint Manager 来更新约束管理器。)

8.5 用不同的目标网络来匹配网络

在 SPB15.2 中，可以在约束管理器中指定网络或者管脚对给不同的匹配群组，这样可以参考不同的目标网络。如果一个网络是多个匹配群组的成员，并且此网络是一个匹配群组的目标，那么它并不会被限定一定要是另一个匹配群组的目标。

8.5.1 指定一个网络给多个匹配的群组

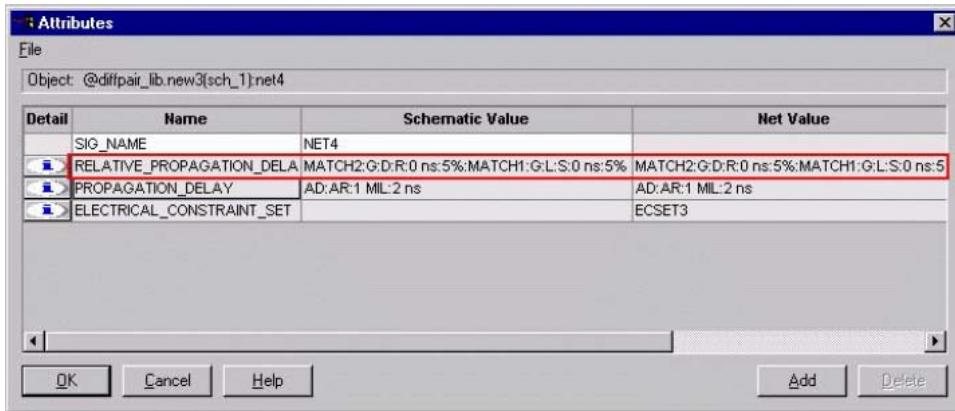
可以使用 Match Group Membership 对话框来指定网络或者管脚对给一个或者多个匹配的群组。

5. 在约束管理器的 Relative Propagation Delay 工作表中，右键点击一个匹配群组的成员。
6. 在弹出的菜单选择 Membership->Match Group 命令。
7. 在下拉列表中选择另外一个匹配的群组。注意要选择 Preserve existing membership 选项。
8. 点击按钮 OK。弹出警告对话框，意思是如果用低版本工具打开，会丢失多个匹配群组信息。
9. 点击按钮 OK。

给网络指定的约束也是多个匹配群组的一部分，通过匹配群组作用在网络上。具体附加约束集的方法与给网络加约束集的方法相同。

8.5.2 多个匹配群组和 Allegro Design Entry HDL

匹配的群组没有直接保存在 Allegro Design Entry HDL 中，是作为属性附加在每个成员对象上，可以指定对象作为多个匹配群组的成员。匹配群组的约束通过成员的约束决定。例如，下图显示的网络约束值是属于两个匹配群组的。

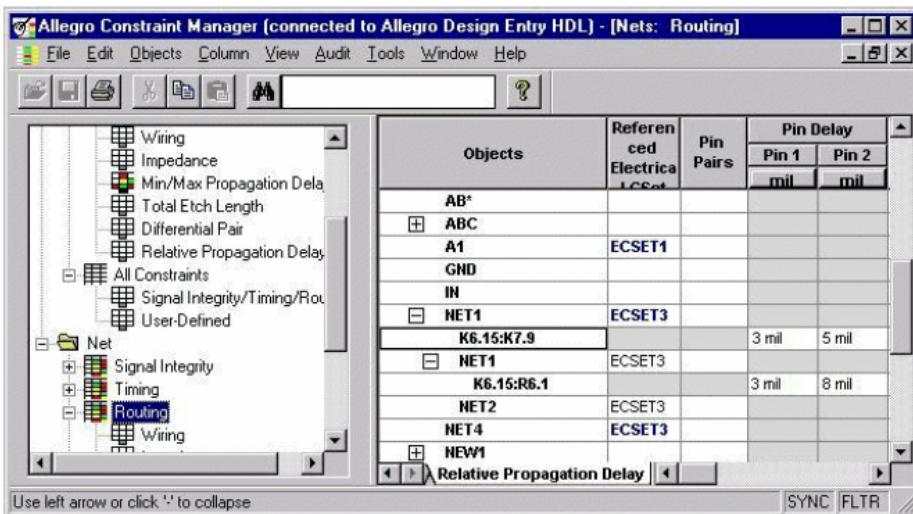


8.6 支持提取完整的管脚延迟

在 15.2 增加了管脚延迟属性，允许在传输延迟和差分对相位检查中计算额外的延迟，此属性代表的是内部封装的延迟。Pin pairs 约束的是封装管脚到封装管脚，Pin Delay 属性代表的是封装管脚到 die pad 的距离。另外一个作用是代表距离子板上的连接器的管脚延迟值。SPB15.2 提供了这个选项来在元件库中定义封装延迟和在约束管理器中查看其值，用匹配 die pad 到 die pad 的延迟来代替管脚延迟。

8.6.1 使用模型

PIN_DELAY 属性值保存在元件库中的 chips.prt 和 symbol.css 文件中。约束管理器覆盖或者补充上漏掉的值。库中定义的每个管脚的管脚延迟属性可以在约束管理中显示出来。如果创建了管脚对，库中定义的管脚延迟的值在相对传输延迟、传输延迟或者差分对工作表中就可以查看。管脚延迟栏有两列 Pin1 和 Pin2，可以在约束管理器中输入自己的值来覆盖缺省的值。

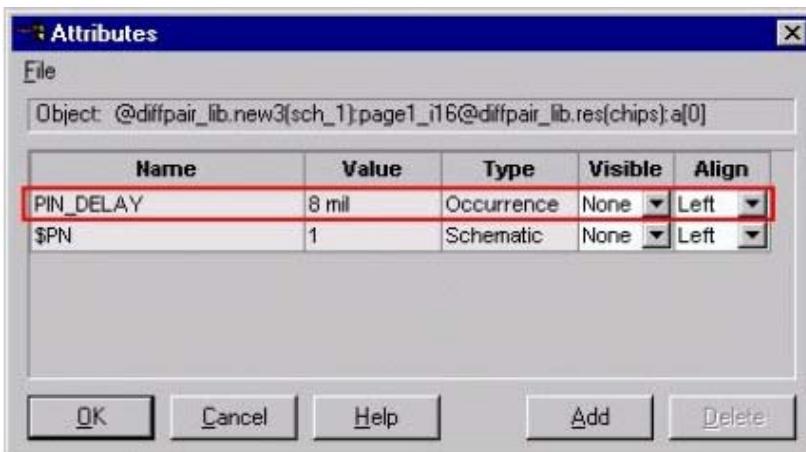


8.6.2 编辑管脚延迟值

可以在约束管理器中编辑从 chips.prt 文件中继承的 PIN_DELAY 属性值。属性保存在 Constraint Manager 路径下面的.dcf 文件中。继承的属性值以常规的黑色字符显示，编辑时字符会显示为蓝色，标识覆盖。覆盖的值写入 design.dcf 文件。

8.6.3 在原理图中标注管脚延迟

PIN_DELAY 属性可以标注在 OPF/原理图中，在 Allegro Design Entry HDL 中允许命令 Tools->Update Schematic 反标属性给原理图。当 PIN_DELAY 属性标注了，可以在 OPF 模式查看管脚属性。



注意：在 Allegro Design Entry HDL 中显示 PIN_DELAY 属性只是为了打印输出用，不能在 Allegro Design Entry HDL 中添加此属性，不管约束管理器有没有打开。

打包时，PIN_DELAY 属性从 chips.prt 中传递到 pstchip.dat 文件中，Allegro PCB Editor 从 pstchip.dat 文件中继承此属性值。

8.7 移植一个设计到 15.2

Design Entry HDL 提供一个新的模式支持 15.2 之前的版本移植到 15.2，此模式是 retain existing Xnets and diff-pairs。在这种模式下，所有设计中已经存在的 Xnets 和模型指定的差分对都被保留并在约束管理器中可以看到。这个模式是缺省设置的。

8.7.1 retain existing Xnets and diff-pairs 模式

在此模式下，约束管理器不能生效或者认可在 Design Entry HDL 中的模型。在设计中指定的所有存在的 Xnets 和模型指定的差分对都保留并可以在约束管理器中看到。但是在这种模式下不能定义新的 Xnets 和差分对。要在 15.2 中定义就要打开 no-retain 模式来使能信号完整性分析特性。

8.7.2 Non_Retain Mode

在这种模式下，约束管理器有效信号模型，所有的 Xnets 和模型在此有效的基础上指定的差分对都保留。

注意：在 15.2 中用指定信号模型给器件的方法来开始定义 Xnets 和差分对之前，一定要确保在 non-retain 模式。

8.7.3 使能信号完整性分析特性

要想创建新的 Xnets，就要使能信号完整性分析特性，将 non-retain 模式打开，方法如下：

10. 在 Allegro Design Entry HDL，选择 Tools->Options。
11. 点击 Signal Integrity 选项卡。
12. 不选择 retain existing Xnets and diff-pairs 选项。弹出信息框。
13. 点击 OK。

注意：在打开 non-retain 模式之前，必须确认一下内容：

- 如果要转移设计到 15.2，所有在 Allegro 中指定的信号模型都要通过 Import Physical 命令来输出到 Design Entry HDL。
- 信号模型都有指定给元件，模型库的路径要设置正确。

注意：如果有效的信号模型不在 physical 文件夹中，可以创建一个信号模型库，在 PCB Editor 工具中选择 Analyze->SI/EMI Sim->Model Dump/Refresh 菜单命令即可。

下面描述在这两种模式下的不同阶段 Design Entry HDL 是如何工作的。

8.7.3.1 约束管理器与 Design Entry HDL 连接

retain existing Xnets and diff-pairs 模式：

- 所有的已经存在的 Xnets 和模型指定的差分对和它们的约束都是可视的。约束管理器不会生效，不管信号模型有没有。
- 可以给 Xnets 加 pin pair 约束。当给一个 Xnet 附加一个 ECSet 时，如果在.dcf 文件

中有 Xnet 并且在原理图中没有定义信号模型，那么工作表中的定义是无效的。如果在原理图中分立元件有信号模型并且 ECSet 包含管脚对约束，Xnet 的管脚对会被加约束。

Non-retain 模式

- 在原理图中约束管理器将有效所有的信号模型。如果在原理图中、chips.prt 或者 ptf 文件中有 SIGNAL_MODEL 属性，但是在器件模型库中没发现信号模型，会提醒退出进程。

8.7.3.2 Export Physical

retain existing Xnets and diff-pairs 模式：

- 会保留所有的 Xnets 和模型指定的差分对和约束。

Non-retain 模式

- 已经存在的 Xnets 和模型指定的差分对都是无效的。

8.7.3.3 Import Physical

retain existing Xnets and diff-pairs 模式：

- 在此情况下，会找出所有的模型并反标回 Design Entry HDL，并且提醒打开 non-retain 模式。

Non-retain 模式

- 在此情况下，在原理图上有 SIGNAL_MODEL 属性但是没发现信号模型，进程会退出，.pcf 文件不会被更新。

8.7.3.4 模型指定用户界面

retain existing Xnets and diff-pairs 模式：

- 当启动 Model Assignment 用户界面时，会提醒转换为 Non-retain 模式，以便在 Design Entry HDL 启动约束管理器有效信号模型。关闭 Model Assignment 用户界面时，如果仍然在 retain existing Xnets and diff-pairs 模式，会提醒转换为 Non-retain 模式

Non-retain 模式

- 在此模式下，可以给器件指定信号模型。

8.8 关于 Xnets 的常见问题

为什么分立元件的 Autogenerate 按钮不能操作？

- Chips.prt 文件中的 CLASS=DISCRETE 属性不对。
- 分立元件是电阻排。
- 电阻位号前缀不是 R。

为什么针对指定的 nets/Xnets 不能启动 SigXplorer？

- 信号模型无效。
- 不能从 chips.prt 文件中提取 PIN_TYPE 信息。

为什么在约束管理器中不能显示所有的 Xnets 分段（连接到 Design Entry HDL）？

如果分段超过 10 个，约束管理器就不显示 Xnets。如果设计包含上下拉电阻而没有 VOLTAGE 属性指定给它们，会显示作为 Xnet，因此用完了有效的 Xnet 段数。一定要给上下拉电阻添加 VOLTAGE 属性，以便不会作为 Xnets 显示。这将会释放空间，并且有效的段数会在约束管理器中显示。

在电子检查中有一个新的选项 Voltage on HDL Symbols，这个选项检查 HDL_POWER 符号上是否存在 VOLTAGE 属性，如果不存在，就会显示警告信息。

注意：有些网络名称比如 GND 和 VCC 是永远不会以 Xnets 对待的，即使是没有 VOLTAGE 属性。

如果没找到信号模型，Xnets、模型指定的差分对和约束会如何？

如果没有信号模型库，就不会创建 Xnets，会有一个警告信息提醒你更改模型。

9 设计的全局操作

本章主要描述以下内容：

- 展开设计
- 全局查找
- 高亮全局对象
- 在设计中 Navigating 网络
- 全局修改
- 元件管理
- 运行 Scripts (脚本)
- 在 PCB 和逻辑设计之间分配设计变更
- 将 PCB 的连通性变更传递给原理图
- 反标设计
- 页管理操作
- 在不同的 project 下实现原理图拷贝

9.1 展开设计

当启动一个设计时，此设计是有层次的，也就是说在设计中有多幅图以树图的形式连接在一起。在展开之前，原理图视图是从缺省指定的视图中得到的，而一旦展开设计，可以使用 Hierarchy Editor 通过点击 Descend 或者 Ascend 图标来查看层次图。

展开设计之后，Design Entry HDL 可以读设计的所有层次以便可以：

- 在工具之间可以执行高亮对象。
- 从网络同义词可以在当前的图或者其他图中查看属性。
- 基于当前的展开格式 navigate 图纸层次。
- 在层次或者多页设计中可以找出指定网络或者元件的所有同义词。

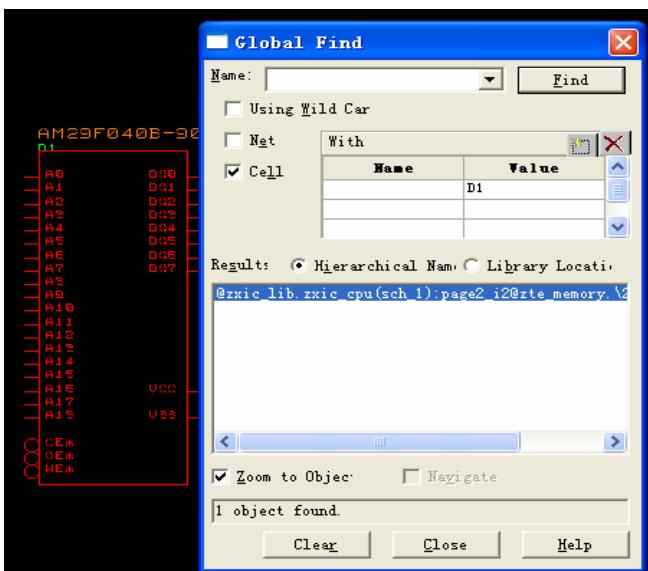
命令总结如下：

- 浏览层次图 - File->Edit Hierarchy->Descend or File->Edit Hierarchy->Ascend
- 全局 **导航** - Tools->Global Navigation，可以在 Design Entry HDL 和 Pcb Editor 之间交互探查。
- 查找网络和元件 - 在查找之前要进行扩展 Tools->Expand Design，然后 Tools->Global Find。

9.2 全局查找

查找网络和元件时，在查找之前要进行扩展 Tools->Expand Design，然后 Tools->Global Find。如下图所示，在 Name 中输入想要查找的网络和器件名，点击 Find，点击列表中的器件或网络，该器件或网络就会 Highlight 显示，其中 Hierarchical Name 和 Library Location 是查看

方式选项。查找向量网络，比如 DATA[3..0]或者 DATA(3..0)，在 Name 栏输入 DATA 或者 DATA<3..0>即可。有些对象不能查找到，比如带有 step 的总线命名 A<31..0:2>。(P382)



不能进行全局查找的对象有：

- 不能查找的属性
VHDL_SLICE、VHDL_CONCAT、TIE、HDL_SCHEMATIC、HDL_POWER、
HDL_CONCAT、HDL_REPLICATE、COMMENT_BODY、
PLUMBING_BODY、FLAG_BODY、PINNAME_BODY、HDL_PORT、
VHDL_PORT VHDL_ALIAS
- 对象
PIN NAMES、DRAWING、DEFINE、MENU
- 总线名称
有 step size 的总线，比如 A<31..0:2>，
最后带有*，比如 A<2..0>*

9.3 高亮全局对象

高亮选择的对象：

- 在扩展模式，在多页或者多层次的原理图中搜索信号。
- 在 Design Entry HDL 和其他系统工具之间可以高亮查找关联的网络。

具体操作请见 5.3.2 节。

9.4 在设计中 Navigating 网络

跟踪网络的方法是 Tools->Global Navigate，出现对话框后，点击任意 wire，则与该 wire 相

连网络的会被加入列表，点击列表中的任意网络均会被 Highlight 显示。

1. 选择命令 Tools->Global Navigate，出现 Global Navigation 对话框。
2. 选择如何查看搜索结果，是用层次名还是库的位置。
3. 在设计中选择一个网络。
4. 出现信息提示你展开设计。
 - (1) 如果选择 Yes，则扩展设计并且网络的所有别名都显示在 Global Navigation 窗口中，可以点击任何名称查看网络。
 - (2) 如果选择 Expand without prompt 选项，以后也可以 navigate 网络而没有展开设计，网络的层次名显示在 Hierarchical Names 中。
5. 如果想放大搜索结果，可以选择 Zoom to Object 命令。
6. 在状态栏选择网络查看搜索结果。
7. 再选择另外一个网络。
8. 使用 Back 和 Next 按钮在选择的不同网络之间移动。

9.5 全局修改

这个功能可以帮助设计者对整个设计进行删除、修改任何网络、管脚、元件属性，也可以全局的替换元件。

注意：全局替换的特性包含 Java1.3.1 码使用了 True Type 字体。为了显示窗口正常，一定要安装 SUNWi1。

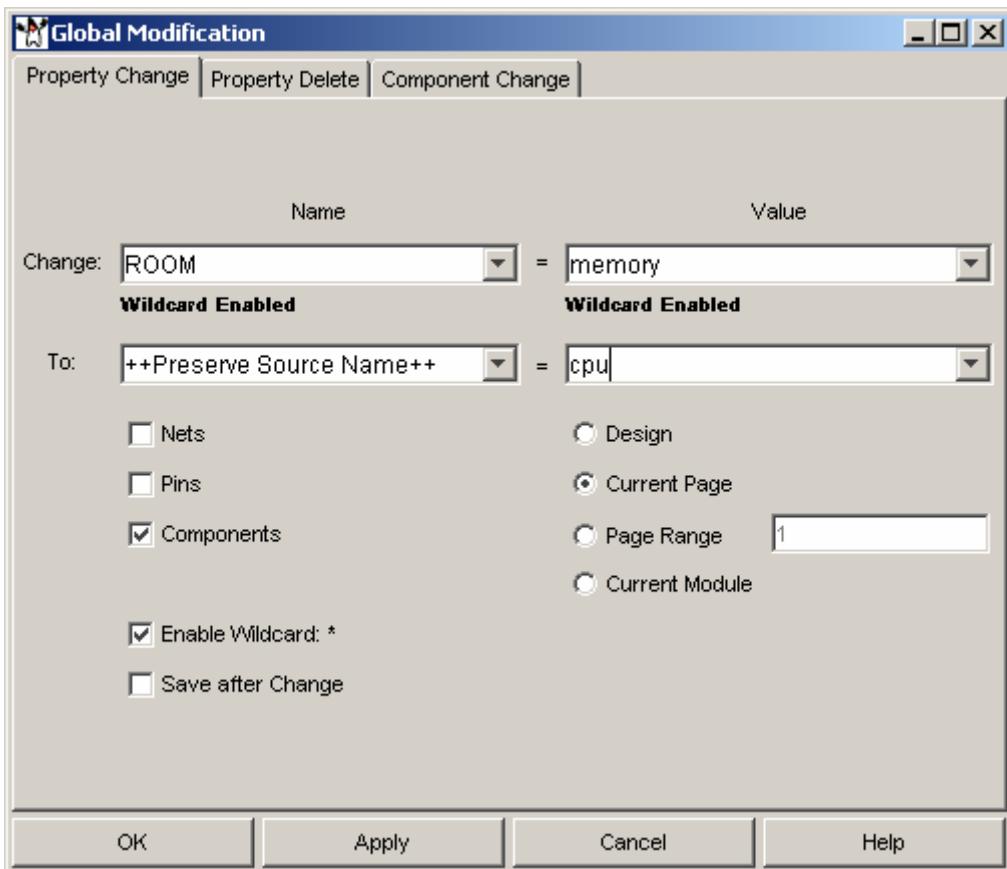
选择命令 Tools->Global Update，在对话框中选择任何选项，即可完成属性修改、属性删除和元件更改。全局修改还可以以批处理的方式实现。

9.5.1 全局修改元件、管脚和网络属性

操作如下：

1. 选择命令 Tools->Global Update。
2. 在对话框中选择 Global Property Change 选项卡。
3. 在 Change 栏输入属性名称或者从下拉列表中选择。
4. 在 To(Name)栏输入属性名称或者从下拉列表中选择以前输入的属性名称。
5. 选择合适的 Design Entry HDL 对象类型，例如网络或者元件。
6. 选择修改的范围，比如 Design、Current Page 或者 Current Module，如果是其中的某几页，也可以输入类似 1,2,3,7-12 等。
7. 在 To(Value)栏输入新的属性名称。
8. 如果更改后即保存原理图，选择选项 Save after change。请见下图：
9. 点击按钮 Apply，出现 Confirm Request 信息框。
10. 点击按钮 Continue。
11. 最后更改完成，出现 Results 窗口。
12. 如果想要查看 log 文件，选择 View Results Log File。Log 文件位于项目下的 temp 目录中。

13. 点击 OK 按钮。



9.5.2 全局删除元件、管脚和网络属性

进入 Global Modification 对话框，选择 Property Delete 选项卡。
其后的操作与上一节内容类似。

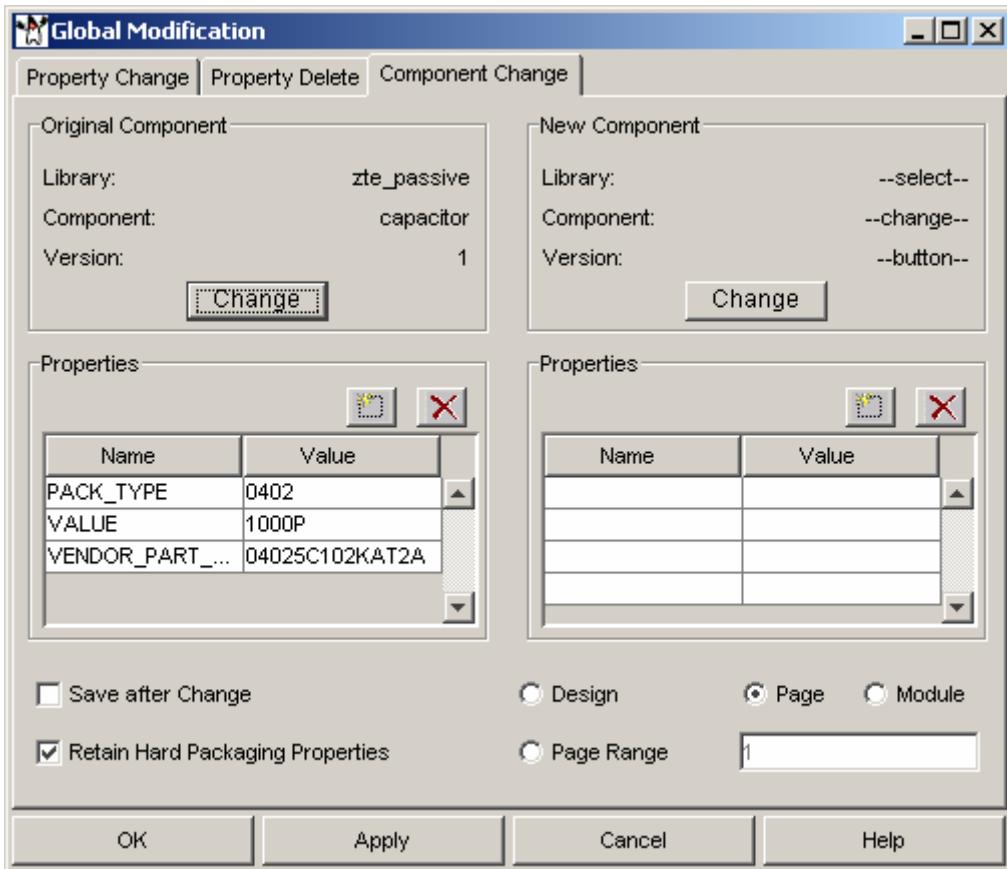
9.5.3 全局替换元件

可以完成全局删除、全局修改、全局替换、全局更新功能，全局替换元件可以从 PPT 文件中选择元件，也可以从设计中选择元件。也可以使用通配符*。

从 PPT 文件中选择元件替换：

14. 进入 Global Modification 对话框，选择 Component Change 选项卡。
15. 点击 Original Component 栏内的按钮 Change，出现 Select Component to Change 对话框。
16. 选择 Browser，从 PPT 中选择文件。
17. 在 Library 下拉列表中选择库名称。
18. 在 Component 下拉列表中选择元件名称。

19. 在 Version 下拉列表中选择版本。确保选择了 Select Physical Component 选项。
20. 点击按钮 OK，弹出 PPT 对话框。
21. 选择想要替换的元件，点击 OK。请见下图：



22. 在 New Component 栏选择 Change，重复上述步骤选择替换的元件。
23. 然后选择 OK 替换元件。

从原理图中选择替换元件

1. 进入 Global Modification 对话框，选择 Component Change 选项卡。
2. 点击 Original Component 栏内的按钮 Change，出现 Select Component to Change 对话框。
3. 选择 Schematic Pick，选择 Get Annotated Part Table Properties.
4. 选择 Advanced，出现 Original Component Options 对话框。
5. 选择 Selected Version。
6. 点击按钮 OK。
7. 出现提示，点击按钮确定。
8. 点击选择原理图上的元件，出现 PPT 对话框。
9. 选择元件并点击 OK，则元件属性显示在窗口中。
10. 在 New Component 栏中选择按钮 Change。
11. 其他操作与上述操作类似。

9.5.4 批处理操作

在命令窗口可以执行批处理命令 _globalBatch。

9.6 元件管理

Part Manager 提供了方便的查看 part table file 的方法。

9.6.1 The Part Manager Use Model

显示设计中所有的元件名称、属性和元件状态。可以完成下列任务：

- 检查设计中使用的元件状态。
- 高亮元件，如果想要检查原理图中的元件与库中的元件的冲突的时候很有用。
- 更新一个或者多个元件。

9.6.2 Part Manager 用户界面

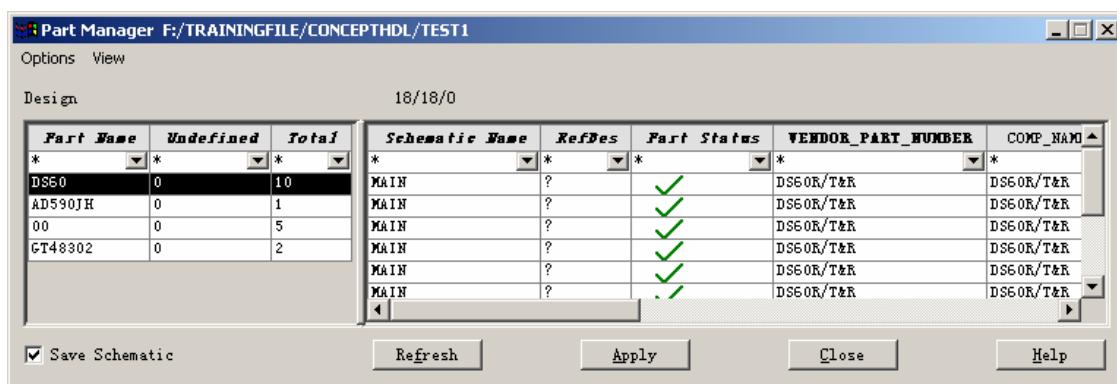
启动 Part Manager

在 Project Manager 工具中，选择 Tools->Part Manager。

在 Design Entry HDL 工具中，选择 Tools->Part Manager。

在 Design Entry HDL 工具中的命令窗口中输入 partmgr。

请见下图用户界面：



元件管理器界面有两个窗口：左边窗口列出设计中使用的元件名称、数量和与 ptf 表不同步的元件，也显示出元件总数和 undefined 的元件数，可以得出 defined 元件数量。右边的窗口显示出详细的元件信息包括 key 属性、injected 属性和元件状态。前三列标题是斜黑体的，所有的元件都包含此三列，逻辑元件仅包含前三列的内容。除此之外还包含 ptf 表中 key 和 injected 属性，key 属性标题是黑体的。

图示	元件状态	描述
✓	匹配	元件以逻辑模式加入。

	匹配	元件与 PFT 文件匹配，元件以物理模式加入。
	INJECTED 不匹配	元件以逻辑模式加入，打包时会有警告。
	INJECTED 不匹配	元件的 key 属性是匹配的，但是有 injected 属性是不匹配的，打包时没有警告。
	不匹配	元件与 PTF 表内容不匹配。

通过使用 Filter 可以选择显示指定的元件。Part Manager 窗口每一列都支持通配符过滤，也可以在下拉列表中选择。

在上图中还有一个 Save Schematic 选项，如果没选择此选项，则变更会传递给原理图，但是不会保存。如果保存原理图，将会看到更新的值。

9.6.3 Working with Part Manager

Part Manager 提供用 ptf 表中的内容更新原理图中元件的内容，可以同时更新多个元件，此外也可以高亮原理图中的元件，也可以提供显示和隐藏所有元件规范的路径。

9.6.3.1 更新元件

为了解决原理图中元件与库中元件的不匹配问题，需要更新元件，更新方法请见下文：

- 在 Part Manager 右边窗格中右键点击不匹配的元件。
- 在弹出的菜单上，点击 Update Instance(s)，也可以使用 Options 菜单实现此操作。

弹出 Physical Part Filter 对话框，选择合适的行，点击 OK。确保选择了 Save Schematic，否则不能更新原理图。

9.6.3.2 将变更传递给原理图

仅仅更新元件并不能更新原理图，可以采用下列方法更新原理图：

- 选择要更新的行，然后点击按钮 Apply。
- 从 Option 菜单选择按钮 Apply。也可以使用 Update and Apply Changes 命令一起执行。

注意如果选择的元件正是重用模块中的，Part manager 将显示一个警告：This component will be replaced in all the instances of the reuse block. Do you want to continue?，选择 Yes 就会更新模块中的元件，选择 No 就会退出更新进程。

9.6.3.3 恢复变更

如果你更新了元件，但是还没有应用这个变更，可以回复为原来的原理图。执行 Reset Selection 和 Reset All 命令可以帮助你实现。方法如下：

- 在 Part Manager 右边窗格中右键点击需要恢复的元件。在弹出的菜单上，点击 Reset Selection。
- 也可以使用 Options 菜单实现此操作。选择需要恢复的元件，然后选择命令 Reset All 或者 Reset Selection。

9.6.3.4 用一行 PTF 更新多个元件

可以用一行 PTF 同时更新多个或者一种元件的所有调用，而不管元件的分别的状态。操作

如下：

右键点击某一行，在弹出的菜单上选择 Select All，类似的也可以从 Option 菜单上选择 Select All 命令。

再按右键，选择命令 Update and Apply。所有的元件都会由 PTF 表中同一行替换。

注意：Updated Instance(s)和 Update and Apply 命令也读 Occurrence 属性文件 OPF。如果有 OPF 文件会覆盖原理图属性值，在这种情况下，Part manager 显示 OPF 值。为了从其他属性中区分出 OPF 属性，来自 OPF 的属性值都是黑体的。Part manager 仅读 OPF 值，不写入文件，需要手工更新这些属性，以免发生错误。

9.6.3.5 刷新 Part manager 的内容

在设计中可以重新启动 Part manager 来校验是否元件已经被更新了，刷新也可以在同步 Part manager 和 Design Entry HDL 时提供帮助，以免在 Design Entry HDL 中有任何改变。

在 Part manager 中点击 Refresh 按钮来刷新。

注意：如果在 Design Entry HDL 中做了改变而没有保存原理图，Part manager 会提醒保存原理图。如果保存了原理图，会提醒你更新 Part manager。如果你没有应用改变到原理图中而关闭 Part manager，Part manager 会提醒你应用改变到原理图中。

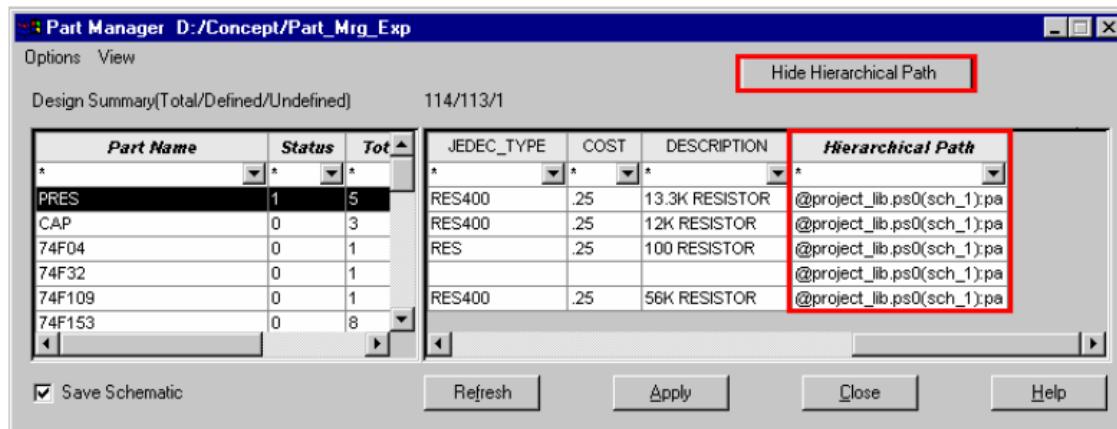
9.6.3.6 高亮原理图中的元件

选择某一个元件行，按右键在弹出的菜单上选择 Highlight Instance。也可以直接选择菜单命令 Options->Highlight Instance。

9.6.3.7 显示规范的路径

在原理图中定位元件的另外一个方法是使用规范的路径。在 Part manager 窗口，可以显示所有元件的完整的层次路径：

1. 右键点击弹出窗口上面边框的地方，出现“Show Hierarchical Path”菜单。
2. 在弹出的菜单选择 Show Hierarchical Path，也可以选择菜单命令 View->Show Hierarchical Path。
3. 注意执行上述命令之后，再右键点击窗口，则出现 Hide Hierarchical Path。请见下图。



9.7 运行 Scripts (脚本)

可以创建一个文本文件，包含一系列 Design Entry HDL 命令，以批处理模式运行。脚本也可以调用其他脚本，并且可以是交互的。

在脚本中：

- pause: 是临时中断 Design Entry HDL 编辑器，直到按下一个键。
- echo: 在命令窗口中显示脚本文件信息。
- 可以在脚本中指定 X-Y 坐标。
- 在脚本中使用\$ENV_VARIABLE 语法来使用环境变量。比如你正在维护的脚本文件都在/net/foo/script_home 路径中，你想启动一个名为 check.scr 的脚本文件，可以设置环境变量\$SCRIPT_HOME=/net/foo/script_home，并在脚本文件中使用下面的命令：script (\$SCRIPT_HOME)/check.scr
- 可以包含用户输入的记号以允许在操作中脚本请求用户输入。

使用 Ctrl+C 来停止一个脚本。

9.7.1 用户输入记号

用户输入的记号一定要放在一行的开始，有两个记号：

- \$< 当 Design Entry HDL 在脚本中遇到这个记号，将会在提醒下打印记号后面到行末的文字，然后等待输入，这个输入可以是打一行字，可以是按功能键，点击鼠标或者是 Ctrl+C 操作。在用户输入请求响应时不能按 Enter。
- \$; 此记号也是打印记号后面到行末的文字，然后等待输入，但是此记号接受和中断输入直到输入分号;如果此记号被包括了，Design Entry HDL 跟随着提示信息 Type; when done with user input.

9.7.2 运行脚本

可以用下面四种方法运行脚本：

9.7.2.1 从 Tools 菜单运行脚本

选择 Tools->Run Script 命令，然后找到此脚本文件，然后运行并高亮文件名，再点击 Open。

9.7.2.2 每次打开一个项目，在 Design Entry HDL 运行脚本

如果想要在打开项目文件时就自动运行脚本文件，执行下列命令：

选择 Tools->Options，出现对话框 Tools->Options，选择 Paths 标签，在 Input Script 栏点击 Browse，选择脚本文件。

如果想要每次运行超过一个脚本文件，在 Design Entry HDL 打开一个项目，创建一个主脚本文件并且列出要运行的脚本文件顺序，在 Input Script 栏，指定主脚本文件的名称。比如想要运行一个脚本文件名为 check.scr，然后运行名为 zoom.scr 的脚本文件，按照如下方法做：

1. 创建一个名为 master.scr 的脚本文件:
script check.scr
script zoom.scr
2. 选择 Tools->Options, 出现对话框 Tools->Options。
3. 选择 Paths 标签, 在 Input Script 栏点击 Browse, 然后选择脚本文件 master.scr。

9.7.2.3 从 Design Entry HDL 命令窗口运行脚本

使用 script <文件名>命令。

可以指定脚本文件路径或者使用环境变量指定脚本路径。具体见 10.3 的说明。

9.7.2.4 从 Windows 命令窗口运行脚本

使用命令:

```
nconcepthdl -proj <project_name>.cpm -scr <script_file_name>
```

9.7.3 采样脚本

下面有几个简单的脚本文件举例:

- 添加 04 元件，并放置元件
add 04
\$< 放置 04
- 按照指定的顺序运行多个脚本文件
script /net/foo/scripts/set_options.scr
script /net/foo/scripts/check.scr
script /net/foo/scripts/zoom.scr
- 给元件添加 SIZE 属性
property
\$< 选择需要添加 SIZE 属性的元件
size =
\$< 在图中放置属性
\$< 输入 SIZE 的大小，然后回车
- 旋转一个元件，直到用户输入一个;
rotate
\$; 旋转对象直到合适的方向

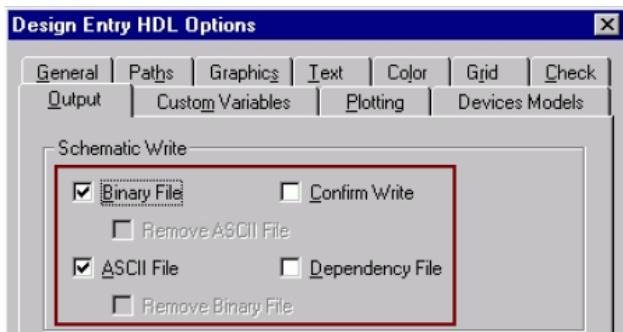
9.8 页管理操作

页管理操作只能应用与当前打开的模块。

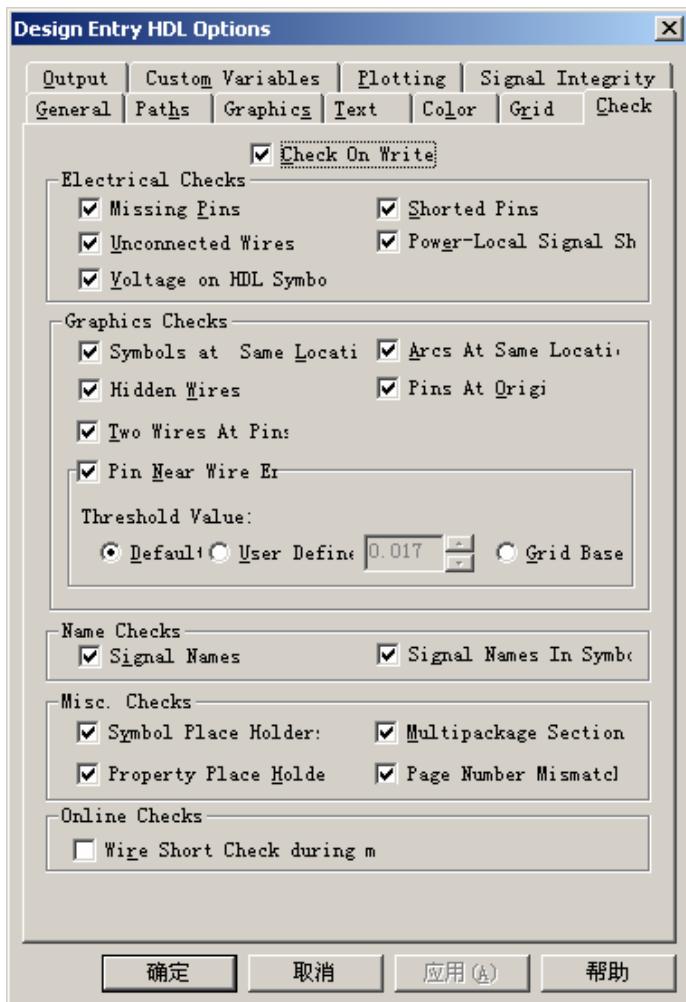
9.8.1 进行页操作的注意事项

在进行页管理操作之前，一定要记住以下几点：

- 在原理图中执行页操作，原理图中要有.csa 或者.csb 文件。
必须原理图中的所有页都要有.csa 和.csb 文件，才能进行页管理操作，否则会报错。在 Design Entry HDL 界面的 Tools->Options 的 Output 选择 Binary File 和 ASCII File 选项，可以避免报错。请见下图：



- 运行 Hier_Write 命令
如果从其他设计导入或者拷贝页时，一定要运行 Hier_Write 命令，并且要确保在 Design Entry HDL 选项中选择 Binary File 和 ASCII File 选项。早期版本也要运行此命令。
- 检查页码不匹配选项
一定要确保在 Design Entry HDL 选项中选择 Page Number Mismatch 选项。保存原理图时，Design Entry HDL 会报告和修改 PAGE_NUMBER 指示冲突。



- 在运行页管理操作之前保存受影响的页
如果某页修改而没保存会中断页操作，因此在进行页操作之前要保存警告修改的受影响的页。
- 不能对 read-only 的设计进行页操作，否则会报错并中断操作。
- 不能对锁住的页进行操作
如果某页有.lck 文件存在，对此页和其他受影响的页不能运行任何页管理操作。
比如如果第 5 页锁住了，而你删除了第 4 页，则会报错。

9.8.2 进行页管理操作

- 插入页

在原理图中可以插入单页或者多页，后边的页会重新排号，不用手工修改。

在当前位置插入单页：File > Edit/Page Symbol > Insert Page

插入多页：File > Edit/Page Symbol > Insert (n) Pages，会提示插入的页数和位置。

在两页间插入间隙：选择 File > Edit/Page Symbol > Insert (n) Pages 命令，输入插

入的页数和页码位置，然后不选择 Save Inserted Pages 选项。页码就不会不连续，有间隔。

- **删除页**

可以删除已经有的页和空页，后面的页会跟着中间没有间隙。

删除当前页：File > Edit/Page Symbol > Delete Page

删除多页：File > Edit/Page Symbol > Delete (n) Pages

- **移走页间隔**

移走页间隔：File > Edit/Page Symbol > Delete (n) Pages

- **压缩页**

可以移走所有的页间隔 File > Edit/Page Symbol > Compress Pages

- **移动页**

在一个已经存在的页之前移动页：File > Edit/Page Symbol > Move Pages

移动多页超出当前页的范围：File > Edit/Page Symbol > Move Pages 在 Page 栏输入超过当前页的数字。

9.8.3 显示和修改原理图页码

在 Design Entry HDL 中允许使用页码定制文本变量，可以修改页码的显示方式，也可以重新给设计编页码。

9.8.3.1 显示原理图页码

Cadence 推荐给原理图页加定制文本变量页码。有以下几个变量允许你在原理图页显示页码：

- CON_PAGE_NUM
- CON_TOTAL_PAGES
- CURRENT_DESIGN_SHEET
- TOTAL_DESIGN_SHEETS

可以通过给设计添加 CON_PAGE_NUM 和 CON_PARENT_CNAME 变量来在 PCB 编辑器中快速放置页码。

CON_PAGE_NUM 和 CON_TOTAL_PAGES 定制文本变量

比如根设计 A 有 3 页，子设计 B 有 4 页，那么根设计 A 的 CON_PAGE_NUM 第 1 页就是 1，最后一页就是 3。而子设计 B 的第 1 页也是 1，最后一页是 4。意思就是 CON_PAGE_NUM 这个变量是不会考虑设计中的所有层次的。

CON_TOTAL_PAGES 对于根设计 A 就是 3，对于子设计 B 就是 4，也不会考虑设计中的所有层次。CON_TOTAL_PAGES 会考虑最高的页数，比如设计的页码是 1, 2, 3, 6，那么 CON_TOTAL_PAGES 就是 6。

CURRENT_DESIGN_SHEET 和 TOTAL_DESIGN_SHEETS 定制文本变量

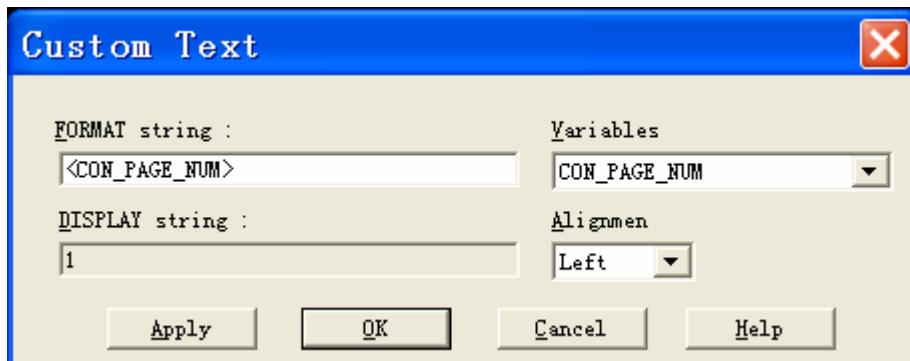
这两个变量可以显示层次设计中的页码信息。比如根设计 A 有 3 页，子设计 B 有 4 页。那么 CURRENT_DESIGN_SHEET 变量对于根设计 A 的第 1 页是 1，最后一页是 3。对于子设计 B 就是从第 4 页到第 7 页。TOTAL_DESIGN_SHEETS 就是 7，这个变量考虑层次设计中的实际

的页数，即使是可能最高页数超出的实际的页数。

给页码加定制文本变量

前面章节已经说明过，选择 Text->Custom Text，在下拉列表中选择相应的变量。比如 FORMAT string: 为 Page <CURRENT_DESIGN_SHEET> of <TOTAL_DESIGN_SHEETS>。

如下图所示：



9.8.3.2 修改定制的页码文本

选择 Text->Change 命令，然后点击变量，即可进行修改。

注意：页码都是整数，不能改为 I, i, a 等等。

9.8.3.3 更新页码定制变量

CON_PAGE_NUM 和 CON_TOTAL_PAGES 变量是自动更新的，而需要更新 CURRENT_DESIGN_SHEET 和 TOTAL_DESIGN_SHEETS。下面几个情况需要更新原理图页：

- 增加或者删除页或者模块。
- 一般 CURRENT_DESIGN_SHEET 应该显示的是页码，如果不是就需要更新。
- 使用页操作命令重新进行页排序，需要更新。

注意：进行模块排序、交叉标注或者打印设计，定制变量会自动更新。

使用命令 Text->Update Sheet Variables 更新定制的变量。也可以使用 updatesheetvars 命令来更新页码的定制变量。

9.8.3.4 管理原理图页码

在多页设计中，可能设计中的页是不连续的，可能想移走一些页使得页连续，也可能想要在中间增加一页，需要使用页管理命令来完成。

物理页

物理页就是在 Design Entry HDL 标题栏显示的页码。比如 CLOCK.SCH.1.4，CLOCK 就是设计名称，1 是版本号，4 是原理图物理页号。当重新给原理图页排序时会更改物理页。

逻辑页

在新创建一个原理图页时，物理页和逻辑页是一样的。Design Entry HDL 使用命令 set page_number Pn 给原理图指定逻辑页，逻辑页是原理图的原始的页号。如果对原理图页重新编号，仅仅物理页改变而逻辑页不会改变。比如查找某个元件在第 2 页上，但是之后交换了第 2 页和第 3 页，重新查找此元件，还是显示在第 2 页上，而点击此条，会自动找到第 3 页。

9.8.4 重新编号页

如果要对页重新编号，首先使用 hier_write 命令保存设计。在 page*文件中加指令 set page_number Pn，数字 Pn 就是逻辑页码，就是为了追踪原理图页的原始页码。如果对页重新编号但是没修改原理图，就不需要保存设计。

页管理命令：

- _PAGEInsert
`_PAGEInsert <Number_of_pages> <Location> [-nosave] [-noconfirm]`
 Number_of_pages 插入页的数量。
 Location 插入页的位置
 -nosave 新插入的页不要保存，这个参数用于创建页间隔。
 -noconfirm 执行此命令之前不提醒你确认信息。
- _PAGEDelete
`_PAGEDelete <List_of_Pages> [-retain] [-noconfirm]`
- _PAGECompress
`_PAGECompress`
- _PAGEMove
`_PAGEMove <List_of_Pages> <Before_Page> [-noconfirm]`
- page move
`page move <@lib.cell(view)> X Y`
- page swap
`page swap <@lib.cell(view)> X Y`
- page delete
`page delete <@lib.cell(view)> X`
- page reset
`page reset X`
- page forcedreset
`page forcedreset X`

9.9 原理图的页拷贝-在不同的 project 下实现原理图拷贝

Cadence PSD 的工程采用 Library/Cell/View 的层次结构存放，类似于原理图库。设计(cell)存放于工作库，原理图则存放于设计的视图(View)下。为保证数据的完整性，严禁在 Windwos 资源管理器中进行原理图页复制。原理图复制包含不同工程间的复制和同一工程内部的复制。下面只介绍不同工程间的复制：

例子：拷贝 F:\VXI\worklib\rclk\sch_1 的 page4 到 F:\CPCI\worklib\lvds\sch_1 的 page4。工程 VXI 为源工程，rclk 属于该工程的一个单板。CPCI 为目标工程，lvds 属于该工程的一个单板。

1. 用文本编辑器打开目标工程 CPCI 的库索引文件 cds.lib。
2. 在目标工程 cds.lib 中增加源工程工作库 worklib 的库索引语句：

```
DEFINE vxi_lib F:\VXI\worklib
```

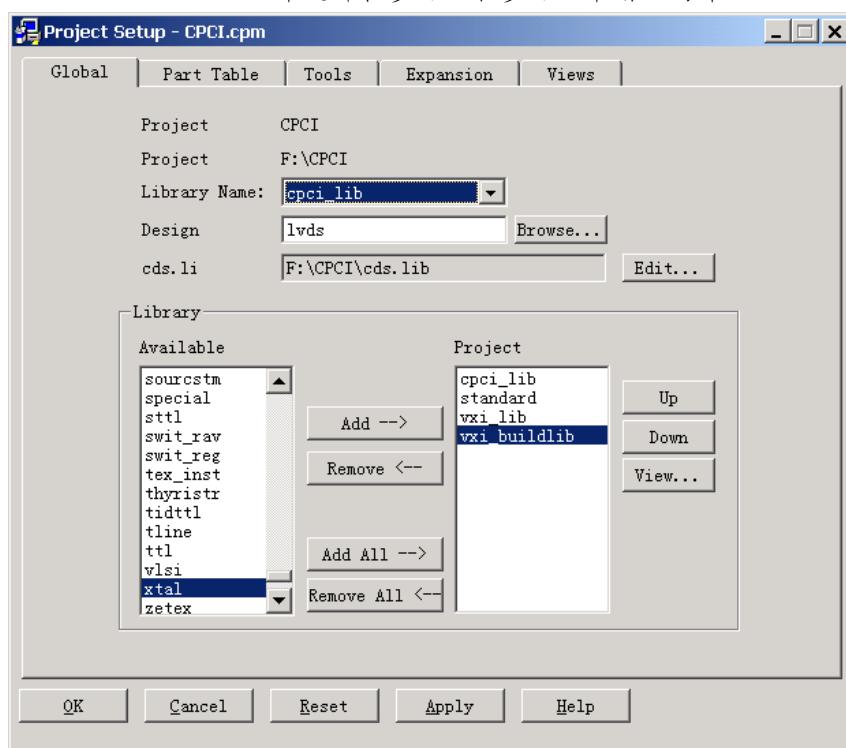
说明: vxi_lib 现在即代表源工程的工作库。

3. 确保目标工程 cds.lib 包含了源工程的其它库的库索引语句。如果没有, 就要加上。例如:

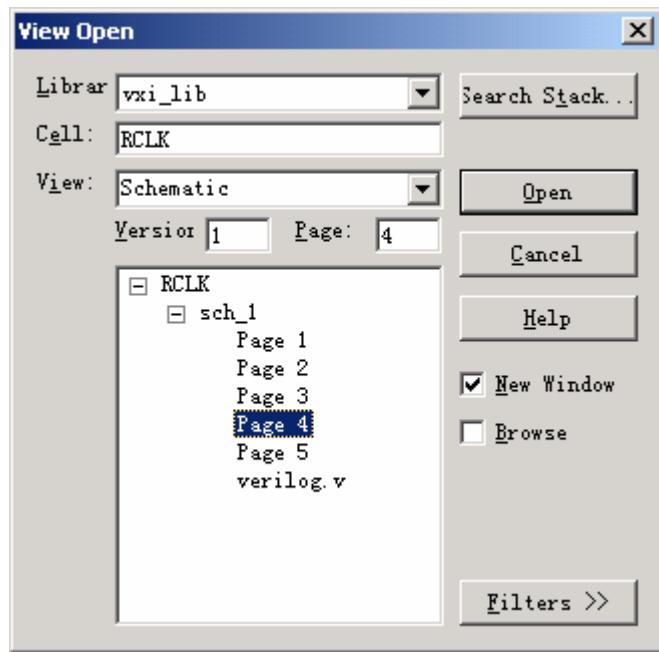
```
DEFINE vxi_buildlib F:\VXI\vxi_buildlib
```

说明: vxi_buildlib 现在即代表源工程的临时原理图库。

4. 保存目标工程的 cds.lib。
5. 打开目标工程。
6. 在项目管理器中选择 Tools->Setup。弹出 Project Setup 对话窗口。
7. 选择 Global tab。
8. 在 Available Libraries list 中选择在步骤 2 和步骤 3 中增加的库。

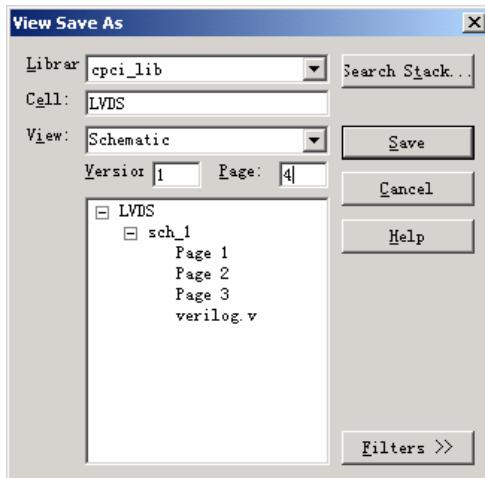


9. 点击 OK。
10. 在 project Manager 中选择 Tools->Design Entry HDL 启动 Design Entry HDL。
11. 执行 File->Open。
12. 从 Library drop-down list 中选择 RCLK\sch_1\Page 4。



13.

14. 点击 Open。
15. Design Entry HDL 中显示该页原理图。Design Entry HDL 标题显示 RCLK.SCH.1.4。
16. 执行 File > Save As。
17. 显示 Save As 对话框。
18. 从 Library drop-down list 中选择 LVDS\sch_1\Page 4, 点击 save。



19. 说明：点击 save 后，Design Entry HDL 标题显示 LVDS.SCH.1.10。这表明已经把源工程的原理图 F:\VXI\worklib\rclk\sch_1 的 page4 存到 F:\CPCI\worklib\lvds\sch_1 的 page 4。

10 交叉标注 (Cross Reference)

10.1 信号的页区位置交叉标注 (Cross Reference) 的作用

目前由于板级设计原理图页面往往超过 10 页，一个信号横跨多页，给阅读图纸造成很大的不便，所以需要标注信号在多页面中的页区位置，Design Entry HDL 可以自动进行信号页面位置标注。

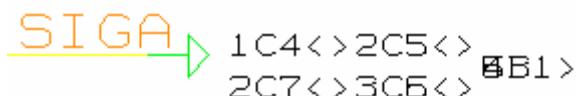
10.2 交叉标注需注意的几点：

- 必须加上图框。否则无法标注。
- 缺省情况下，对于未加上出页符 (OFFPAGE) 的信号线是不标注，所以需要进行选项设置，在标注内容选项中选中“Cref Signals Not Connected to Flag Bodies”。
- 如果绘制原理图上未考虑留有足够的标注空间，会导致运行时间过长，可在绘制原理图时，考虑间隔大些。
- 如果电源管脚是显性的，当在标注内容选项中选中“Cref Signals Not Connected to FlagBodies”后会对电源信号进行标注，因而建议对逻辑信号加上出页符，或对电源管脚采用隐性绘制方式（如我们库中的 POWER_GROUP=POWER_NAME=%POWER_NAME）。

10.3 信号的交叉标注 (Cross Reference) 的方法

将 cref.dat 文件拷贝到 Cadence 安装目录\SHARE\CDSSETUP\CREFERHDL 目录下替换同名文件。

对于使用了出页符号或出模块符号的出页信号的交叉标注方法：当原理图绘制完毕并经规则检查无错误后，存盘并且 Export Physical 之后，在 Project Manager 中，Tools --> CRefer --> Options (设置) --> Run。标注结果如下图示：



图中对原理图中的出页信号加了出页符号，并交叉标注出信号的页区位置，其中：1C4<> 表示本页的信号 SIGA 输出至第一页 C4 区，该信号所接的器件管脚属性为双向。

出页符号使用 OFFPG，（或用 STANDARD 库中的 OFFPAGE，每次安装 CADENCE 后都应该用 OFFPG 的 SYM 覆盖 OFFPAGE 的 SYM。）出页符号的六个 Version 见图 8，分别为输入、输出、双向。



出页符号 OFFPG 设置了五个交叉标注的位置，当交叉标注超过 5 个时，超过的部分将重叠在第五个的位置上，见下图。当图面位置允许时，建议设计者将其手工调整。



10.4 层次设计中出模块信号的交叉标注

层次设计中出模块信号的交叉标注要求，同出页信号的交叉标注。使用的符号为：IOPORT（双向信号），IMPORT（输入信号），OUTPORT（输出信号），符号见图 10。



10.5 出页信号的交叉标注的要求

各个产品事业部可以根据情况，针对各个单板的特点，采用以下三种出页信号的交叉标注的要求：

- 对图中所有的出页信号都要求采用交叉标注。
- 对图中部分主要的出页信号要求采用交叉标注。主要适用于大的背板。

不要求对图中的出页信号采用交叉标注。

11 生成网表

Design Entry HDL 可以创建网表用于：

- 打包设计
- 数字仿真
- 可编程 IC 仿真
- 模拟混合信号仿真

Design Entry HDL 生成网表时，做以下操作：

- 检查图的 Verilog 和 VHDL 兼容性。
- 检查端口、端口模式和类型。
- 检查元件。

11.1 用于打包设计

在保存设计时 Design Entry HDL 生成 Verilog 网表用于打包设计，可以指定生成网表的选项。

11.1.1 为打包设计指定创建 Verilog 网表的选项

20. 在 Design Entry HDL 中选择 Tools->Options。
21. 选择 Output 选项卡。确认选择了 Create Netlist 选项卡。Verilog 网表是缺省选择的，如果想要生成 VHDL 网表要选择 VHDL 选项。
22. 点击 Verilog 选项后边的 Options 按钮，出现 Verilog Netlist 对话框。
23. 选择 Verbose Output 选项来记录调试信息，保存在项目路径/temp/下面的 hdldir.log 文件。
24. 如果你要用 ncvlog.exe 来分析网表，就选择 Analyze on Save 选项。此选项只有在 Project Setup 对话框中选择了 NC Verilog 仿真器才可以选择。
25. 如果要检查原理图的任何信号名是否为 page<page_number>_<value of PATH property on any instance>，选择 Check Instance vs Signal。如果选择了名称如果一样则报错。
26. 在 Max Errors 栏指定报错的最大数量。
27. 在 Time Scale 栏为原理图 Verilog 模块指定时标。缺省是 1ns/1ns。
28. 为设计中所有网络指定 Verilog 逻辑类型，可以是 WIRE, WAND, WOR，缺省是 WIRE。
29. 为 Verilog 网络类型 Supply 0 指定网络类型。
30. 为 Verilog 网络类型 Supply 1 指定网络类型。
31. 点击按钮 OK 保存设置。
32. 点击按钮 OK。

11.1.2 为打包设计创建 Verilog 网表

在 Design Entry HDL 中选择 File->Save，会在 sch_1 路径创建 verilog.v 网表文件。

注意：如果原理图比较大，保存花费的时间很长，如果不产生网表可以不选择上面所述的 Create Netlist 对话框，在打包时照样会生成 verilog.v 网表文件。

保存时报错文件会保存在项目路径/temp/xxnedtmp/netlister.mkr 文件中。你可以查看错误信息。在 Design Entry HDL 中选择 Tools->Markers，选择 File->Load 打开文件 netlister.mkr 查看。

注意：如果你想要打包有网表错误的设计，在 Project Setup 对话框的 Expansion 栏选择 Continue expansion even if netlisting errors 选项，选择了此选项即使有错误还是会继续打包。

11.2 为仿真生成网表

本节主要说明：

- 为数字仿真生成网表
- 在 Synplifyzhong 为合成一个设计生成网表
- 为模拟和混合信号仿真生成网表

11.2.1 为数字仿真生成网表

Design Entry HDL 数字仿真接口允许为数字仿真创建 Verilog 和 VHDL 网表。可以使用下列仿真器：

- Verilog-XL simulator
- Affirma NC Verilog simulator
- Third-party Verilog simulators
- Leapfrog VHDL simulator
- Affirma NC VHDL simulator
- Third-party VHDL simulators

为数字仿真生成网表指定选项：

1. 启动 Project Manager。选择命令 File->Open，打开项目文件。然后点击 OK。
2. 选择 Tools->Setup，选择 Tools 选项卡，点击 Simulation Setup。
3. 选择要完成数字仿真的仿真器，然后点击 Setup，出现仿真器的设置对话框。
4. 点击 Netlist 选项卡并指定创建网表的选项。

注意：如果是层次设计要选择 Single File Netlist 选项。

具体如何设置各个仿真器的选项，请参考 Allegro Design Entry HDL Digital Simulation User Guide。

如果已经按照上面 1~3 步的方法设置了仿真器类型，也可以按照下面的方法设置仿真器选项：

在 Design Entry HDL 或者 Project Manager 中选择 Tools->Simulate，然后点击 Setup 进行设置。

为数字仿真创建网表:

1. 在 Design Entry HDL 或者 Project Manager 中选择 Tools->Simulate。
2. 点击按钮 Run，出现仿真进程状态显示。点击 Details 查看进程细节。

对于 Verilog-XL, NC Verilog, and third-party Verilog 仿真器，创建的是 verilog 网表 verilog.v 文件。对于 Leapfrog, Affirma NC VHDL, and third-party VHDL 仿真器，创建的是 VHDL 网表 vhdl.vhd 文件。网表文件位于<project_directory>/worklib/<design_name>/sim_sch_1/路径。

如果选择了 Single File Netlist 会产生单个文件<design_name>.v 或者<design_name>.vhd，这些文件位于仿真接口设置的 run 路径中。错误文件 simNetlist.mkr 也保存在 run 路径中，可以通过启动 Markers 对话框来查看 simNetlist.log 文件。

11.3 生成网表用于在 Synplify 中合成设计

可以为合成设计而生成网表指定选项，合成工具来自 Synplicity。

11.3.1 为生成 Verilog 网表指定选项

3. 在 Design Entry HDL 中选择 Tools->Options。
4. 选择 Output 选项卡。确认选择了 Create Netlist 选项卡。Verilog 网表是缺省选择的，如果想要生成 VHDL 网表要选择 VHDL 选项。
5. 点击 Verilog 选项后边的 Options 按钮，出现 Verilog Netlist 对话框。
6. 选择 Verbose Output 选项来记录调试信息，保存在项目路径/temp/下面的 hdldir.log 文件。
7. 如果你要用 ncverilog.exe 来分析网表，就选择 Analyze on Save 选项。此选项只有在 Project Setup 对话框中选择了 NC Verilog 仿真器才可以选择。
8. 如果要检查原理图的任何信号名是否为 page<page_number>_<value of PATH property on any instance>，选择 Check Instance vs Signal。如果选择了名称如果一样则报错。
9. 在 Max Errors 栏指定报错的最大数量。
10. 在 Time Scale 栏为原理图 Verilog 模块指定时标。缺省是 1ns/1ns。
11. 为设计中所有网络指定 Verilog 逻辑类型，可以是 WIRE, WAND, WOR，缺省是 WIRE。
12. 为 Verilog 网络类型 Supply 0 指定网络类型。
13. 为 Verilog 网络类型 Supply 1 指定网络类型。
14. 点击按钮 OK 保存设置。
15. 点击按钮 OK。

11.3.2 为生成 VHDL 网表指定选项

1. 在 Design Entry HDL 中选择 Tools->Options。
2. 选择 Output 选项卡。确认选择了 Create Netlist 选项卡。选择 VHDL 选项。

3. 点击 Verilog 选项后边的 Options 按钮，出现 Verilog Netlist 对话框。
4. 选择 Verbose Output 选项来记录调试信息，保存在项目路径/temp/下面的 hdldir.log 文件。
5. 选择 Strict Entity Check 对话框使能检查属性比如元件的属性和符号的属性，比如 VHDL_MODE 属性。
6. 如果要检查原理图的任何信号名是否为 page<page_number>_<value of PATH property on any instance>，选择 Check Instance vs Signal。如果选择了名称如果一样则报错。
7. 在 Max Errors 栏指定报错的最大数量。
8. 在 Time Scale 栏为原理图 Verilog 模块指定时标。缺省是 1ns/1ns。
9. 为设计中所有向量端口和信号指定 VHDL 逻辑类型，可以是 STD_LOGIC_VECTOR 和 BIT_VECTOR，缺省是 STD_LOGIC_VECTOR。注意：指定的向量类型可以应用于设计中的所有图，可以使用 VHDL_VECTOR_TYPE 属性给单张图纸的 VHDL_DECS 符号指定向量类型。
10. 为设计中的所有标量端口和信号指定 VHDL 逻辑类型，可以指定任何合理的 VHDL 标量类型，比如 STD_LOGIC 和 BIT。缺省的值是 STD_LOGIC。指定的标量类型可以应用于设计中的所有图，可以使用 VHDL_SCALAR_TYPE 属性给单张图纸的 VHDL_DECS 符号指定标量类型。
11. 指定库名称，缺省是 IEEE。
12. 指定 Package 名称。
13. 点击按钮 OK 保存设置。
14. 如果要合成约束就选择 Annotate Synthesis Constraints in Netlist 选项。
15. 点击按钮 OK。

11.3.3 生成网表

在 Design Entry HDL 中，选择 File->Save，查看错误选择 Tools->Markers。

11.4 为模拟和混合仿真生成网表

支持使用 Pspice A/D 仿真器来进行模拟和混合信号的仿真。

创建 Psice 网表：

在 Design Entry HDL 中，选择 Psice->Create Netlist。网表文件保存在 <project_directory>\worklib\<design_name>\cfg_analog\路径中。更多信息请看 Psice A/D User Guide 和 Psice A/D Reference。

11.5 给只读模块生成网表

如果在设计中使用了只读模块，当生成网表时可能会在只读库中写文件，可能会报错。采用以下方法解决：

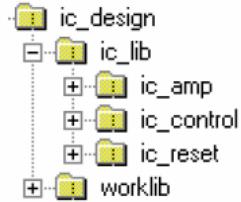
给包含只读模块的单元提供写允许

在 cds.lib 文件中使用 TMP 属性来指定包含库的一个临时路径，举例如下：

ASSIGN <name of library containing read-only block> TMP <name of temp directory>

比如一个库结构如下：里边包含只读模块

Directory Structure of a Project

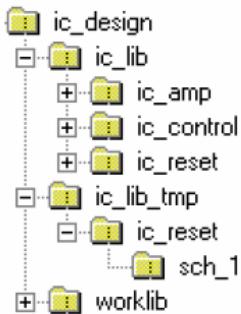


cds.lib 文件可以定义如下：

```
DEFINE ic_lib ./ic_lib
```

```
ASSIGN ic_lib TMP ./ic_lib_tmp
```

生成网表之后路径如下：

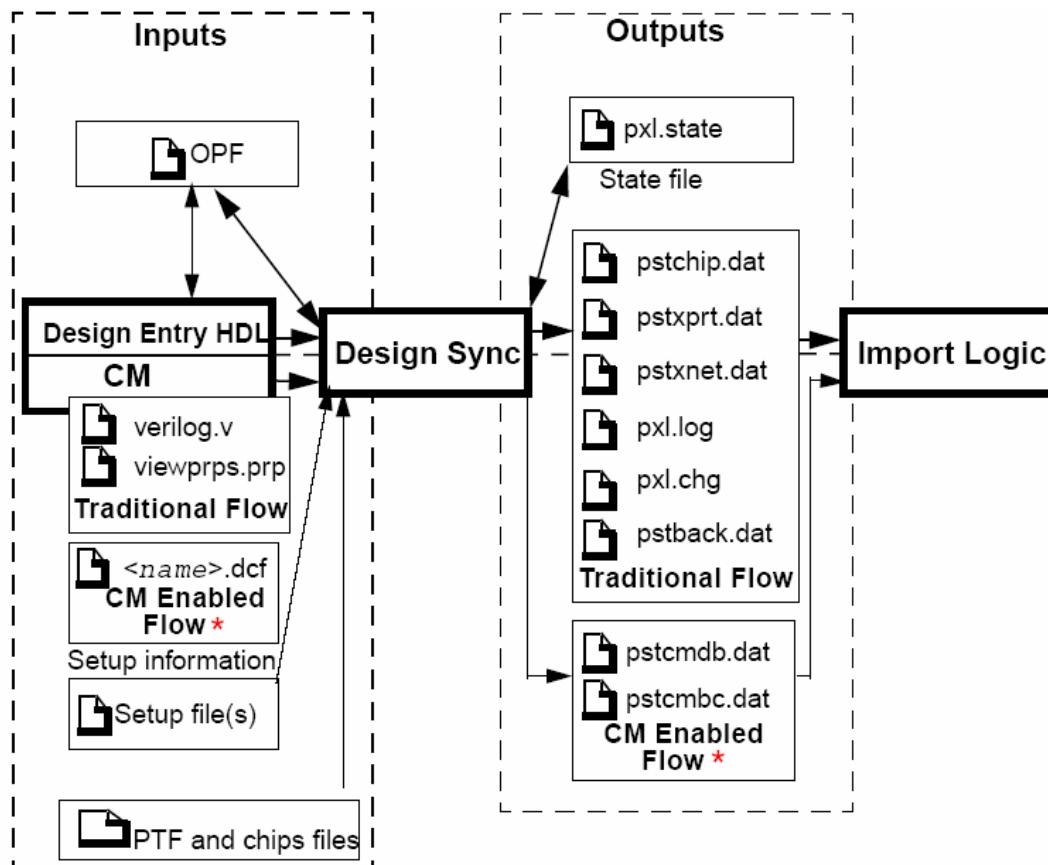


12 打包设计

Packager XL 工具是逻辑设计和物理设计之间的接口，它翻译逻辑设计到物理设计用于布局布线或者反过来更新原理图。有以下两种操作模式：

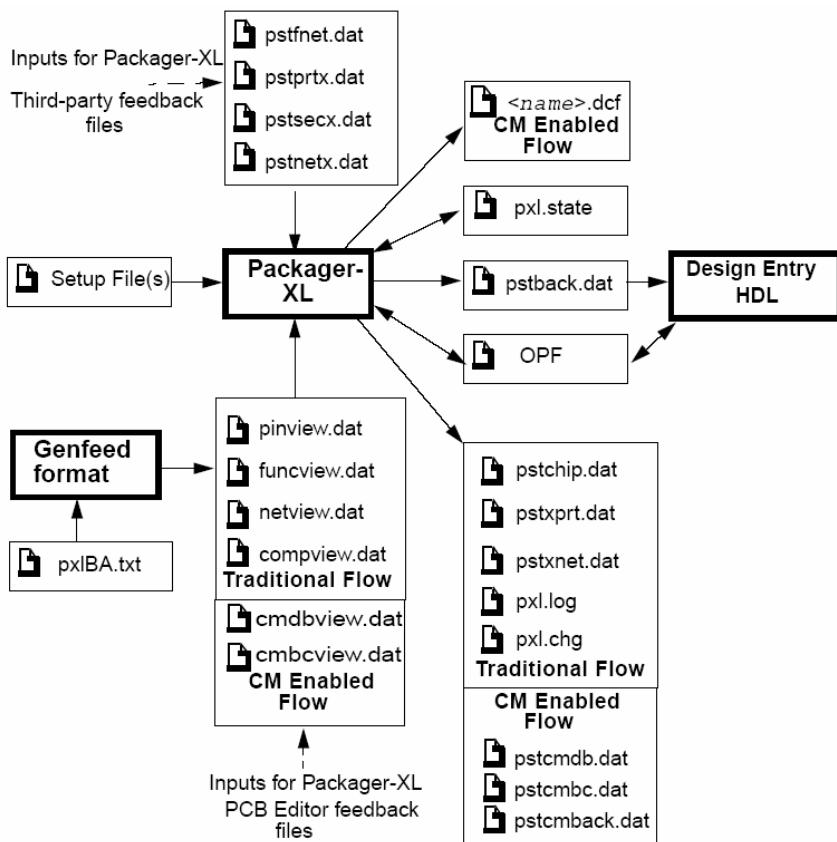
- 前向模式 - 翻译逻辑设计到物理设计中准备布局布线。
- 后向模式 - 接收来自 PCB 编辑器的数据并将变更传递给原理图。

前向模式请见下图：



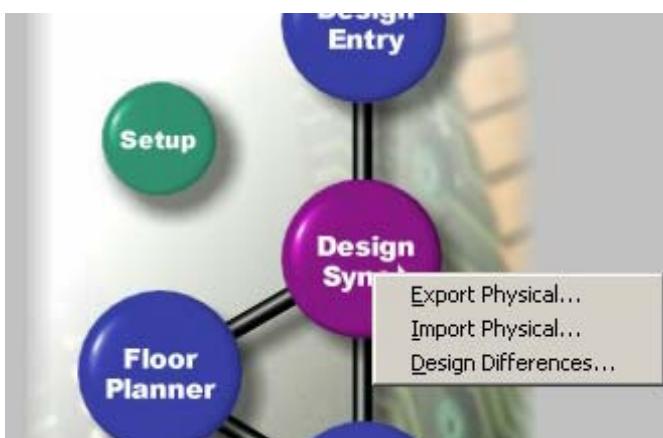
CM Enabled Flow 表示有约束管理器参与的流程，除了包含传统流程中的文件之外，还包含其他附加的文件。

后向模式请见下图：



下图是 Package-XL 在设计流程中的位置：点击 Design Sync 显示三个选项：

- Export Physical
- Import Physical
- Design Differences



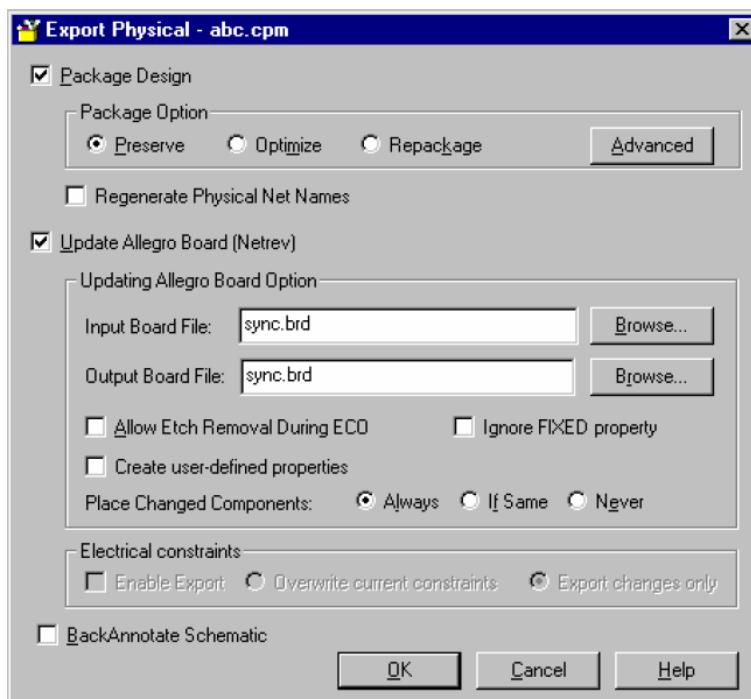
在运行 Package-XL 之前要在 Design Entry HDL 中输入 Package-XL 指定的属性，创建和修改 Package-XL 的设置信息。可以用文本编辑器或者点击项目管理器按钮 Setup，选择 Tools 来设置。

12.1 运行 Package-XL

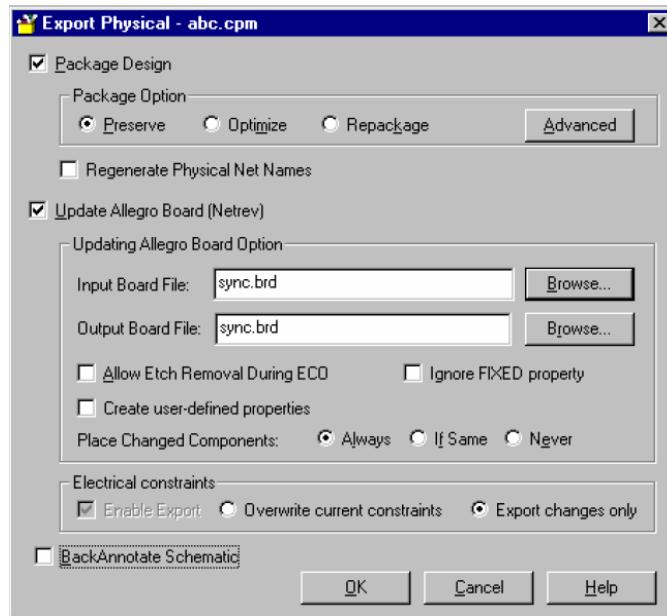
12.1.1 前向模式运行 Package-XL

在设置之后，可以在项目管理器运行 Package-XL。

1. 打开 project，从 Project Manager 中，点击 Design Sync 图标，选择 Export Physical。或者在菜单选择 Tools->Design Sync->Export Physical，也可以在 Design Entry HDL 工具中选择 File-> Export Physical。请见下图，此图是传统流程的显示，没有使用约束管理器。



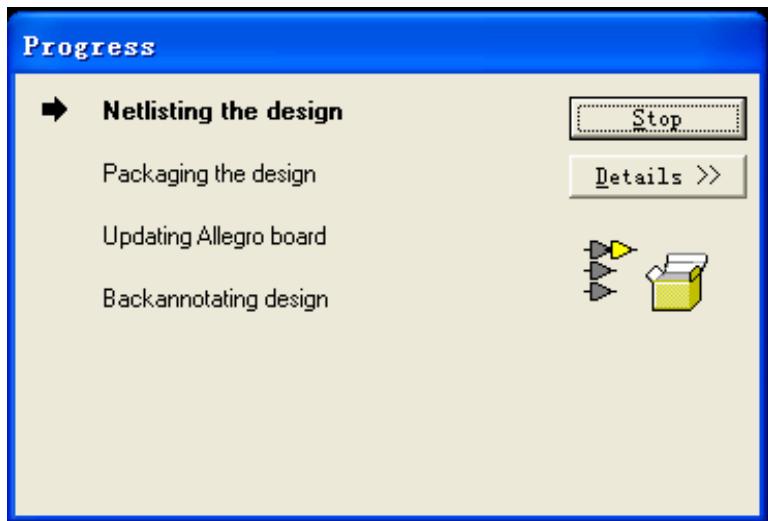
下图是有约束管理器的流程，可以选择约束管理器的选项：



2. 在更新 PCB 数据之前要先打包设计，选择 Package Design 选项，有下面 3 个选项：
 - Perserve – 此选项是缺省选择的，不会改变以前打包的内容。对于改板必须要选择这个选项。
 - Optimize – 重新打包成更紧凑的物理设计。
 - Repackage – 重新打包设计。
3. 如果想要重新生成网络名称，就选择 Regenerate Physical Net Names 选项。
注意：选择此选项有以下用途：
改变了网络长度和没选择 Repackage 选项。
从 PSD13.6 移植设计到 PSD14.0 或者 PSD14.2。
4. 如果想要改变 Package-XL 设置选项，点击按钮 Advanced。具体在后面介绍。
5. 如果更新 PCB，就选择 Update PCB Editor Board(Netrev)选项，并指定输入和输出 PCB 文件名称，可以点击按钮 Browse 选择，也可以直接输入。如果没有输入文件，可以直接指定输出文件。
6. 如果允许 PCB 编辑器删除走线，则选择 Allow Etch Removal During ECO 选项。
7. 如果允许删除固定的元件，则选择 Ignore FIXED Property 选项。
8. 如果需要创建用户定义的属性，选择 Create user-defined properties 选项。这个是 15.1 新增功能，用户属性可以自动在 PCB 中添加和删除原理图中定义的属性。目前使用好像不行。
9. Place Changed Component 有 3 个选项：Always 是缺省选择的，意思是 PCB 编辑器根据位号自动用新元件代替所有的元件。If same 是如果替换的元与封装符号、值、偏差匹配的话 PCB 编辑器自动替换所有的元件。Never 是 PCB 编辑器不会替换任何元件。
10. 在没有约束管理器中介入的流程中，Electrical Constraints 选项是不使能的，不作

任何选择。如果有约束管理器介入，需要选择以下两个选项之一。Overwrite current constraints 会删除当前的 PCB 中的所有约束，完全用原理图中的约束来替换。Export changes only 仅仅输出和更新原理图中修改过的约束给 PCB。

11. 如果想要反标原理图，就选择 Backannotate Schematic 选项。
12. 点击按钮 OK 即可开始打包。请见下图：



12.1.2 反向模式运行 Packager-XL

12.1.2.1 在 PCB 中使用导出逻辑提取反标回原理图的文件

1. 在 PCB Editor 中，选择 File->Export->Logic。请见下图：



如果选择了 Export using Constraint Manager 选项转换成 Constraint Manager 流程，

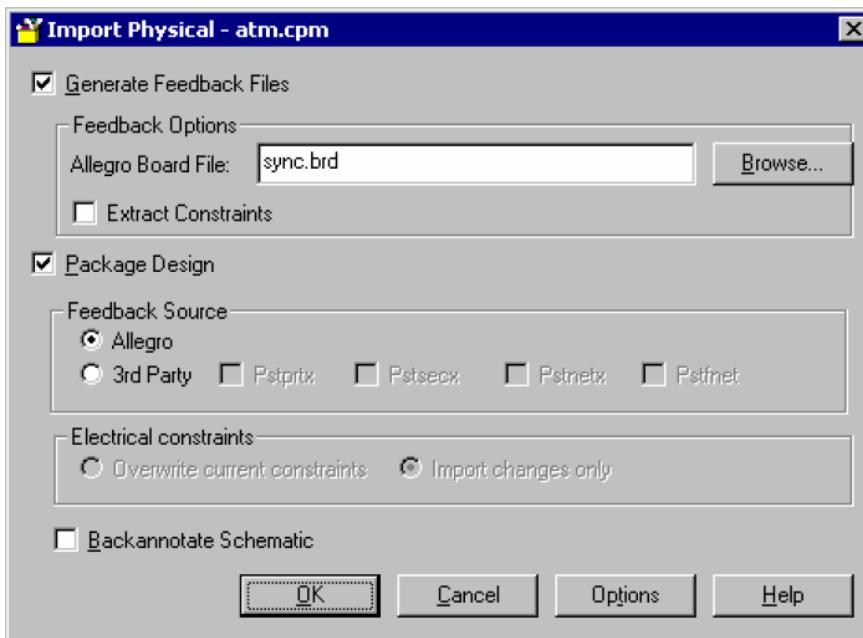
则不能退回传统的流程。

2. 选择 HDL-Design 或者其他选项。
3. 指定输出文件路径。
4. 点击 Export 按钮。

注意如果在原理图编辑器中运行 Import Physical 时选择了 Generate Feedback Files 选项，就不用允许上面的步骤。

12.1.2.2 使用 Import Physical 更新原理图和 PCB

1. 在原理图编辑器中运行 File->Import Physical 来更新原理图。也可以在项目管理器中选择 Tools->Design Sync 命令，在弹出的菜单选择 Import Physical。
2. 选择 Generate Feedback Files 选项。如果在 PCB 编辑器中执行了 File->Export->Logic，就不要选择此选项。
3. 指定 PCB 板名。
4. 如果有约束管理器介入，Extract Constraints 时缺省选择并且不能修改。如果没有约束管理器介入，而选择此选项，会有提示，不能退回传统的流程。
5. 选择相应的约束选项。是全部覆盖，还是只更新 PCB 中修改的。
6. 如果想要所有的变更都反标回原理图，就选择 Backannotate Schematic 选项。要注意在运行反标时，不要有其他人对原理图有写权限，否则反标会不完全。请见下图



7. 点击按钮 OK。

反标文件保存在 packaged 路径中。PCB 中的约束文件提取为文件 pstcmback.dat。

12.2 打包前的准备

本节主要描述控制打包设计的属性，某些 Packager-XL 可能会影响这些属性的行为。

可以指定属性见下：

- 使用 LOCATION 属性和 SECTION 命令指定原理图中元件的参考位号和相应的部分。
- 使用 PINSWAP 命令在元件各个功能组之间交互管脚。
- 使用 GROUP 或者 ROOM 属性生成群组和区域。
- 使用 PACK_IGNORE 和 PACK_SHORT 属性在打包时做特殊的处理。

12.2.1 属性类型

Package_XL 支持的属性类型和属性如下：

- Component definition: 可以给元件加属性定义，但是不能反标回原理图。
 - ALT_SYMBOLS
 - JEDEC_TYPE
 - MERGE_POWER_PIN
 - MERGE_NC_PINS
 - NC_PINS
 - PINCOUNT
 - POWER_GROUP
 - POWER_PINS
- Component instance: 应用于参考位号或者封装，是在原理图中额外附加给元件的属性。下面是举例：
 - Component auto-place priority
 - Power dissipation
- Pin instance: 一般就是 PN 属性，其他的比如时序和功耗的数据。
- Schematic instance: 包含附加给原理图实例的任何属性。
- Net

12.2.1.1 Packager-XL 添加的属性

有两套属性可以反标回原理图：

- Packager-XL 属性 (CDS_LOCATION, CDS_SEC 等等)
- 显示属性 (\$LOCATION 和 \$PN)

可以手工编辑\$LOCATION 和\$PN 的属性值，属性会变成 LOCATION 和 PN，打包时不会覆盖这些值，可以使用 section 命令来改变 SEC 属性。

12.2.1.2 控制属性的指令

可以使用下面的指令来控制 Packager-XL 和 PCB 工具之间的属性流程：

- FILTER_PROPERTY

- PASS_PROPERTY
- REMOVE_FROM_STATE
- STATE_WINS_OVER_DESIGN
- STATE_WINS_OVER_LAYOUT

12.2.2 命名参考位号

缺省如果库中没有指定位号前缀默认是 U，可以定制参考位号。比如：

- 指定起始数字 (U300, U301)
- 增加字母代替数字 (UA, UB)
- 提供特殊的前缀 (包含页码)
- 控制几位数字 (U001 与 U1)

可以使用 REF_DES_PATTERN 来指定定制的格式，不能使用下列分隔符：空格, ‘=’ , ‘:’, ‘;’, ‘,’ , ‘\’, ‘/’, “”, and ‘{’。

12.2.3 打包原理图

Package-XL 以下面的顺序打包原理图：

1. 元件带有 LOCATION 和 SEC 属性
2. 带有 LOCATION 属性
3. 上次打包时已经有了打包信息
4. 指定有 SEC 属性的，如果没有合适的封装，就创建新的
5. 其他

12.2.4 使用原理图属性

属性如下：

- ALT_SYMBOLS – 指定可以交换的封装。
- BODY_NAME
- BOM_IGNORE – 元件属性，如果此属性为 TRUE，就不会在料单中显示。首先给元件添加 BOM_IGNORE=TRUE 属性，然后在出料单时过滤设置 BOM_IGNORE Is Not Equal To，属性值为 TRUE。方法如下：

首先给元件添加 BOM_IGNORE=TRUE 属性。然后保存打包原理图。

选择 Tools -> Packager Utilities ->Bill of Materials，打开 BOM-HDL 对话框。

点击 Customize 按钮。

点击 Physical Part Specifications 选项卡。

点击 Filters 按钮。

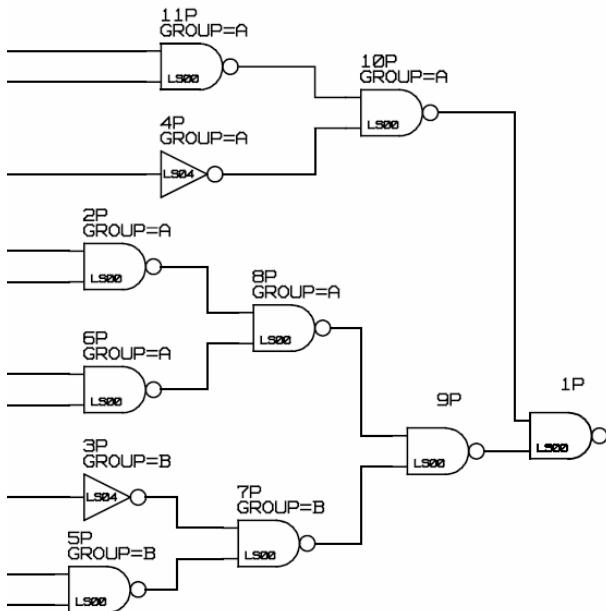
选择属性 BOM_IGNORE，条件是 Is Not Equal To，属性值是 True，点击 As New Filter 按钮。

点击 OK。点击 Save。点击 Close。

确认选择 Apply Filters。

点击按钮 Generate，则有此属性的元件就不会在料单中显示。

- CDS_NOT_ON_SYM
- CLASS
- COMP_NAME
- COMP_NAME_SUFFIX
- FAMILY - 指定元件的逻辑家族，比如 Family='74LSTTL'。
- GROUP - 指定此属性，元件会被打包到一起，比如下图：



打包后的结果：

RefDes	Group	Schematic Instances
U1	B	5P 7P
U2	A	2P 6P 11P 8P
U3	A	10P

对于 1P 和 9P，如果没指定 STRICT_PACKAGE_PROP 属性，则可以打包成 U1 或者 U3，如果指定了 STRICT_PACKAGE_PROP 属性，就不能打包成 U1、U2 和 U3，会创建 U4。

- JEDEC_TYPE - 指定物理封装名称。
- LOCATION - 一般对于有限制的必须指定位号的元件会使用此属性或者给几个实体指定同样的 LOCATION 属性，以便能打包到一起。一般除非必须都使用 GROUP 和 ROOM 属性。
- MAKE_BASE - 一般两个信号有别名的话，使用此属性来声明这个是基本的信号名，在信号名后边加后缀\BASE。
- MERGE_NC_PINS
- MERGE_POWER_PINS

- NC_PINS
- NO_BACKANNOTATE - 如果不想反标某个元件，就可以在原理图中给元件或者模块添加此属性。语法如下：
NO_BACKANNOTATE = property [property property ...]
比如：NO_BACKANNOTATE=LOCATION
NO_BACKANNOTATE = ALL
- OUTPUT_TYPE
- PACK_IGNORE - 打包时定义此属性的元件就忽略了。
- PACK_SHORT - 将元件的管脚短路。语法和举例如下：
PACK_SHORT=(<group1>)(<group2>)[<group3>]
PACK_SHORT=(A1, B1, Y1) (A2, B2), 那么 A1,B1,Y1 短路, A2,B2 短路。
- PACK_TYPE - 选择元件物理封装类型。比如 PACK_TYPE=DIP。
- PART_NAME
- PHYS_DES_PREFIX
- PIN_GROUP - 用此属性指定元件上可以交换的管脚。在 chips.prt 文件中指定。
- PIN_NUMBER
- PN
- POWER_GROUP - 是一个特殊的属性，可以修改 POWER_PINS 属性。语法如下：
POWER_GROUP = supply=newsupply [;supply=newsupply...][(subtype_name)]
- POWER_PINS
- REF_DES_PATTERN
- REUSE_ALT_MODULE
- REUSE_INSTANCE - 当使用模块时指定此属性。如果没有给模块指定此属性而在原理图中调用此模块，Package-XL 使用<reuse_block_name>_<subdesign_suffix> 创建一个唯一的 REUSE_INSTANCE 值。PCB 编辑器使用此属性在多个重用模块的实体间区分它们。可以给模块指定 SUBDESIGN_SUFFIX 属性，给模块中的元件位号添加后缀。如果没指定，Package-XL 为子设计创建一个唯一的数字作为 SUBDESIGN_SUFFIX 属性，从 1 开始，每次增加 1。不像其他的原理图属性，REUSE_INSTANCE 属性定义在最高的模块。
- REUSE_MODULE - 缺省情况下，Package-XL 使用 REUSE_NAME 属性命名模块，可以给模块指定 REUSE_MODULE 属性给模块一个名称。如果一个原理图模块对应几个 PCB 模块，就需要指定此属性名称来选择对应的 PCB 模块。
- ROOM - 使用此属性在 PCB 编辑器中控制元件的放置。Package-XL 会将 ROOM 属性相同的元件打包到一起。如果 GROUP 和 ROOM 加给同样的元件实体，GROUP 优先于 ROOM。
- ROTATE - 表示在原理图中元件旋转了。
- SEC - 使用 SEC 属性手工指定原理图实体对应的物理部分。
- SUBDESIGN_MASTER - 如果顶层设计调用了相同的模块多次，可能要指定其中

一个打开最优先。如果不指定，第一个放的模块就定为 SUBDESIGN_MASTER。

- SUBDESIGN_SUFFIX - 指定子设计中元件位号的后缀。
- SWAP_INFO - 这个属性可以让有同样的 PIN_GROUP 属性的两个管脚交换而不管在逻辑群组中的物理位置。
- VER - 定义原理图中元件的版本。

12.2.5 打包位号设置

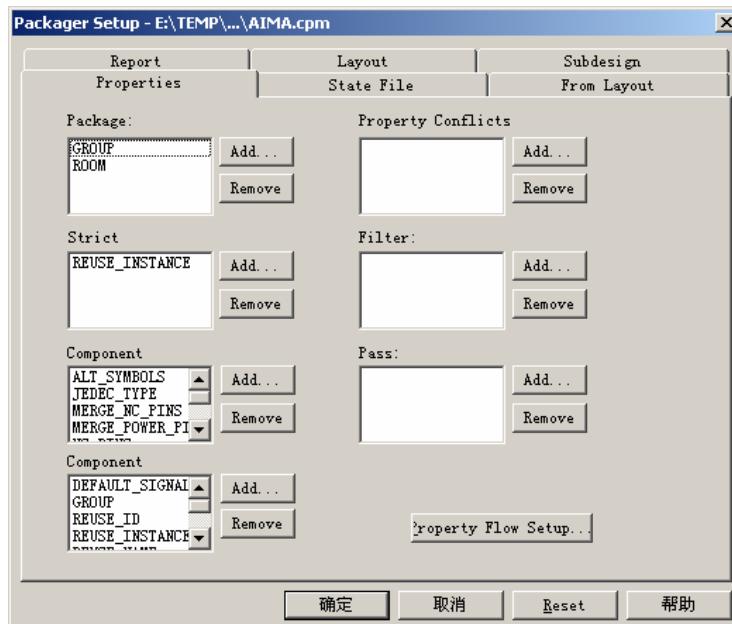
12.2.5.1 元件位号的自动标注

如想进行元件自动标注，建议器件位号采用 Cadence 软件自动分配的 \$Location（位号的软属性），即在放置器件后不要对器件位号进行手工定义，一旦手工修改或者定义器件位号，则系统自动将\$Location 属性变为 Location 属性，自动保护你的修改结果，在打包过程中，Packager 将自动辨认和维护用户指定的 LOCATION 属性，保证用户定义的位号不被修改。反之，如果位号采用\$Location 软属性，当 File->Export Physical 时，选择 BackAnnotate Schematic，则在打包时会自动标注位号。

12.2.5.2 元件位号的自动排序

在原理图 PCB 设计过程中，为了使生成的料单整齐以及在焊接时不易产生人为的错误，通常我们要将分立器件，特别是阻容器件需要按照其值的大小来分配位号，同样大小的值的位号按序号连在一起。在 CADNECE 电原理图工具 Design Entry HDL 中我们可以采用以下方法来让系统自动按值的大小分配位号。

在 Export Physical 的界面上，点击 advanced 按钮，出现如下对话框：



在 properties 对话框中的 package 栏内点击 Add 按钮，输入 VALUE 属性，后点击确定，回

到上一个生成网表的对话框。选择 OK 生成网表，最后再选择 tools->back annotate 命令反标原理图后，大家将得到一个按值的大小来排列位号的原理图。

12.3 创建 BOM（料单）报告

BOM 工具可以创建料单，在出料单之前要先打包。料单格式在料单模板文件 template.bom 中指定，缺省的模板文件在安装路径\tools\fet\interface 中。

在 Project Manager 中选择 Tools->Packager Utilities->Bill of Materials 命令或者在 Design Entry HDL 中执行 Tools->Packager Utilities->Bill OF Materials 命令。中兴要求生成在 STEP2000 可直接调用的料单，除了需要 template.bom 文件还需要 header.txt，将这两个文件下载到本地。Callouts 是包含在料单中的文件，但是并没有显示在原理图中，数据从 bom.callouts 中提取，不是从原理图中提取，比如一些结构件等等。

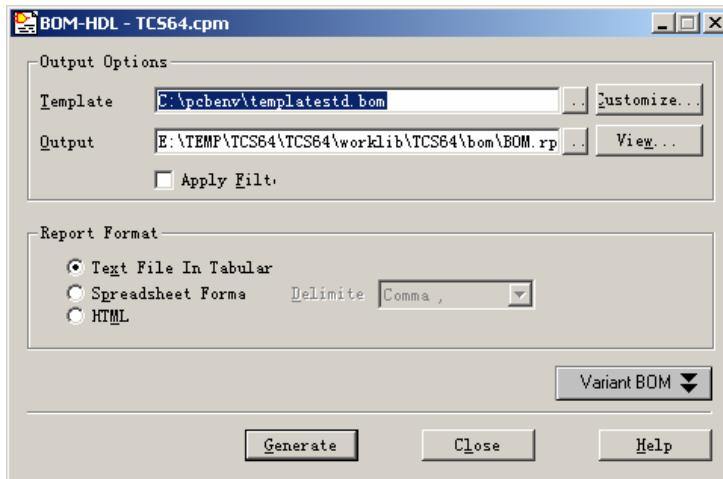
可以生成 3 种格式的料单文件：

- 基本的料单报告
- 有特殊变量的料单报告 - 包含使用特殊变量的元件列表的报告。所有的属性值其中包括 part number 符合选择的特殊变量值
- 以 part number 为基准的比较报告

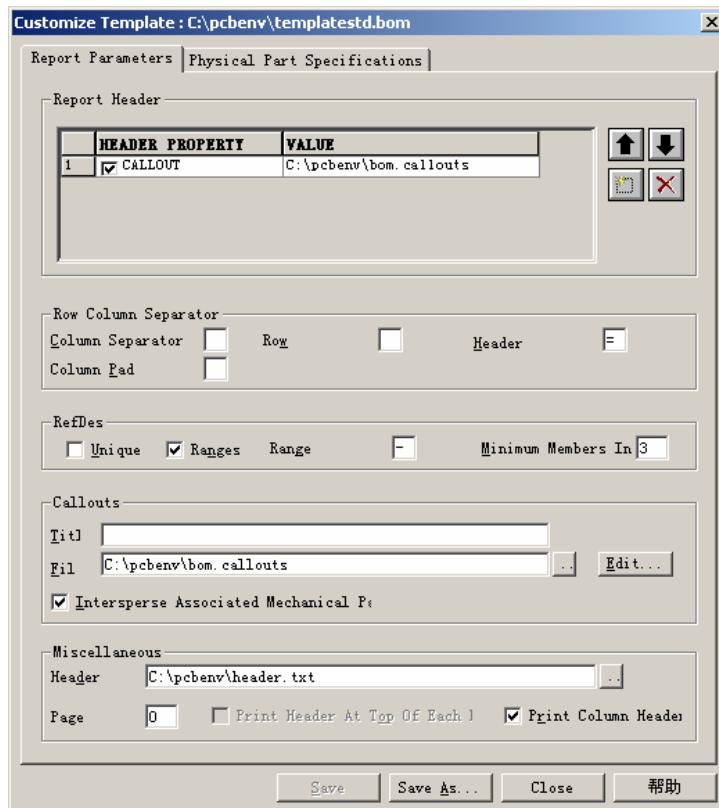
12.3.1 创建一个基本的原理图料单

生成可直接调用的料单步骤如下：

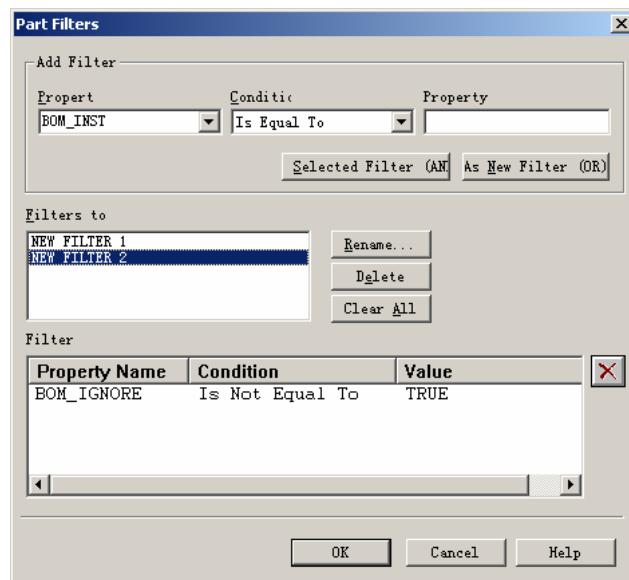
1. 在 Project Manager 中选择 Tools->Packager Utilities->Bill of Materials 命令或者在 Design Entry HDL 中执行 Tools->Packager Utilities->Bill OF Materials 命令。请见下图：



2. 将 Template 指向公司标准的*.BOM 模板文件。
3. 点击按钮 Customize。
4. Callouts file, Miscellaneous header 均指向正确的路径。如下图所示：



5. 如果想要修改定制模板，点击 Physical Part Specifications 选项卡。
6. 修改 Report Columns 栏内容。
7. 点击按钮 Filter，修改过滤内容。请见下图：



8. 过滤掉有 BOM_IGNORE 属性的元件。在 Property 栏输入 BOM_IGNORE，在 Condition 栏下列列表选择 Is Not Equal To，在 Value 栏输入 True。

9. 点击按钮 As New Filter(OR)。
10. 设置完成，点击按钮 OK。
11. 设置完成点击按钮 Save。
12. 然后点击按钮 Close。
13. 如果想要改变输入文件的位置，修改 Output 文件路径。
14. 点击按钮 Generate，生成料单。

请注意：因为原理图没有包含辅料，所以还要对生成的料单进行一些必要的编辑，包括料单代码，特殊工艺，辅料添加到最后几行，文本格式如：BOM.RPT。

完成*.RPT 文件的编辑，进入 STEP2000 料单管理系统中执行“文件生成料单”命令，即可自动生成料单。以后为了完成 VALOR 检查，还需要进行 AVL 料单的生成。

12.3.2 关于结构件

可以在 PPT 文件中给有联系的电子元件添加属性 MECH_PART 来处理结构件问题。结构件的 CLASS 属性定义为 MECH。也可以使用 Callouts Editor 对话框来添加 CLASS 属性为 MECH 的结构件。

给元件添加 INJECTED 属性 MECH_PART1, MECH_PART2 等，请见下面的例子。

```
PART 'PRES'
CLASS=DISCRETE
=====
=====
:VALUE(OPT='1K') | RTOL(OPT='5%') | PART_NUMBER | JEDEC_TYPE | COST |
DESCRIPTION | MECH_PART1 ;
=====
=====
'10K' | '10%' | '24709-001-87' | 'RES400' | '.90' | 'GGGGH' | 'LIFT:LT300:3'
'100K' | '5%' | '27777-999-888' | 'RES400' | '.90' | 'GGGG' | 'LIFT:LT500:5'
END_PART
```

从上例可以看出，结构件的语法如下：

'<Part_Name>:<Row_Name>:<Quantity>'

Row_Name 在结构件 PPT 文件中是唯一的，它的扩展形式是<Part_Name>-<Row_Name>，请见下面举例：

```
PART 'PRES'
CLASS=DISCRETE
=====
=====
:VALUE(OPT='1K') | RTOL(OPT='5%') | PART_NUMBER | JEDEC_TYPE | COST |
DESCRIPTION | MECH_PART1 ;
=====
=====
```

```
=====
'1K' | '5%' | '24707-001-49' | 'RES400' | '.67' | 'ABCD' | 'LIFT:LIFT-LT400:5'
END_PART
```

意思是：PART_NAME=LIFT: Row_Name=LIFT-LT400 : QUANTITY=5
结构件的 PPT 属性文件如下例：

```
PART 'LIFT'
CLASS=MECH
=====
==}
:PART_NUMBER = VALUE | TOL | POWER | UNIT_PRICE ;
=====
==}
'LT500'(~LT500) = '313' | '8%' | '1010' | '2'
'LT300'(~LT300) = '222' | '6%' | '1030' | '3'
'LT400'(!) = '223' | '58%' | '1020' | '4'
END_PART
```

定义结构工具包

结构工具包用于有一组结构件总是在一起的情况。比如一个连接器需要结构件：4 个螺母、5 个垫片和 7 个螺钉。可以为其定义一个工具包。下面是一个 PTF 文件举例：

```
PART 'KIT'
: PART_NUMBER = MECH_PART1 | MECH_PART2 | MECH_PART3
KIT001(~KIT001) = 'STANDOFF:HW0012:10' | 'BRACKET:HW0370:5' | 'SOCKET:SK0009,24:4'
KIT002(~KIT002) = 'STANDOFF:HW0013:4' | 'BRACKET:HW0372:2' | ""
END_PART
```

KIT001 结构包包含一下内容：

```
10 number STANDOFF HW0012
5 number BRACKET HW0370
4 number SOCKET SK0009
```

可以将 KIT001 与电子元件联系起来，这样 19 个元件就与电子元件联系起来了。下面是一个 CONN20 的举例与 KIT:KIT001:1 工具包在一起：

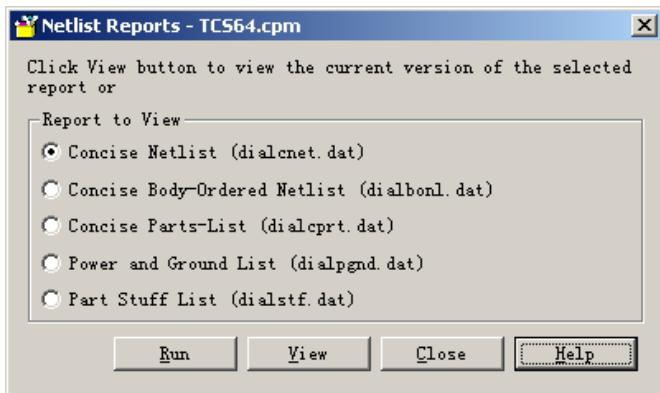
```
PART 'CONN20'
:PLATING_OPTION | MATING_END = PCTAIL | PART_NUMBER | MECH_KIT1 ;
'TIN' | '6.09mm' (!) = '3.18mm' | '22-28-4200' | 'KIT:KIT001:1'
'15u,gold' | '6.09mm' (!) = '3.18mm' | '22-28-4203' | ""
END_PART
```

结构件在 BOM 报告中的排列：

有两种方式，一种是与电子料一起，另外一种是显示在结构件标题下的 callouts 表中。通过选择 Intersperse Associated Mechanical Parts 选项来实现，与电子料一起，就选择此选项，单独显示就不选。此选项在定制模板的对话框中。

12.4 创建网表报告

同样在创建网表报告之前，一定要先完成打包。打包之后在 Project Manager 中，选择 Tools->Packager Utilities->Netlist Report 命令。或者在 Design Entry HDL 中选择 Tools->Packager Utilities->Netlist Report 命令。出现下图：



选择相应的选项，点击按钮 Run。

可以创建以下网表：

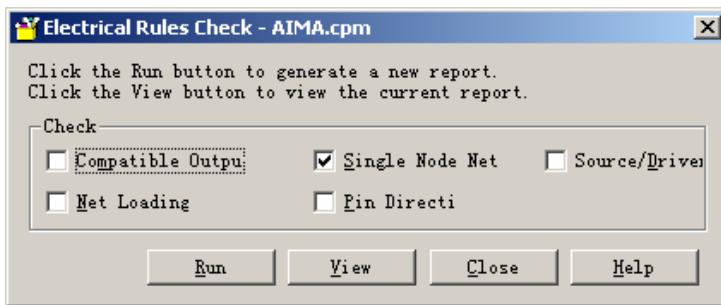
- Concise netlist, dialcnet.dat
此网表中包括的网络至少有 2 个节点，接口信号和 NC 都不会包括在内，除非 SINGLE_NODE_NETS ON 指令。
网络列表格式如下：
net_name part_designator pin# part_type
- Concise Body-ordered netlist, dialbonl.dat
与 Concise netlist 中包含的信息相同，但是是以参考位号排序的。
part_desig part_type phys_pin# phys_net_name
- Concise part list, dialcppt.dat
元件列表格式如下：
part_type internal_part_number quantity (internal_part_number 如果有 PART_NUMBER 属性附加给元件)
- Power and ground list, dialpgnd.dat
参考位号和电源地管脚
part_designator part_type power_pin_list
- Part stuff list, dialstf.dat
元件列表和参考位号：
part_type internal_part# part_designator

12.5 电子规则检查

本节描述 5 个 ERC-DX (Electrical Rule Check) 功能：

- Compatible Outputs (Connect Check) – 检查网络上的所有输出都有同样的类型。OUTPUT_TYPE 属性决定输出类型，如果没有 OUTPUT_TYPE 属性的输出就标记作为为 WIRE-AND 条件。
如果想忽略某个特殊网络的检查，给网络附加 ALLOW_CONNECT 属性。
- Source Driver (IO Check)
检查每个网络至少有一个输入和一个输出管脚。如果有下列情况会报错：
没有输出或者双向管脚
没有输入或者双向管脚
仅有一个双向管脚
- Net Loading (Load Check)
检查每个输出管脚有足够的负载能力。当检查双向管脚时，全部的输入负载减去管脚的输入负载。
- Single Node Nets (Single Node Check)
如果有的网络只有一个节点，就会出一个警告报告，可以定位这个警告并确保每个网络有两个到多个连接。可以添加属性 NO_SINGLE_CHECK=TRUE 来控制单节点的检查。
仅选择 single node net->Run 执行后将产生一个单网络警告的报告，从报告中可知何处出现了单网络。需要注意的是：此命令是通过检查网表文件来执行的，所以在执行此命令前必须要先通过 Exports physical 产生输出网表。
- Pin Direction (Pin Direction Check)
检查设计中的每个管脚被定义为：Input, Output, Bidirectional
ERC-DX 提供一个检查兼容性的规则子集。Rules Checker 是一个完全的规则检查环境，可以提供预先定义的规则集，并且可以写定制的规则。具体请参考 Rules Checker 用户手册。
同样在检查之前，要首先打包设计。运行 ERC-DX：

1. 在 Design Entry HDL 或者 Project Manager 界面下选择菜单 Tools->Packager Utilities->Electrical Rules Check。请见下图：



2. 点击 Run 按钮。
3. 查看 erc.rpt 文件。
4. 点击按钮 View 查看上次运行产生的 erc.rpt 文件。

13 设计同步工具

主要完成以下任务：

- 设置打包选项和打包设计
- 控制原理图和 PCB 之间的属性流程
- 同步原理图和 PCB，可以同步以下差异：
 - 连通性差异
 - 网络差异
 - 元件差异
 - 网络属性差异
 - 管脚属性差异
 - 元件属性差异

13.1 设计同步过程介绍

设计同步工具包包括：

- Packager Setup – 前边做了简单介绍
查看和变更缺省的打包设置选项，可以定义打包和反标时的属性和想要创建的报告。在 Export Physical 界面点击按钮 Advanced。
- Packager Utilities – 前边已经介绍过有 5 个功能
 - Export Physical
 - Import Physical
 - BOM
 - Electrical Rule Check
 - Netlist Reports
- Design Differences
用于比较原理图和 PCB 之间的差异并创建差异列表。记录差异如下：
 - 元件实体、网络和管脚的连通性差异
 - 元件实体、网络和管脚的属性差异
 - 功能和管脚的交换信息
 - 重命名参考位号的信息

在项目管理器界面，点击图标 Design Sync，选择 Design Differences。或者执行菜单命令 Tools->Design Sync->Design Differences 命令启动。
- Design Association
用于更新原理图和 PCB 之间连通性的变更。

在 Design Entry HDL 界面选择 Tools-> Design Association。启动

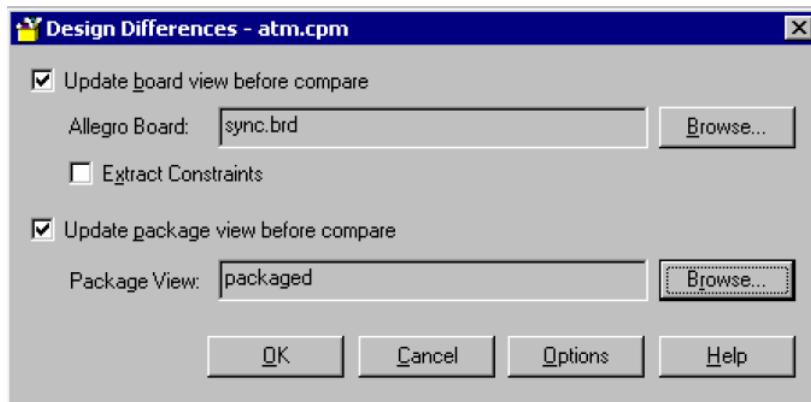
- Netrev
装载打包输出的文件到 PCB。
- Genfeedformat
从 PCB 中提取连通性和属性信息用于设计比较和打包

设计同步的主要过程：

- 定义 Package-XL 设置选项。
- 打包设计。
- 运行 Package Utilities。
- 输出设计。
- 比较原理图和 PCB。

前边的几项内容都已经介绍过了，在此仅介绍最后一项比较原理图和 PCB。

同步也就是设计和 PCB 代表同一个逻辑电路，有同样的封装并有同样的属性。Design Differences 命令可以反向在 PCB 和原理图之间的不同。请见下图对话框：



如果启动了约束管理器，就选择 Extract Constraints。

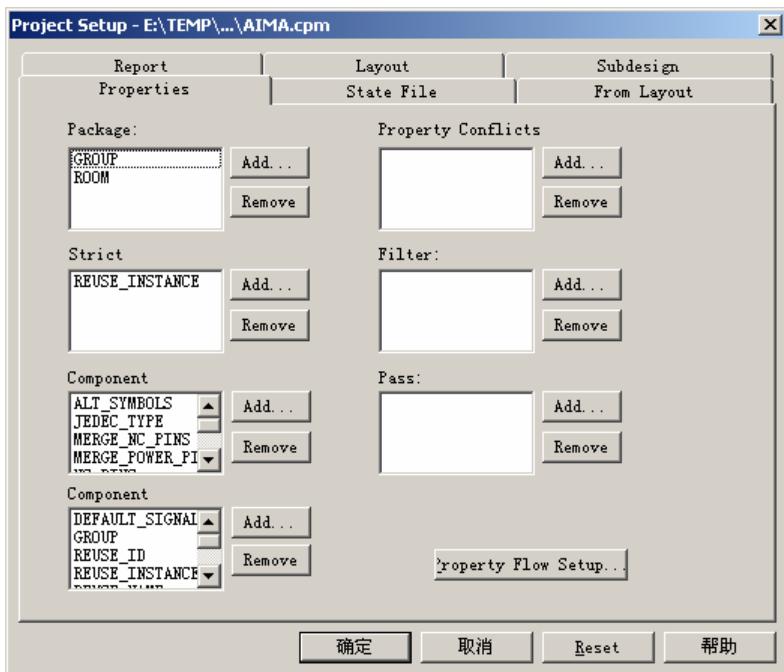
主要执行以下任务：

- 打包设计
- 从 PCB 中提取设计数据
- 创建设计差异
- 显示设计差异用户界面

13.2 设置 Packager-XL

从不同的地方启动 Packager Setup 对话框，可能选项会不同。从 Project Setup 界面启动 Packager Setup 属性是最全的，除了设置打包属性，还可以设置额外的选项，比如 Optimize 和 Repackage。

注意：除非确有必要，否则不要修改缺省设置。



从上图可以看出，可以设置 6 个选项：

- Properties Tab
- State File Tab
- From Layout Tab
- Report Tab
- Layout Tab
- Subdesign Tab

13.2.1 Properties Tab

缺省选项，设置原理图打包属性，可以创建元件定义属性用于打包，也可以创建过滤指定的属性打包时不考虑，也可以设置在输出报告时的属性，也可以点击 Property Flow Setup 按钮来设置缺省的属性。

从上图可以看出，使用此栏可以变更 7 种类型的属性：

13.2.1.1 Package 栏

包括的是原理图中有相同属性的原理图实体。没有同样属性的元件不会打包到一起。如果想要将某个属性相同的元件打包到一起，就将此属性加入此栏。点击按钮 Add 即可。如果想要移走，就点击 Remove。比如要将 PART_NUMBER 相同的元件打包到一起，就将此属性加入。

13.2.1.2 Strict Package 栏

此栏用于限制原理图实体的打包。指定仅有此属性的原理图实体才可以打包到一起。仅仅包含带有此封装属性的实体，不能打包任何其他属性。

13.2.1.3 Component definition properties 栏

指定做为元件定义属性的名称。打包时用于创建可以交换的物理元件。

13.2.1.4 Component instance properties 栏

指定做为元件实体属性的名称。打包时用于创建可以交换的物理元件。

13.2.1.5 Property Conflicts 栏

定义从 pstprop.dat 文件中过滤的属性。

13.2.1.6 Filter Properties 栏

在打包输出文件中忽略某些属性。

13.2.1.7 Pass 栏

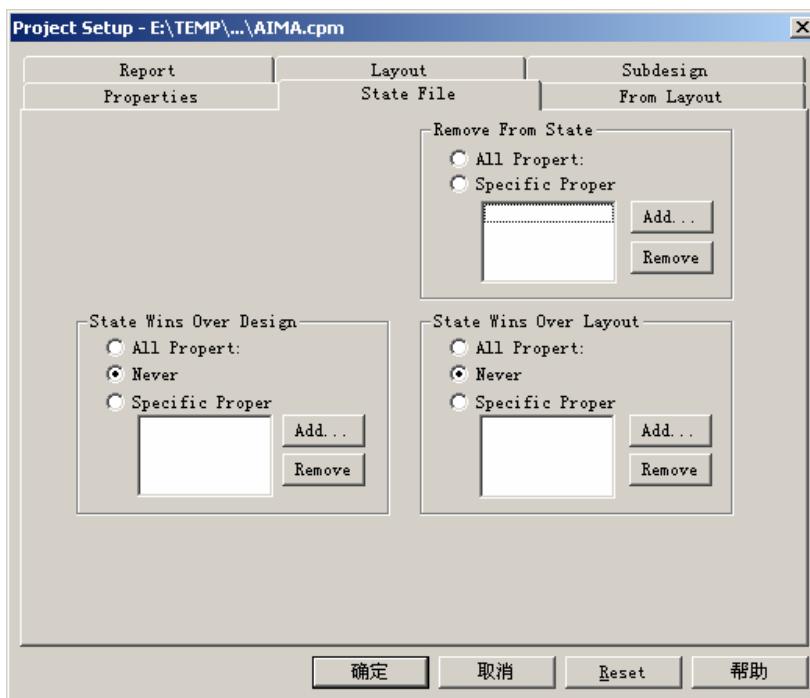
传递任何属性给打包输出文件。

点击 Property Flow Setup 按钮改变 Design Entry HDL 和 PCB 编辑器的缺省属性流程，也可通过从 pxlba.txt 文件导入属性和打包的文件。

在上图中如果想要忽略任何变更，点击 Reset 按钮。

13.2.2 State File Tab

控制如何从 PCB 反标原理图。控制状态文件中的属性，状态文件用于保存设计平面的、打包的视图，包含所有的用于设计的打包属性，物理网络名称和不同于原理图中的属性值。使用状态文件可以定义属性来替换原理图中的相关属性，也可以定义替换 PCB 中的相关属性，最后可以使用 State File 栏从状态文件中移走属性。请见下图：



Package-XL 就是通过状态文件来维护已经存在的打包指定。如果想要重新指定，就在 Export Physical 中选择 REPACKAGE。

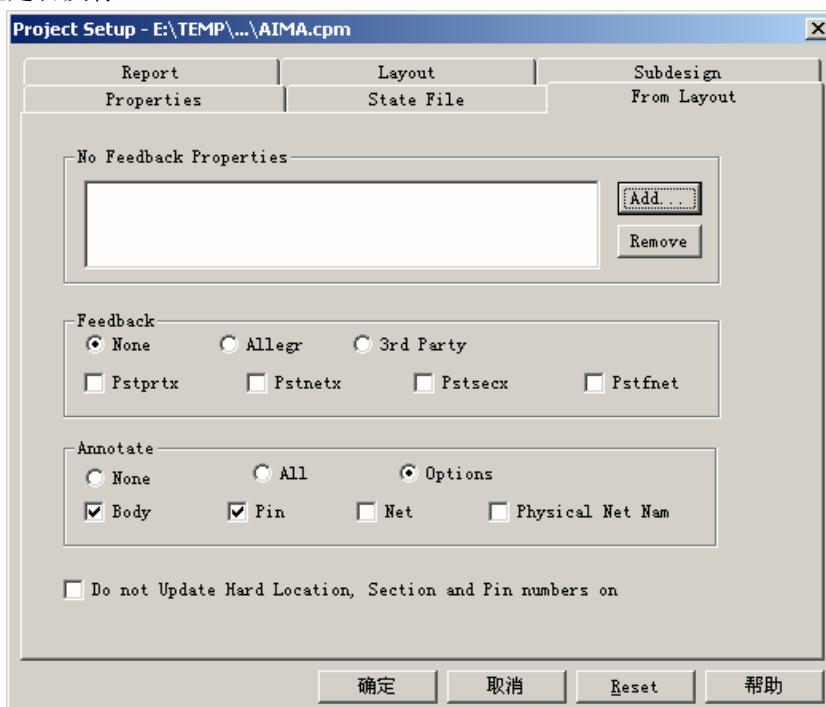
Remove From State: 指定从状态文件中要移走的属性。

State Wins Over Design: 如果原理图和状态文件中的属性不同，用状态文件中的属性覆盖原理图属性。

State Wins Over Layer: 如果 PCB 和状态文件中的属性不同，用状态文件中的属性覆盖 PCB 属性。

13.2.3 From Layout Tab

控制如何使用状态文件中的封装信息打包。控制从 PCB 到原理图属性的反标，可以指定特殊的属性是否反标。



- **No Feedback Properties:** 指定不想反标回原理图的属性。

- **Feedback:** 用后向模式运行 Package-XL。

None: 前向模式运行。

PCB Editor: 使用 PCB Editor 反馈文件完成反标。

3rd Party: 使用第 3 方工具完成反标。

- 选择选项创建相关的文件：

Pstprtx.dat: 描述物理参考位号变化。

Pstsecx.dat: 描述 section 变化。

Pstnetx::: 描述物理网络名称的变化。

Pstnet.dat: 描述每个 refDes pinNumber 的连通性。

- **Annotate:**

All: 所有的属性都反标回原理图。

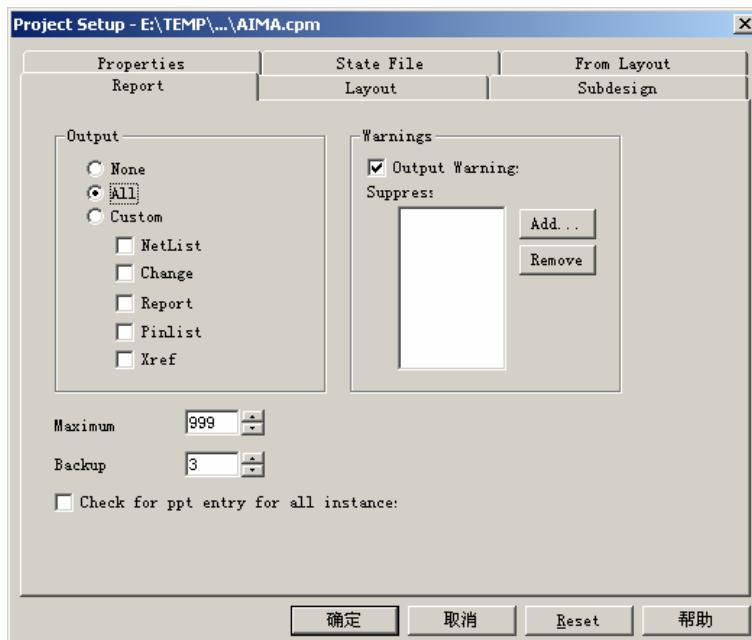
None: PCB 中的属性不要反标回原理图。

Options: 列出需要反标回原理图的属性。

- Do not Update Hard Location, Section and Pin numbers on schematic: 缺省是 OFF, 会更新原理图的硬属性。

13.2.4 Report Tab

可以使用 Report 栏指定 Package-XL 输出。也可以控制打包时警告的显示。请见下图：

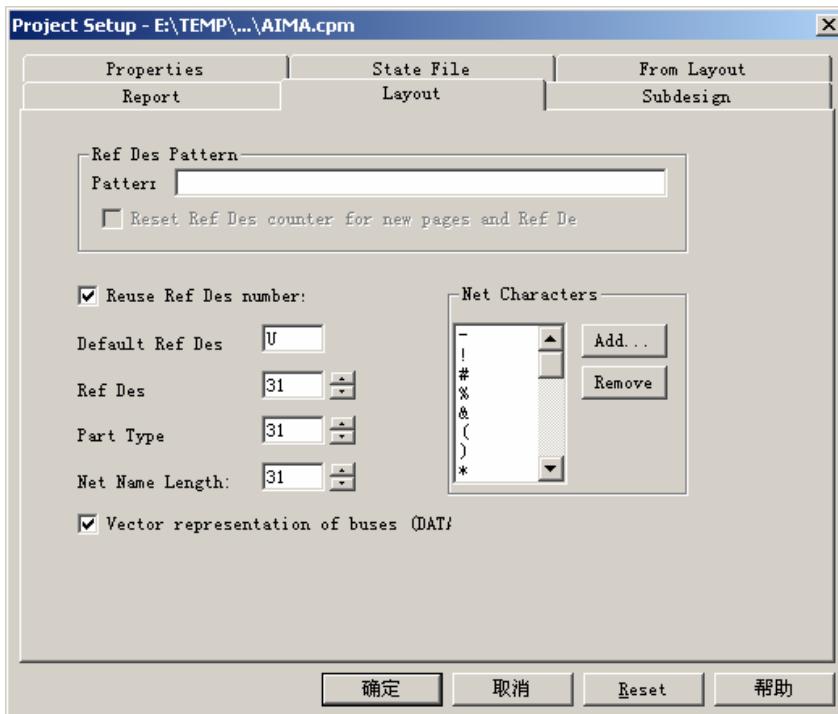


- Output:** 指定打包创建的输出，缺省是 All。如果选择定制 Custom，从下列输出中选择：
 - Netlist – 创建以下文件：pstchip.dat: 包含每个元件的物理信息。Pstxnet.dat: 列出每个网络的物理网络名称和节点。Pstxprt.dat: 将逻辑元件和物理参考位号和 section 指定联系起来。
 - Change – 创建 psl.chg 文件，记录两个打包之间的变更。
 - Report – 创建 pstrprt.dat, 提供元件概要。
 - Pinlist – 创建 pstpin.dat, 包含设计指定的管脚列表。
 - Xref – 创建 ptxref.dat, 包含交叉标注信息。包含所有的逻辑 - 物理分配、网络名称和元件。
- Warnings:** 缺省情况下，Package-XL 创建所有的输出警告并保存在 psl.log 文件中，可以抑制这些警告。要抑制任何警告，添加警告号码在 suppress 栏。
- Maximum Errors:** 指定在打包停止之前允许错误的数量。
- Backup Versions:** 指定备份文件 (pst) 的数量，缺省是 3。
- Check for ppt entry for all instances:** 选择这个选项确保每个元件的 PPT 文件都有，

如果没有或者没有找到，就会警告。

13.2.5 Layout Tab

可以使用此栏来修改 PCB 网表参数和参考位号，改变参考位号命名规则和前缀，可以添加和减少定义元件和网络名称的符号数量，最后可以定义哪些符号能或者不能用来定义网络名称。此栏重新设置之后要选择 Repackage 才能生效。



Ref Des Pattern: 缺省情况下，Ref Des Pattern 有两部分组成，基本的名称是通过 **PHY_DES_PREFIX** 属性定义的，数字是打包时生成的。此栏用来指定特殊的参考位号，如果想要复原，就选择 Reset Ref Des Counter for new pages and Ref Des prefix 选项。

Reuse Ref Des numbers: 指定想要重用的参考位号数字，比如有的元件变了或者删除了它的位号还可以使用。缺省是选择的。

Default Ref Des: 缺省的位号，可以改变。

Ref Des、Part Type、Net Name Length: 在此可以改变缺省的参考位号、元件名称和网络名称的长度。

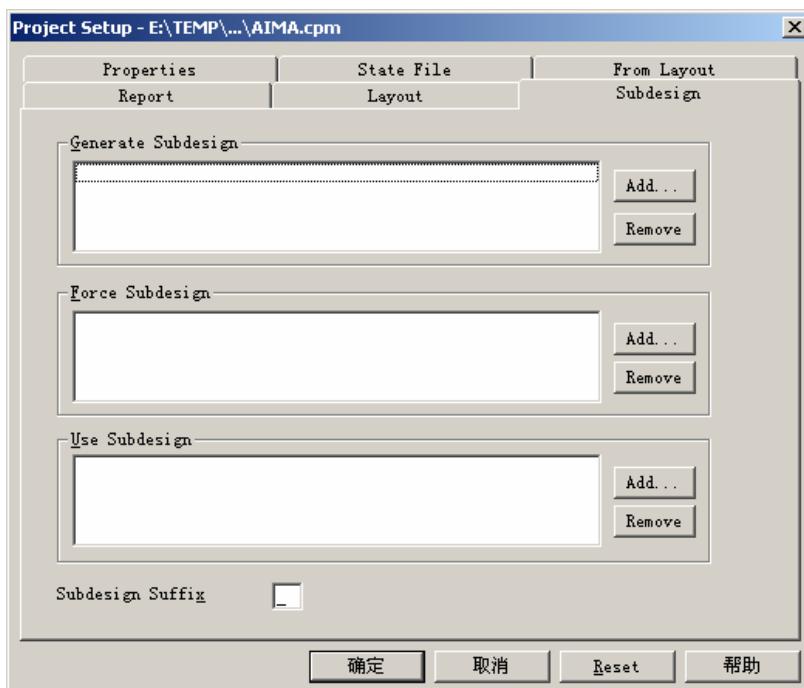
Net Characters: 定义网络名称可以使用的字符列表。点击按钮 Add 或者 Remove 可以加入或者移走网络名称。

Vector representation of buses(DATA<0>): 指定总线是否以向量形式显示。

13.2.6 Subdesign Tab

可以指定如何打包层次设计中的模块，可以为模块创建指定的子设计状态文件。在定义子

设计状态文件之后，可以强制打包子设计中的每个元件进子设计状态文件。甚至可以定制如何打包子设计状态文件来代替新的子设计。



Generate Subdesign: 创建子设计状态文件。子设计是打包过的包含逻辑的模块，可以被重用。使用打包工具，可以保存子设计的打包内容成子设计状态文件。点击按钮 Add 添加子设计名称。

Force Subdesign: 强制打包进子设计。将子设计中的每个实体打包进入子设计状态文件。点击按钮 Add 添加子设计名称。

Use Subdesign: 如果想要应用子设计状态文件的打包信息，仅仅给子设计中那些新的实体打包。可以让你改变子设计包装，而没有影响已经存在的子设计。

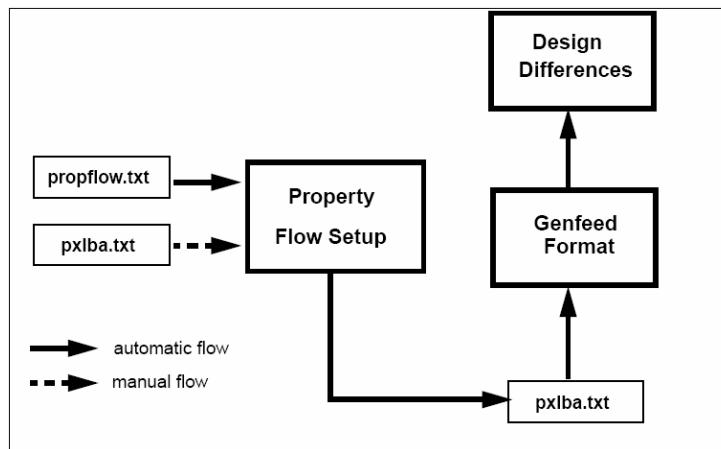
Subdesign Suffix Separator: 为重用模块定义不同的命名参考位号，缺省是（_），但是公司的系统不能接受这个符号，需要修改为字母或者其他可以接受的字符。

13.3 PCB 编辑器—Design Entry HDL 属性流程

要同步原理图和 PCB 的属性变更，可以使用 Visual Design Differences(VDD)工具。它可以比较原理图 PCB，并将不同的属性列出来。并且可以同步这些差异。不过处理起来还是比较困难。因为 VDD 不能确认：

- 仅是 Design Entry HDL 的属性，不应该传送给 PCB Editor。
- 仅是 PCB Editor 的属性，不应该传送给 Design Entry HDL。
- 来自 Design Entry HDL 的属性，但是在 PCB Editor 中删除了。

可以使用 Property Flow Setup 对话框来定义 PCB Editor 和 Design Entry HDL 的属性流程。属性流程如下图：



Cadence 缺省的 propflow.txt 文件定义了 PCB 编辑器和 Design Entry HDL 之间缺省的属性。Pxlba.txt 文件用于定义反标回 Design Entry HDL 的属性。这个文件在根设计的 physical 目录。在 Property Flow Setup 对话框中修改和添加属性会自动创建 pxlba.txt 文件。

Property Flow Setup 对话框不能自动从 pxlba.txt 文件中提取所有的属性，如果以前已经定制了 pxlba.txt 文件，可以使用其中信息移到 Property Flow Setup 对话框中。在 Property Flow Setup 对话框中可以修改已经有的属性和添加新的属性，保存设置时，pxlba.txt 文件就更新了。VDD 和 Genfeedformat 可以使用这个文件来决定 PCB Editor 和 Design Entry HDL 之间的缺省属性。

前面已经介绍过 Property Flow Setup 对话框的启动，在 Physical Export 对话框中点击 Advance 按钮，在点击 Property Flow Setup 按钮即可。也可以从 VDD 启动，在 option 中选择。具体操作情况 dessync.pdf 文件。

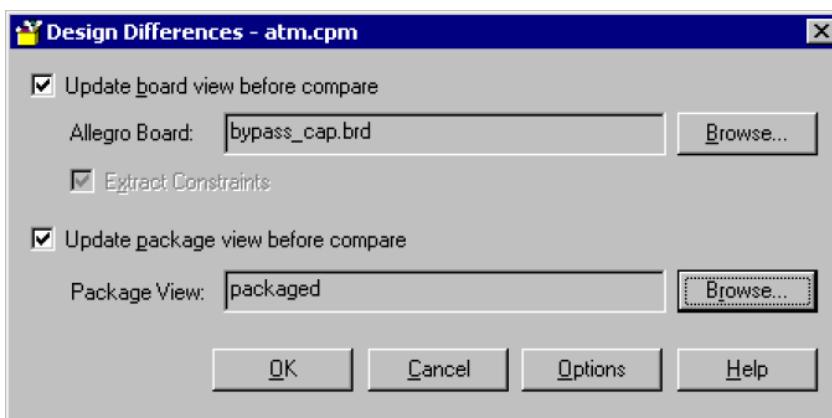
13.4 处理设计差异

Design Differences 工具功能如下：

- 比较逻辑和物理视图差异并列出。
- 过滤指定的差异以便可以查看感兴趣的差异
- 在整个逻辑和物理设计中以层次树的形式显示对象
- 创建 dessync.mkr 文件，可以用于反标原理图。
- 查询设计，可以按照元件名称、参考位号、网络名称和属性名称 - 值来查询。
- PCB 编辑器、Design Entry HDL 和 SI 布局设计中交叉探查不同。
- 同步差异。

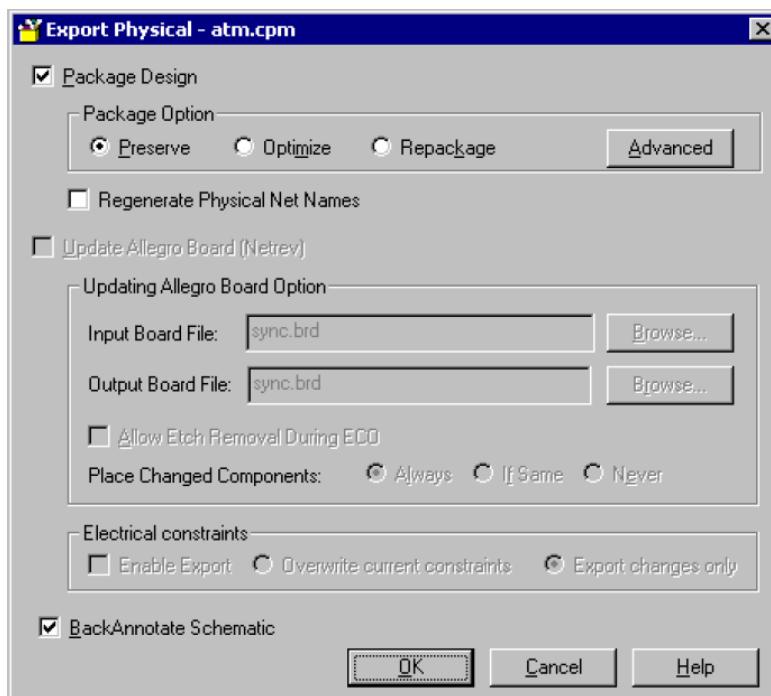
13.4.1 运行 Design Differences

1. 选择 Project Manager -> Tools -> Design Sync -> Design Difference 或者点击 Design Sync 图标在弹出的菜单选择 Design Difference 或者 Design Entry -> Tools ->Design Difference 启动对话框。请见下图：

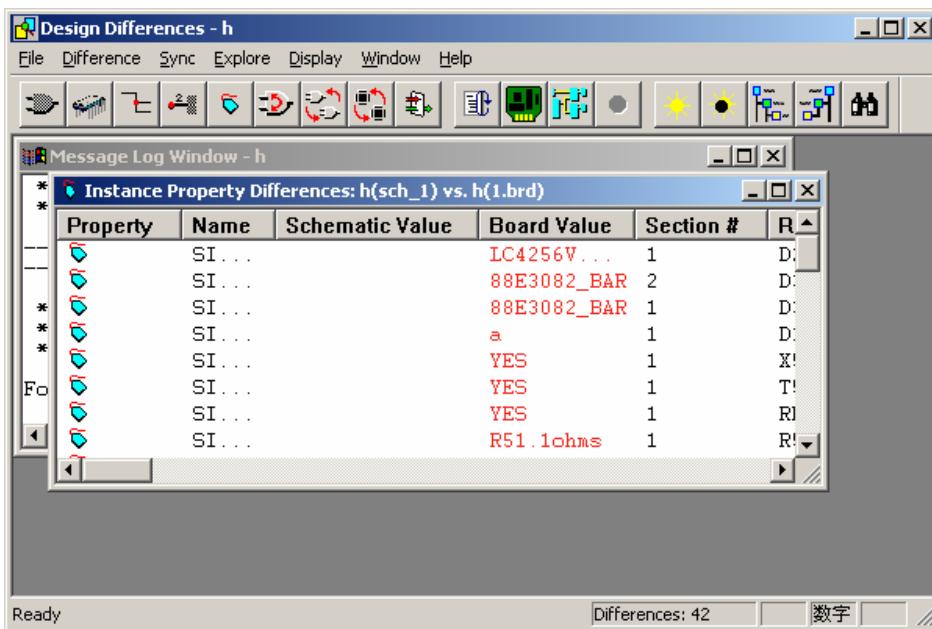


如果没有约束管理器介入，Extract Constraints 不会选择。

2. 缺省不选择 Update board view before compare，如果想要重新从 PCB 中提取数据就选择这个选项并确认板名是否正确，可以点击按钮 Browse 更换。
3. 如果从传统流程转为约束管理器流程，就选择 Extract Constraints 选项。
4. Update package view before compare 选项缺省是不选择的。如果在比较之前要重新打包逻辑视图就选择此选项。可以点击按钮 Browse 更换。
5. 点击 OK 比较差异。
6. 如果选择了 Update package view before compare 选项首先进行打包，请见下图，不选择 Update Allegro Board Option。



然后点击 OK。请见下图：

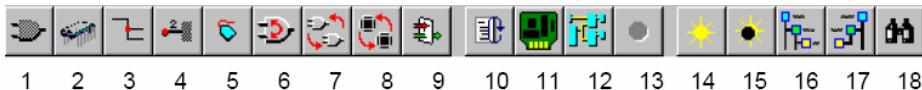


13.4.2 Design Differences 用户界面

包括菜单栏、工具栏和多个设计不同视图窗口。

13.4.2.1 工具栏

包含 18 个工具栏，请见下图：



前 8 个图标分别是执行 Difference->菜单命令，显示相应的窗口。

第 9 个图标执行 Difference->Filter Options 对话框，显示过滤选项。

第 10 个图标执行 File->Update Differences 命令并显示更新的差异视图窗口。

第 11 个图标执行 Sync->Update PCB Editor Board，显示 PCB ECO 预览。

第 12 个图标执行 Sync->Update Design Entry，显示原理图 ECO 预览。

第 13 个图标执行 File->Stop Loading 停止载入 Design Entry HDL 原理图设计、PCB 编辑器或者 SI 板布局。

第 16 个图标执行 Explore->Logical Design 命令，显示逻辑设计视图窗口。

第 17 个图标执行 Explore->Physical Design 命令，显示物理设计视图窗口。

第 18 个图标执行 Explore->Query Design 命令，显示 Quary 设计窗口。

13.4.2.2 Design Differences 窗口

Differences 窗口—传统流程：

- Instance Difference View window
- Instance Part Difference View window

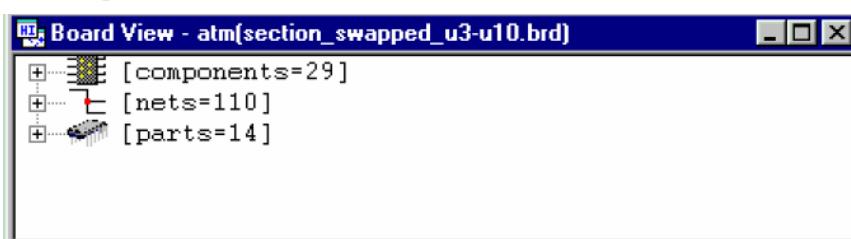
- Instance Property Difference View window
- Net Difference View window
- Net Property Difference View window
- Pin Property Difference View window
- Pin-Swapping Difference View window
- Pin-Connection Difference View window
- Section-Swapping Difference View window
- RefDes-Swapping Difference View window

如果是约束管理器流程还会有以下两个窗口：

- Constraints Differences - Physical
- Constraints Differences – Logical

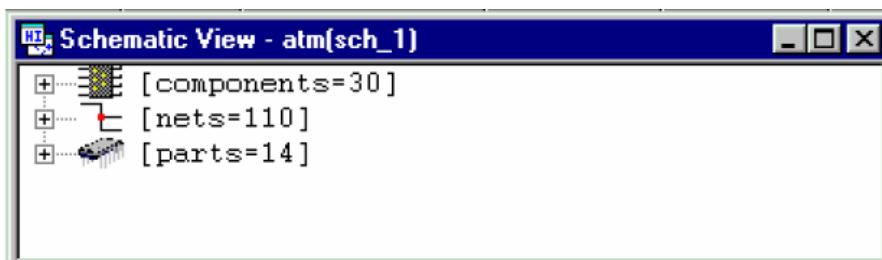
Physical Design 视图窗口：

显示的是物理视图中的对象，选择 Explore->Physical Design 显示此窗口。有 3 个层次树，分别是 Components,net,parts，根节点处显示全部的数量。请见下图：



Logical Design 视图窗口：

显示的是逻辑视图中的对象，选择 Explore->Logical Design 显示此窗口。有 3 个层次树，分别是 Components,net,parts，根节点处显示全部的数量。请见下图：



可以使用 Window 菜单命令重新安排窗口的显示。

13.4.3 使用 Design Differences

13.4.3.1 查看任何文件

选择命令 File->View File 可以查看任何打包生成的文件。查看错误，可以使用 Message Log 窗口或者用此命令查看 dessync.log 或者 pxl.log 文件。

查看逻辑和物理设计按照 20.4.2.2 的方法打开逻辑和物理设计窗口查看即可。

用文本编辑器查看差异：可以使用命令 File->Output Difference 输出差异文件，然后打开查

看或者打印。

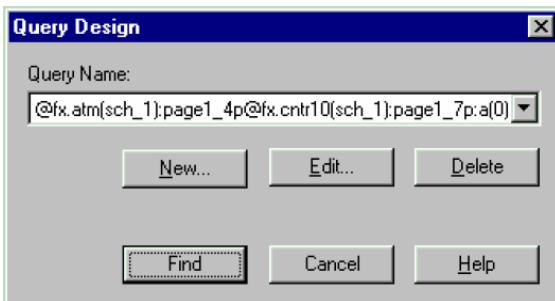
13.4.3.2 装载设计视图

选择 File->Load Design Entry Schematic 或者 File->Load PCB Editor Board, 可以装载原理图和 PCB。然后选择相应的比较文件, 如果不选择就点击 Cancel。

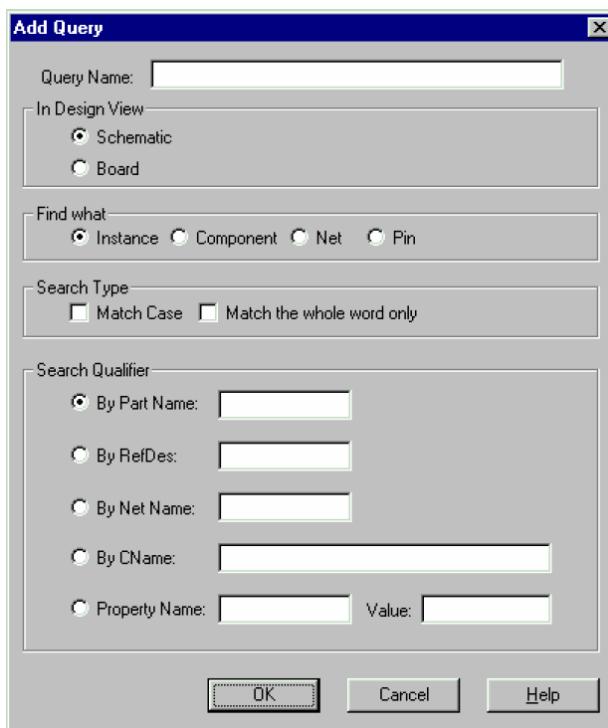
13.4.3.3 搜寻设计

进行一个新的搜索:

1. 选择 Explore->Quary Design。出现对话框, 见下图:



2. 点击按钮 New, 出现下图。



3. 在 Quary Name 栏输入相应搜索的名称。
4. 选择搜索目标是物理视图还是逻辑视图。
5. 在 Find What 栏指定搜索的内容。
6. 在 Search Type 栏选择搜索方式。

7. 在 Search Qualifier 栏，选择搜索的类型。

8. 点击按钮 OK。

9. 点击按钮 Find。出现搜索结果窗口。

进行另外一个搜索，可以上面的第 2 步，点击按钮 Edit。然后修改设置即可。

13.4.3.4 高亮对象

要高亮原理图和 PCB 中的对象，首先要在下面的窗口或者对话框中选择一个不同：

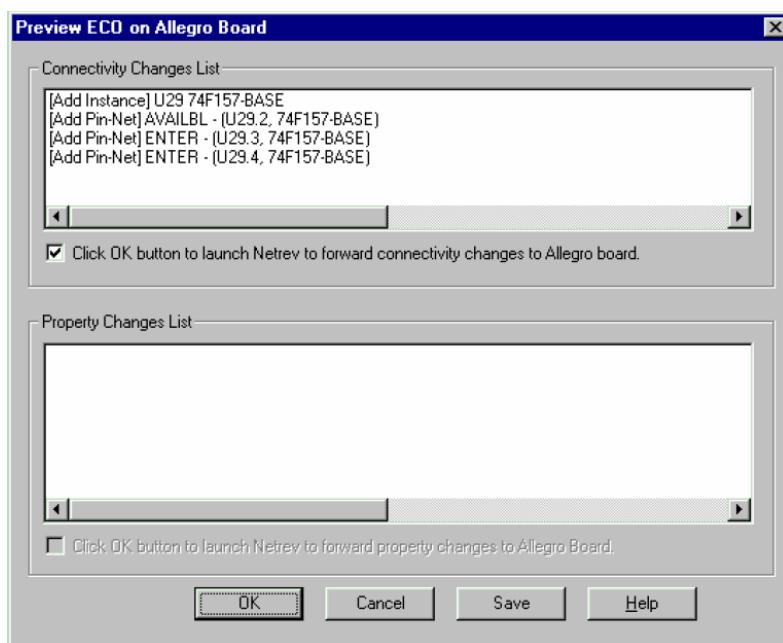
- Difference 视图窗口 - 选择 File->Load Design Entry Schematic 或者 File->Load PCB Editor Board
 - Quary 原理图和 PCB 窗口
 - 预览 ECO - 选择 Sync->Update editor Board，或者 Sync->Update Schematic。
- 然后按右键选择 Highlight，或者双击，选择 Highlight Source 或者 Dehighlight Source。

13.4.3.5 同步差异视图

可以采用接受或者拒绝 ECO 改变来同步差异视图。可以预览 ECO 并使用其中的信息来使得 PCB 和原理图同步。

同步 PCB

1. 选择 Sync->Update PCB Editor Board。出现下面对话框：



2. 点击 OK 按钮更新 PCB。Message log 窗口被更新，Message box 窗口出现，提示你是否更新。

3. 点击 Yes。Message box 窗口出现，提示 PCB 已经成功的载入。

4. 点击 OK。

5. 点击 OK。

同样的方法选择 Sync->Update Design Entry HDL Schematic。

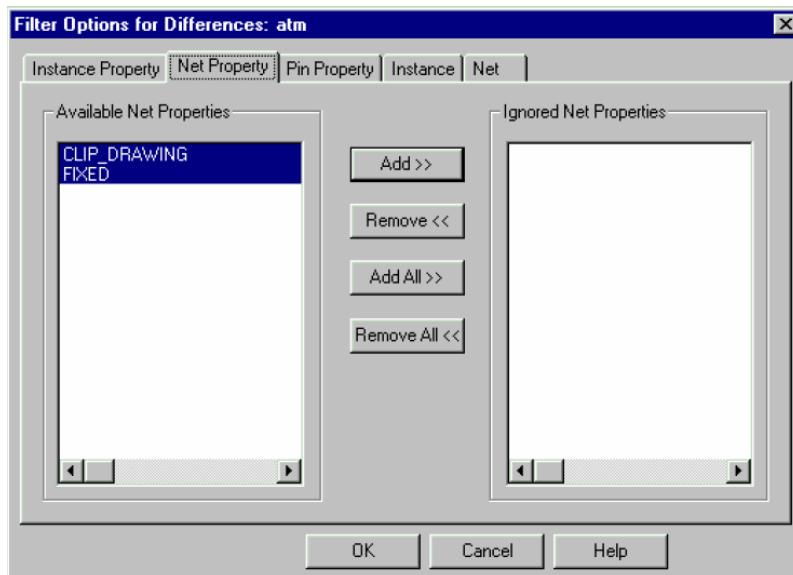
13.4.3.6 比较差异

选择菜单命令 Difference，可以比较以下差异，请见下图：



13.4.3.7 过滤原理图和 PCB 差异

可以将不需要或者不想同步的属性、实体和网络过滤掉。选择 Difference->Filter Option 命令，出现下图，有 5 个选项。



注意上面这个对话框可以让你控制差异的显示，但是不能控制数据的反标。

在 Available Net Properties 栏选择属性，然后点击 Add 将属性加入 Ignored Net Properties 栏。然后点击 OK 即可。

相应的其他栏也是这样操作。

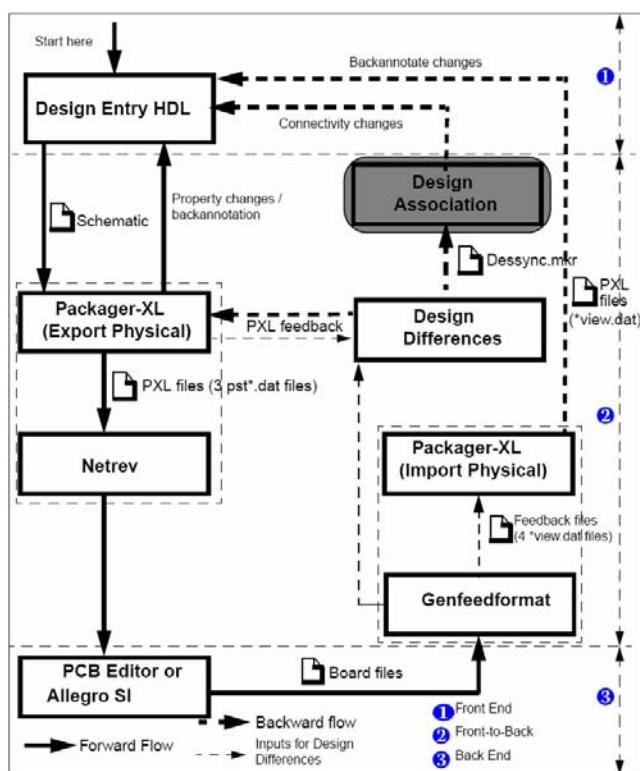
13.5 使用 Design Association

Design Association 工具是设计同步工具包其中一个重要的工具。可以用它来更新原理图和 PCB 连通性的变更。Design Association 提供一个直觉的用户界面，给所有的连通性变更显示标记。可以选择任何标记并用它来更新原理图。Design Association 完成下列 3 个任务：

- 借助于 Design Entry HDL SKILL 与 Design Entry HDL 通信
- 执行与 Actions 有关的功能，这些 Actions 是为连通性标记创建的。
- 更新 Design Entry HDL 原理图设计

Design Association 使用 VDD 创建的 dessync.mkr 文件，提取连通性变更信息并指导你更新原理图。属性变更是在 Design Differences 工具中做的。

Design Association 工具在 Front to Back 流程中的位置和作用如下图：



13.5.1 Design Association 功能

帮助定位原理图并且运行设计编辑进程来更新和同步与 PCB 相关内容的原理图设计。

引导你去查看原理图的每一页，并且提醒你需要反馈的连通性变更和设计变更。

13.5.2 理解 Markers 和 Actions

Markers: 记录 PCB 中连通性变更信息，信息用于 Design Association 给原理图进行更新。

Dessync Marker File: Design Differences 创建此文件，包含在原理图中需要做的连通性变

更，此文件位于 packaged 视图中。

Actions: 就是用 PCB 的变更来同步原理图，需要运行 Markers List 对话框中的 Markers，可以使用 Design Association 来开始一个 Action。当启动一个 Action 时，Design Association 工具：

- 传递 Dessync.mkr 文件中的属性信息给原理图并更新原理图设计。
- 反馈一个 action 的执行状态。

13.5.3 启动和退出 Design Association

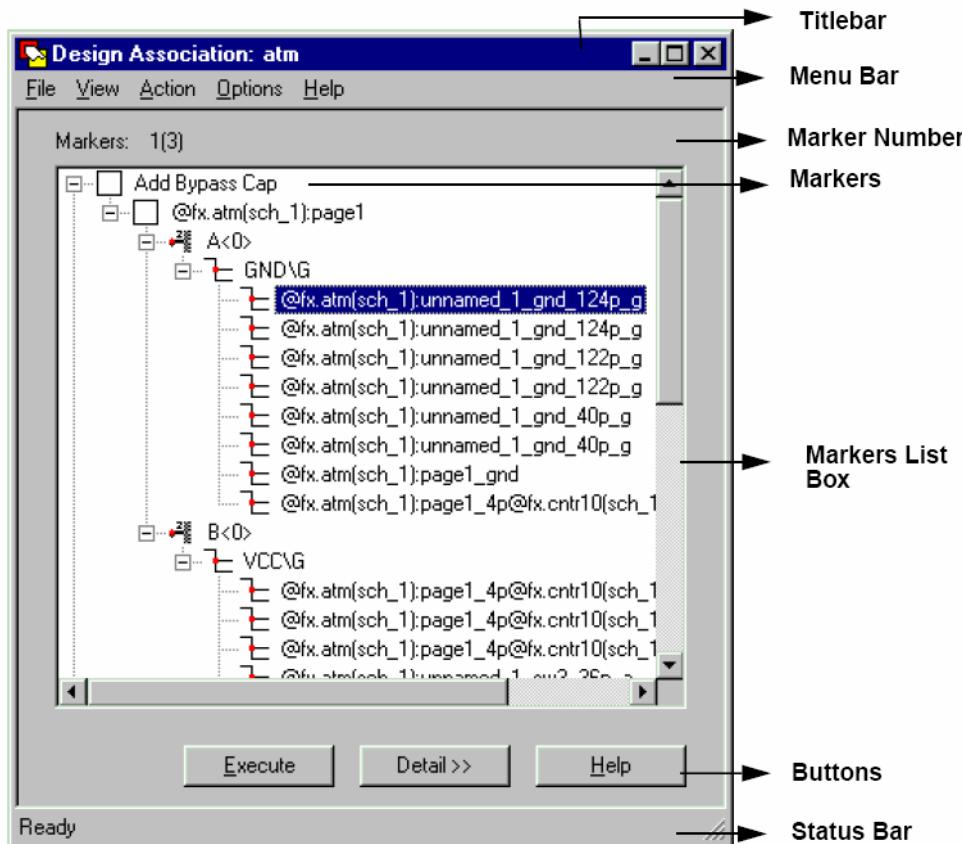
可以在 Design Entry HDL 和 Design Differences 中启动 Design Association。在启动之前要扩展设计。

在 Design Entry HDL 中选择命令 Tools->Design Association。或者在 Design Differences 中选择 Sync->Update Design Entry Schematic，然后选择 Launch Design Association to feedback connectivity changes to schematic 选项。

选择 File->Exit 退出。

13.5.4 Design Association 用户界面

当启动 Design Association，会显示 markers 列表，但不会显示具体细节。主窗口如下图：



可以点击按钮 Execute 来执行与 markers 有关的 action。想要显示细节，点击 Detail 按钮。

13.5.4.1 Markers 显示规则

所有的 Markers 分为 9 个不同的 Action 类型。

如果一个 Markers 没有展开，它显示 action 的执行状态和执行类型。

当一个 Markers 相应的 action 没有执行时，选择 Markers，Design Association 会自动的定位原理图中相关的位置。除了 Add net to pin, delete net from pin, 或者 replace net on pin 或者 action 类型，它会高亮 pin-net 的连接，对于 Add instance 或者 Delete Instance 会高亮 instance。

缺省情况下，Markers 列表是不展开的，可以选择 View->Expand Markers 命令展开。

展开 marker，Design Association 会显示对象的详细信息。

13.5.4.2 Action 的执行状态

每个树节点的选项框可以根据 action 执行的状态而改变显示颜色。

颜色	描述
黑色	还没有执行 action
灰色	还没有执行 action，仅仅在 Add Instance action 有效。
红色	执行不成功。
蓝色	执行成功。
洋红色	定位用 Add->Add Location 命令添加的。

13.5.4.3 Action 类型

Design Association 列出了 9 个 action 类型。每个 action 类型对应一个特殊的 marker 类型。

- Delete Instance Action Type
- Add Instance Action Type – 除了添加 instance，还附加属性给 instance，做 net-stub 连接，附加管脚属性，附加网络属性。注意 Add Instance 可能有多个位置，需要预先指定，如果没有选择，就选择第一个位置。
- Delete Pin Net Action Type
- Add Pin Net Action Type
- Replace Pin Net Action Type
- Add Series Terminator Action Type
- Add Shunt Terminator Action Type
- Replace Instance Action Type – 除了替换，还会删除存在的元件，添加新的实体，给 instance 附加属性，做 net-stub 连接，附加管脚属性，附加网络属性。在交换模式你可以选择位置来放置。
- Change Part Action Type

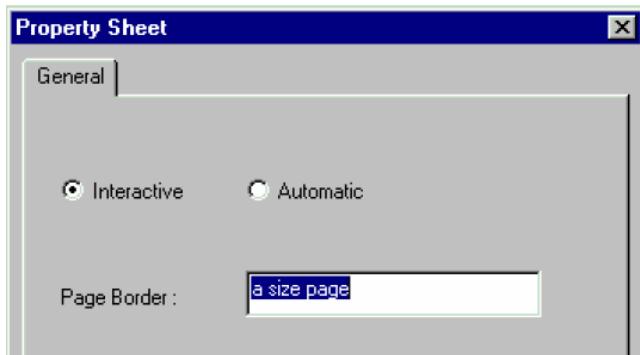
13.5.5 使用 Design Association

显示层次树—选择 View->Expand Markers 命令。然后点击前面的 。

13.5.5.1 启动 action

有两种模式交互和自动模式。交互模式让你选择原理图的位置，而自动模式 Design Association 自动的启动所有的 actions。可以在 Setup 窗口选择模式。

选择 Options->Set Up 命令，请见下图，同时设置新增加页的图框。



执行一个 action 就是选择一个 Marker，然后选择 Action->Execute，或者点击 Execute 按钮。

如果在原理图中执行了 Delete 或者 Undo，需要重新执行 action，就选择 Action->Clear Status 命令，然后在执行。

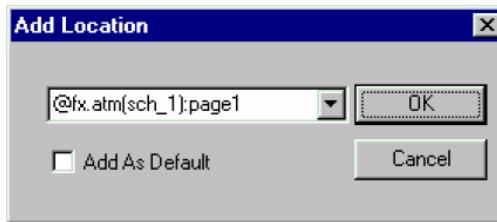
可以同时选择多个 Markers，然后点击 Execute 按钮一次执行多个 action。然后在原理图中选择位置放置，如果想要终止，就点击 Stop。

13.5.5.2 添加 Locations, Nets, Instances 和 Terminators

添加 Locations

每个 marker 都是与一个位置 (location) 关联的，代表原理图中的逻辑路径名称，如果一个 marker 没有附加一个 location 或者想要定义一个新的 location，可以给这个 marker 添加一个 location。

- 从 marker 列表中选择一个 marker，然后选择 Action->Add Location。出现 Add Location 对话框。



- 如果显示的是规范的路径，可以编辑选项。然后点击 OK。如果不存在，就新建一个。
- 选择与新 location 或者缺省的 location 对应的 marker。
- 选择 Action->Execute。
- 在 Design Entry HDL 中放大相关的位置，然后放置元件。前边的标记会变为洋红色。

添加其他内容，就是直接选择相应的 marker，然后点击按钮 Execute，然后放置即可。

13.5.5.3 反标原理图

反标原理图选择 Action->Backannotate，出现“打开”对话框，找到 packaged 路径选择合适的反标文件，文件名称为*.dat。如果从 PCB Editor 布局工具反标，就选择*view.dat 文件。如果从其他第三方文件反标就选择 pstrprt.dat, pstxnet.dat, pstxprt.dat, 和 pstxref.dat 文件。点击按钮“打开”即开始反标。

13.5.5.4 变更元件

可以一次变更一个元件，也可以同时变更多个元件。

在 marker 列表的 Change Part action 类型中选择一个或者多个 instance，选择命令 Action->Execute 或者 Action->Execute All 命令。

13.5.5.5 删除 location:

只能使用 Action->Delete Location 命令删除使用 Action->Delete Instance 命令添加的 location。如果 Add Instance marker 只有一个 location，那么会报一个警告，不能删除只有一个 location 的 instance。

其他 Action Type 的操作都是首先选择一个 marker，然后选择 Action->Execute 或者 Action->Execute All 命令即可。

可以使用 Options->Filter>Select 命令过滤 Action Type 和 Message Strings。

可以使用 Action->Mark as Completed 命令来标记 action。

13.5.5.6 打开和保存 markers 文件

在 Design Association 界面，选择 File->Open 命令，改变路径找到 dessync.mkd。

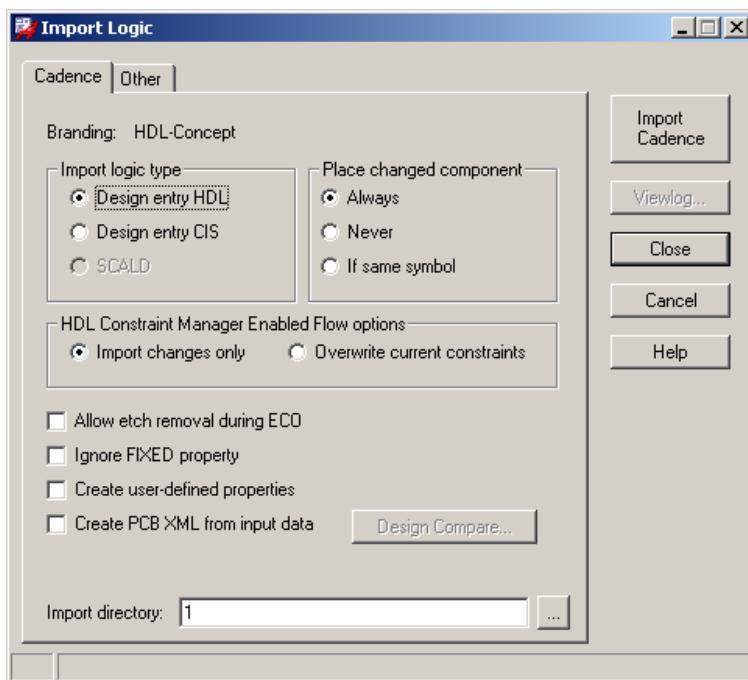
选择 File->Save 命令，保存文件。

查看 marker 文件属性—选择 File->Properties，显示当前文件路径和项目文件路径，点击 OK 关闭。

14 进入 PCB 设计

前边已经详细介绍过原理图设计完后，需要将原理图的信息转移到 PCB 中，这个可以通过 Project Manager 中的“Design Sync”（设计同步）来实现，同样 PCB 的信息也可以通过“Design Sync”转移到原理图中。

前边已经介绍过原理图的数据传递到 PCB，通过 Export Physical 命令实现，在 Export Physical 界面选择 Update PCB Editor Board Option 选项输入 PCB 文件名称即可实现。也可以在 PCB Editor 中选择 File->Import Logical 命令实现。请见下图：



点击按钮 Import Cadence 即可将网表、封装导入。

也通过 Project Manager 的“Design sync”中 import physical 也可以导入数据。然后在项目管理器中点击“Layout”就进入了 PCB 设计界面。PCB 具体设计操作请见《PCB Editor 分册》。

15 原理图打印

打印工具可以使用任何打印机，可以打印各种大小的纸张上，可以选择方向、比例和其他的选项。可以在项目一级或者 site 一级定制打印选项。

提供以下打印模式：

- Windows 打印
- HPF 打印用于 unix 系统
- 层次打印

15.1 Windows 打印

如果要打印设计中的交叉标注信息必须运行 Cross Reference 工具，创建信号和元件的交叉标注信息。打印分为 3 步：

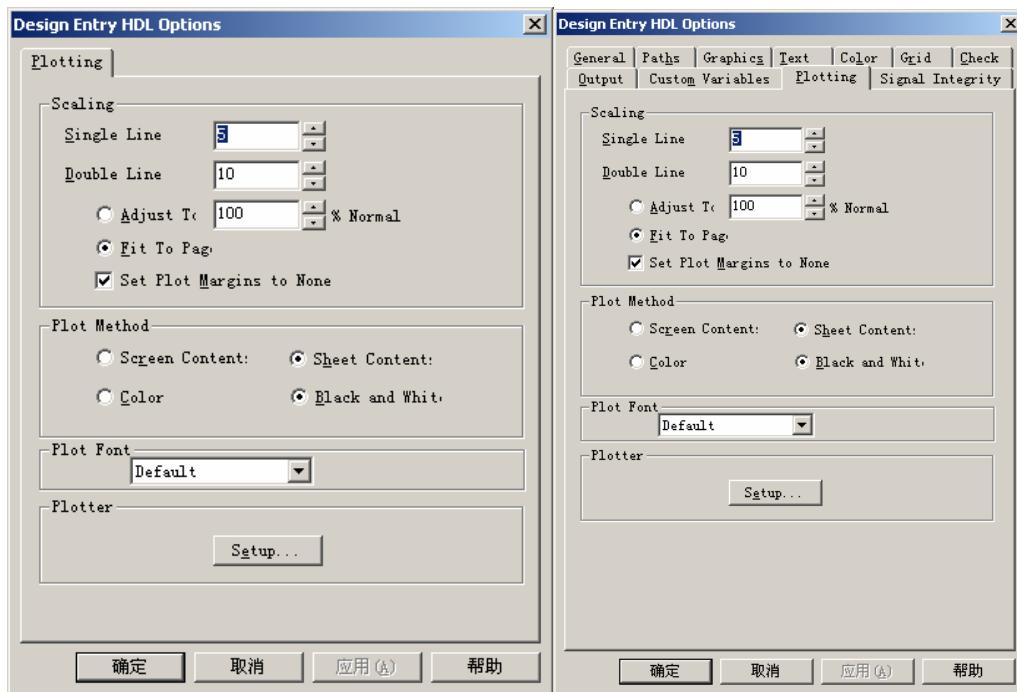
1. 设置窗口打印选项
2. 打印预览
3. 打印设计

15.1.1 设置窗口打印选项

在设置之前要确保正确配置了打印机。

在 Design Entry HDL Option 对话框中，可以选择 Plotting 选项卡设置。

1. 选择 File->Plot Setup 或者 Tools->Option->Plotting，启动对话框。请见下图：



2. 指定 Single Line Width 线宽，指定的是细线的宽度、元件的边框和文本等等，缺省是 1，一般设置为 6。
3. 在 Double Line Width 栏指定粗线的宽度，比如总线、粗线等等，缺省是 0。
4. 选择 Adjust To 或者 Fit To Page 来调整打印大小。Adjust To 指的是按照设置的比例打印。Fit To Page 调整比例来适合一张纸的大小来打印。
5. 设置打印纸的边界。缺省选择 Set Plot Margins to None。
6. 选择打印方法，
 - (1) Screen Contents 或者 Sheet Contents：如果选择 Screen Contents 就打印屏幕显示的部分。如果选择 Sheet Contents 就打印整页。
 - (2) Color 或者 Black and White：一般选择 Black and White。
7. 选择打印字体，如果不选择，使用缺省字体。
8. 设置打印机，点击 Setup，弹出对话框如下图：



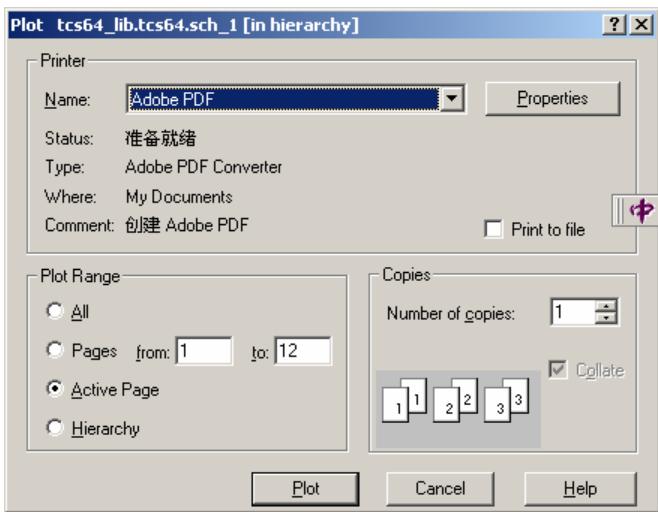
9. 在名称列表栏选择打印机，如果打印输出 PDF 文件，就选择 Adobe PDF。
 10. 点击属性进行打印机设置。
 11. 点击 OK。
 12. 点击 OK。
 13. 点击 OK。
- 所有的设置都保存在项目文件中.cpm。

15.1.2 预览设计

选择 File—Plot Preview 预显示窗口中将显示实际要绘出的原理图，所见即所得。
注意如果有文字重叠了，打印出来会切去或者隐藏部分字符。

15.1.3 打印

1. 点击 File-Plot，出现打印对话框，请见下图：



如果不是层次图，就不显示 Hierarchy 选项。

2. 选择打印机。
3. 选择打印范围，点击 Plot 打印。

也可以在命令行输入 `plot mydesign.sch.1.*` 命令来打印所有的图。

选择 Hierarchy 选项可以进行层次打印，对于层次图的打印在下边介绍。

15.2 层次图打印

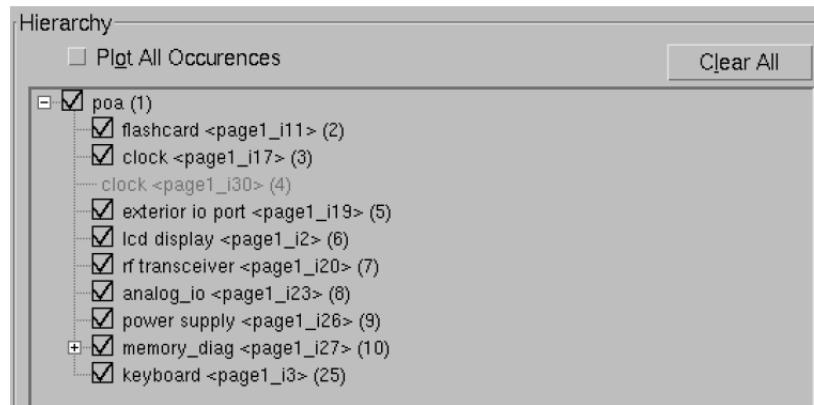
层次打印允许有选择的打印图纸，主要讨论以下内容：

- 在 Hierarchy, Expanded, and Occurrence Edit 模式的层次打印
- 改变设计的打印顺序
- 打印层次图

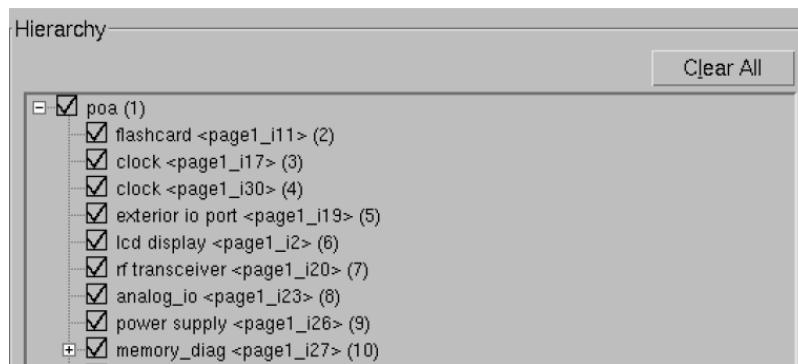
15.2.1 在 Hierarchy, Expanded, and Occurrence Edit 模式的层次打印

层次打印支持三种模式，如果在 Occurrence Edit 模式 Occurrence 属性也会被打印，在打印时会将一个模块的多个调用都会打印出来，而在打印 Hierarchy 和 Expanded 模式只会仅打印一个模块一次。

下图是 Hierarchy 和 Expanded 模式：注意图中有两个 BLOCK，调用了此模块两次，第二个模块显示为灰色，不会打印。



如果想要打印所有的调用，就选择 Plot All Occurrences 选项。如下图：



两个 CLOCK 模块都选择了。

15.2.2 改变打印顺序

修改打印顺序，要按照 11.11 节的方法来进行模块排序。如果排除了一个模块，那么此模块不会在打印列表中显示，也就不会被打印，而相应的页号也会重新排列。

15.2.3 打印层次设计

如果要打印 Occurrence Edit 模式设计，首先要选择 Tools->Occurrence Edit。

首先选择 File->Save All。

选择 File->Plot。

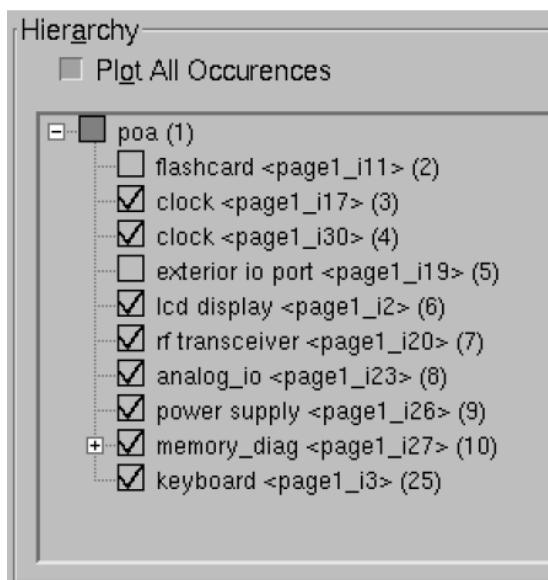
选择 Hierarchy 选项来扩展对话框。

注意：页码是不会自动打印的，如果要打印，需要使用 CURRENT_DESIGN_SHEET 定制文本变量。

如果要打印所有模块就选择 Plot All Occurrences。

如果不打印哪张图就清除标记。

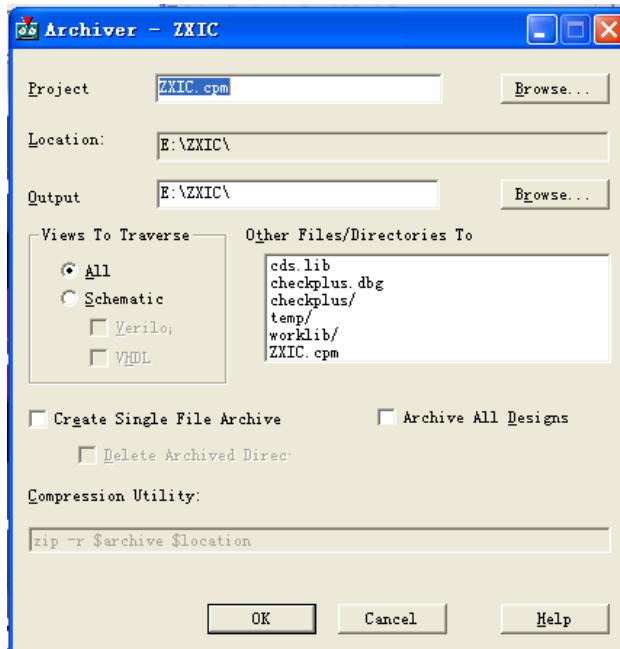
如果不打印根设计，只打印子设计，就清除根设计标识。比如下图的 poa。



16 原理图归档

在完成一个设计项目之后，如果您需要提交资料进行正式归档或者提交 EDA 工程师设计 PCB 或报有关人员审核，您可以使用“归档”（Archive）功能。归档的意义在于使得库索引文件索引到的系统库以及设计人员放在工程文件夹外的库文件自动拷贝到工程文件内部新定义的文件夹，增加工程文件的可移植性，使得别人在打开原理图时软件不会报告找不到某个库。

在 Project Manager 中，执行 Tools -> Archive -> New Archive 便可调出归档定义窗口：



在这里，您可以根据需要对所有设计或指定原理图的 View 进行归档。归档工具将自动筛选该设计所使用到的库进行保存。

选择 Create Single File Archive 指对当前设计进行归档。当前设计指在 Project Setup 中指定的 Design。选择 Archive All Designs 指对整个工程归档。一个工程可以包含多个 Design，这里 Design 可以看作单板（或者一个子模块——底层设计），如果对各个设计单独归档，必须先在 Project Setup 中指定 Design，再执行 Tools -> Archive -> New Archive。每归档完一个设计，就重新进入 Project Setup 指定新的设计，再归档，如此重复，直至规定所有的设计。如果选择 Archive All Designs，则把整个工程文件归档在一起。

17 设计技术

本章介绍 3 个基本的设计技术：平面的、结构的和层次的。

- 平面设计技术
此技术比较有效率，适用于不用重用、需要完全反标的设计，容易纠错，可以包含多页。
- 结构设计技术
结构设计技术允许简化总线结构和最小化元件和互连的数量。结构设计使用 SIZE 属性支持设计使用大的总线信号、寄存器深度和存储器深度。
- 层次设计技术
使用符号代表功能，并能重复调用。大的设计可以分为多个功能模组或者重用电路比较高效。

平面设计就不赘述了，下面讲讲结构设计。

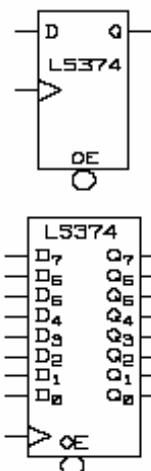
17.1 结构的设计

结构的设计和平面设计的不同主要是使用了 SIZE 和 TIMES 属性。

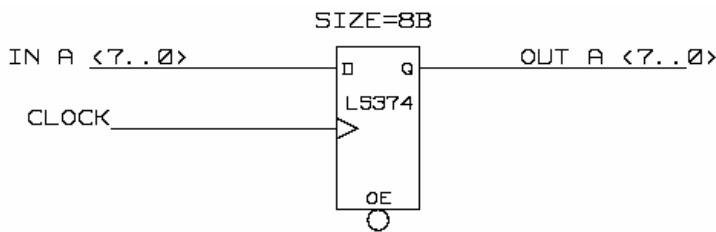
SIZE 属性：

SIZE 属性附加于符号用于指定管脚名称和信号名称宽度，并定义 size 扩展。比如下图中 LS374 Version 1 是元件的一部分，有向量 D 输入，输出向量 Q。Version2 代表的是整个芯片。

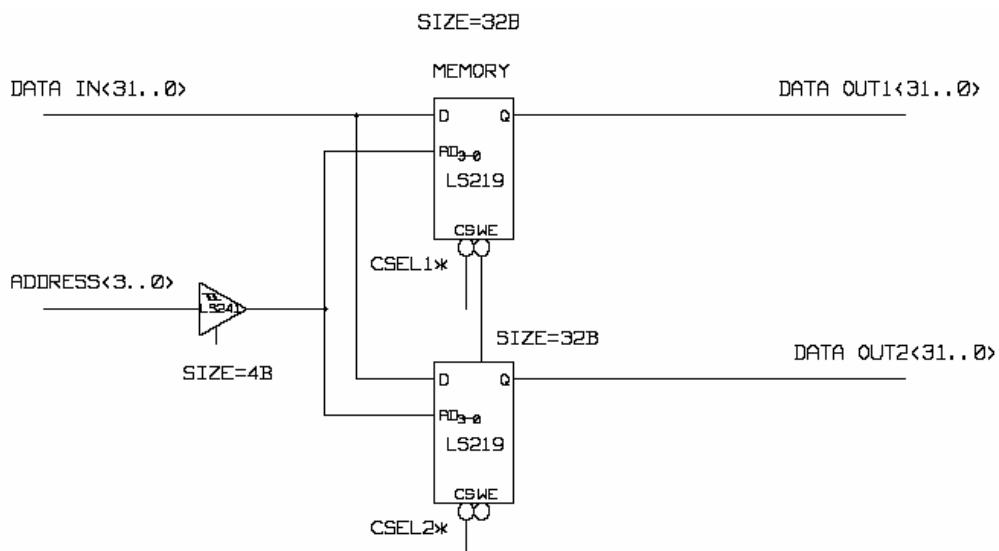
*LS374 symbol
Versions 1 & 2*



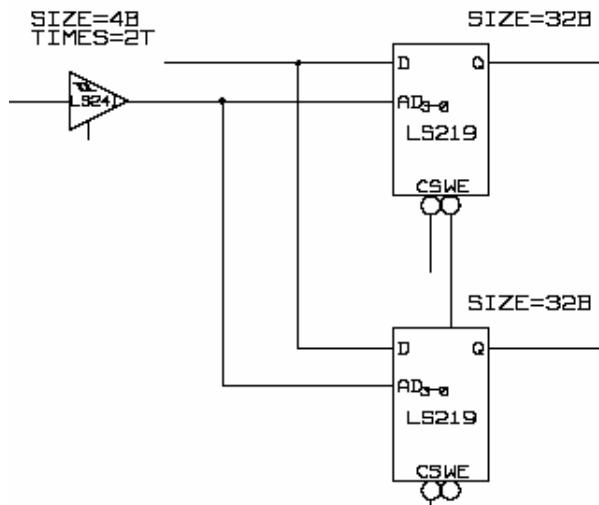
Version1 可以指定所代表位的数量。可以附加 SIZE 属性定义 D 和 Q 的数量。请见下图

**TIMES 属性:**

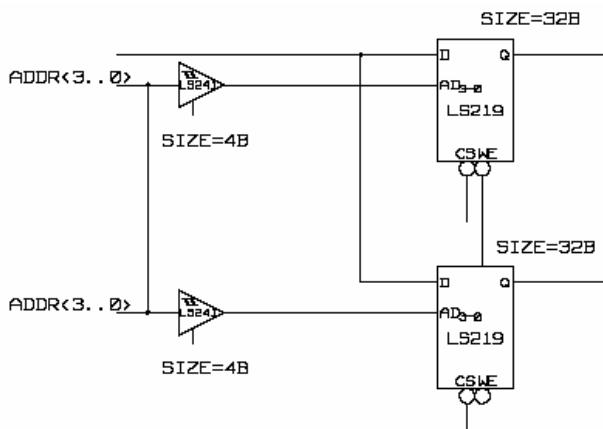
TIMES 属性与 SIZE 属性一起使用，采用 TIMES 属性为了避免导致负载错误。比如下图中，一个元件驱动很多输入给有 SIZE 属性的元件。



一个 4 位的 3 状态缓冲器不能驱动 64 位的存储器，不能处理 16 个存储器，打包时会报负载错误，使用 TIMES 属性修改负载冲突。



使用 TIMES 属性等同于增加了另外一个元件和更多的连接，请见下图：



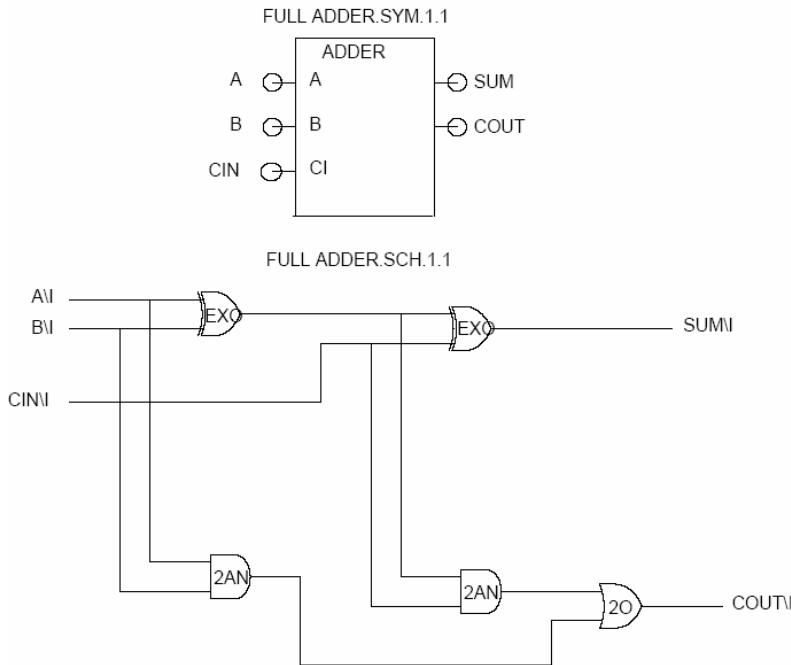
结构设计的好处：

- 可以明显的减少设计周期 - 数据输入减少，分析工具运行更高效，因为可以并行处理很多位。
- 减少输入错误，简化互连。
- 打印量减少，容易读，容易理解。

17.2 层次设计

比较高效将非常大的设计分成多个模块，实现设计重用。减少输入数量，减少错误发生。前边已经讲解了如何创建层次设计的方法。

模块的原理图的信号添加接口信号属性 (I) ，代表接口信号是来自上一个层次的。请见下图：



17.2.1 pinnames 命令

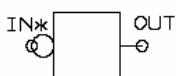
在创建层次原理图和模块符号时，可以使用 standard 库中的 PIN NAMES 符号来从模块符号传递 PIN NAME 属性给相应的原理图。在加 PIN NAMES 符号给原理图时，符号图中所有的名称相同的管脚名称都附加给 PIN NAMES 符号，也可以重新附加名称给合适的信号，减少了由于重新输入信号名称不匹配的错误或者漏掉接口属性 (\I)。

在命令窗口输入 pinnames 命令添加 PIN NAMES 符号给原理图并附加管脚名称给符号，方法如下：

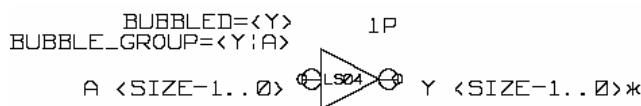
4. 首先打开一个 BLOCK 符号，比如 cpu850。
5. 给符号添加管脚名称，选择 Wire->Signal Name。这样 PIN_NAME 属性就附加给指定的管脚了。
6. 选择 File->Save 保存符号图。
7. 创建一个与符号同名的原理图。可以在原理图命令窗口输入比如：edit cpu850。
8. 放元件和连线。
9. 在原理图命令窗口输入 pinnames。
10. 在图中空白处点击，添加 PIN NAMES 符号。在 BLOCK 中的每个管脚名称都出现在原理图中并附加着一个 PIN NAMES 符号。后缀 \I 也附加在信号名称的后面。之前的管脚名称属性在这都变成 SIG_NAME 属性。
11. 如果你不按照第 9 和第 10 步的方法添加 PIN NAMES 符号，而使用 Component->Add 命令来添加原理图符号，则符号图中的管脚名称不会自动出现，需要在命令窗口输入 check 命令，信号名才会出现。
12. 移动 PIN NAMES 符号到一个原理图中的合适区域。
13. 选择 Text->Reattach 命令，将 PIN NAMES 下面的符号附加给合适的原理图信号。
14. 选择 Display Attachments，确保信号名连接正确。
15. 选择 Edit->Move 来重新定位信号名。
16. 删除 PIN NAMES 符号。

17.2.2 定义低有效管脚

用一个圆圈来代替线表示低有效管脚。可以使用 Edit->Circle 或者 Edit->Arc 来加圆圈。圆点 dot 要放在圆圈的合适位置来连接，信号名应该也是低有效的 (*)。



需要附加 BUBBLE 属性给符号来定义那个管脚是 BABBLED。也可以定义一组管脚自动转换状态。



在加符号到原理图中时，使用 Component->Bubble Pins 来转换管脚从 bubbled 到 unbubbled。

17.2.3 层次设计的好处

- 减少设计周期
- 设计重用
- 减少错误
- 每个模块都可以分别进行检查，不是到设计最后才检查。
- 层次设计是很好组织的，容易读，容易理解。

17.3 几种设计方法的比较

在几种方法之间没有严格的区分，比如结构和层次的设计经常是互相配合使用的。

平面设计方法适合简单的设计，没有使用模块和总线。而结构设计通常使用复杂的总线，而层次设计适用于设计重用。

17.4 设计重用方法

本节具体介绍设计重用的流程和操作方法。

17.4.1 设计重用流程

首先，创建一个可重用的模块

操作步骤	创建一个可重用的模块	使用工具
1	设置一个新项目	Project Manager
2	设计原理图	Design Entry HDL
3	打包设计	Packager-XL
4	设计 PCB	PCBEeditor
5	创建 PCB 模块	PCBEeditor
6	反标设计（如果 PCB 没有做任何改变，可以不用反标）	Packager-XL
7	创建逻辑重用符号（也可以在设计完原理图马上创建符号，只要确保是最终的就行了）	Design Entry HDL

在设计中重用模块

操作步骤	在设计中重用模块	使用工具
1	定义顶层层次图	Project Manager
2	完成原理图设计	Design Entry HDL
3	打包设计	Packager-XL

4	在 PCB 中放置 PCB 模块	PCBEeditor
5	完成 PCB 设计	PCBEeditor

17.4.2 具体操作步骤

下面就实际操作中需要注意的具体内容进行讲解：

17.4.2.1 创建一个可重用的模块

17.4.2.1.1 设置模块库路径

在本 Project 的 cds.lib 文件中指定模块库所在路径。

公司模块库路径为（以下路径可能会有修改，根据实际情况进行设置）

```
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\CARD
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\FUNC
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\PART
```

可以根据需要再增加自己需要使用的模块路径。

一般我们选择映射方式使用模块库，这时应在 Project 下建立 modulelibtmp 目录，并在 cds.lib 中应该增加以下行：

```
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\CARD
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\FUNC
\EDA-SERVER\ZTELIB\CONCEPLIB\ZTE_MODULE\PART
ASSIGN modulelib TMP .\modulelibtmp
```

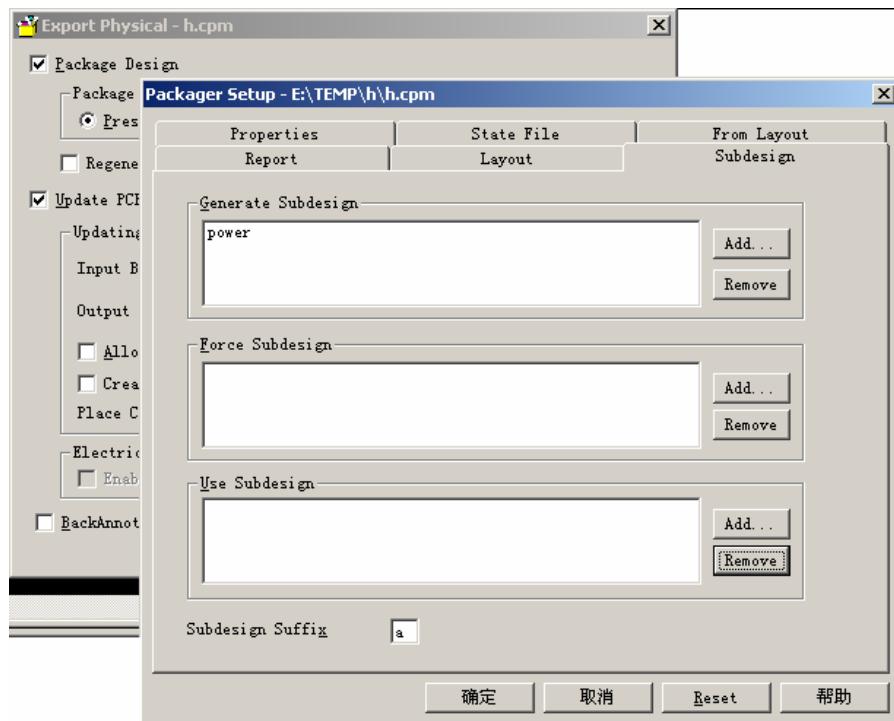
注意，最后一句中的 modulelib 请用 card、function、part 之一或者自己指定的模块库路径代替，并在设计项目目录下建立 modulelibtmp 的空文件夹。

设置完原理图的模块库路径之后，别忘了设置 PCB 模块路径。在 PCB Editor 中选择 Setup->User Preferences，点击 Design_paths，然后点击 modulepath: 后边的 ，设置路径。

17.4.2.1.2 打包设计

原理图设计的操作都具体讲解过了，就不再赘述了。

原理图打包（Export Physical）时，按照下面方法设置 Subdesign 项，详细对话框说明请见 20.2 节 Subdesign tab 一节内容。详细设置请见下图：



17.4.2.1.3 创建PCB模块

关于 PCB 设计在相关的 PCB Editor 中有具体介绍，在这里略过，下面说明如何创建 PCB 模块。

在 PCB Editor 中选择命令 Tools->Create Module。

然后在 PCB 上点击画一个选择框将需要生成 PCB 模块的部分全部选择，被选中的部分全部高亮。

再选择一个原点，弹出另存为对话框。

输入文件名，后缀为.mdd，即为 PCB 模块文件。一般尽量 PCB 模块的名称与原理图设计的名称尽量相同。如果不按照此命名原则，则给模块逻辑符号定义 REUSE_MODULE 属性。

子卡模块的原点应该是左下角的定位孔圆心。

电路模块应该选择便于准确对位的孔中心、焊盘中心、丝印中心等

器件模块以核心器件的封装原点作为原点

17.4.2.1.4 创建逻辑重用符号和给符号添加属性

在 Design Entry HDL 界面选择 Tools->Generate View，弹出 Genview 界面。具体请见 9.3.2 节详细描述。

需要给符号添加的属性如下：跟着标准定，标准可能有变化

NUMBER_CONT :记录模块 PCB 的连线数

NUMBER_NETS :记录模块的网络数

NUMBER_COMP:记录模块的元件数

ZTE_MODULE_NUMBER :模块代码

NO_BACKANNOTATE: 规定模块不反标，属性值为 All

REUSE_MODULE=模块的 MDD 名字

REUSE_ALT_MODULE=模块 MDD 可选项

具体图形的绘制请参照公司相关标准。

下面的 3 个属性控制着重用模块的行为，理解下面 3 个属性的意义，可以帮助你更好的控制设计重用。

- **REUSE_INSTANCE** - 使用模块时指定此属性。如果在重用的模块上没有指定此属性，打包时会使用 <reuse_block_name>_<subdesign_suffix> 给 REUSE_INSTANCE 创建一个唯一的值。用这个属性来区分同一个重用模块的多次调用 instance。

可以给重用模块指定 SUBDESIGN_SUFFIX 属性用来指定子设计中所有参考位号后缀。

- **REUSE_MODULE** - 缺省情况下，Packager-XL 使用 REUSE_NAME 属性命名 PCB 模块。可以使用 REUSE_MODULE 属性给模块定制名称。当为同一个设计创建多个不同的 PCB 模块时，需要使用这个属性。决定.mdd 文件名称的优先级顺序如下：

REUSE_MODULE

REUSE_NAME - 总是和逻辑设计名称相同。不能更改这个属性。

- **REUSE_ALT_MODULE** - 可以使用此属性为同一个逻辑模块指定多个对应的物理模块。比如一个逻辑名称为 base_level，有 3 个物理模块与其对应分别为 base_level1，base_level2 和 base_level3。可以选择 REUSE_ALT_MODULE=base_level3 放在 PCB 上。

17.4.2.2 在设计中重用模块

17.4.2.2.1 设计顶层原理图

在 Project Manager 中点击 Setup 图标创建一个新设计，然后进入 Design Entry HDL。

原理图中调出模块后，等同器件操作，需要定义网络名。如果模块内部使用了隐含电源地、管脚的器件，需要对模块 SYMBOL 增加如下属性方能保证正确连接。

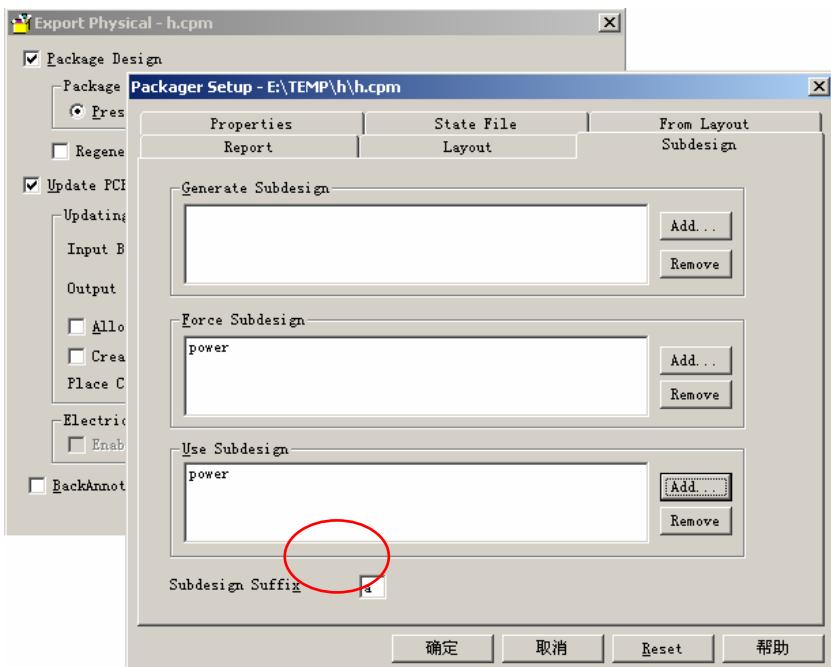
电源管脚名=要连接的网络\PARAMETER

地脚名=要连接的网络\PARAMETER

如果使用了宏命令，也根据需要修改相关内容。

17.4.2.2.2 打包设计

同样在 Export Physical 中进行如下图所示设置：



推荐在 Force Subdesign 栏添加所有用到的模块库名，注意红圈强调的地方处一定要用小写”a”替换掉缺省的”_”，否则生产准备过程中会有问题。模块中的元器件位号特征举例：R10a2，”a” 取意@，意即模块 2 中的电阻 10（具体如何修改再考虑）。

17.4.2.2.3 在PCB中放置PCB模块

必须模块和主设计的 PCB 叠层和设置完全一致才能完成正常调用。

保持模块和应用板在叠层方面的一致性：如果是改板，将模块从服务器拷贝到本地，从旧版本 PCB 中输出 TECH 文件，然后再导入到模块中，增加模块库路径指向本地模块，从而可以调用；如果是新板设计，可以直接设置应用板叠层与模块一致，调出模块后，再进行设计。

PCB 模块 (.mdd) 层定义与当前 PCB 不一致时处理方法如下：

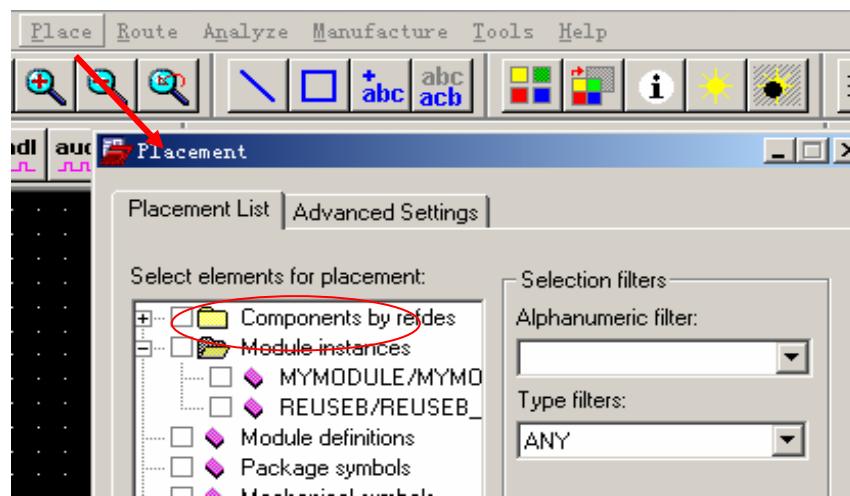
当被调用电路的 PCB 模块 (.mdd) 层定义与当前 PCB 不一致时，将.mdd 拷贝到 .brd 同一目录，进行一致处理。处理的方法有两种。

方法 1：用 PCB Editor 打开电路的 PCB 模块 *.mdd 文件，利用 Layout Cross Section 进行编辑。

方法 2：首先，从当前 PCB 中输出 TechFile，File->Export->TechFile...。

用 PCB Editor 打开电路的 PCB 模块 *.mdd 文件，然后将该 TechFile 输入，File->Import->TechFile...，保存*.mdd 文件，即可。

在 PCB Editor 中放置模块如同放置器件，但须用 Place->Manually，然后点击 Module instances 前边的 + 展开，选择放置模块（由于模块的原点都是一些便于定位的孔中心、焊盘中心等，推荐按照坐标释放），以使模块以整体的形式出现，请见下图，斜杠/前边的内容代表模块名称，后边代表 instance 名称。



对模块的操作，应选择 GROUP，移动和镜像时选择 body center。

17.4.2.3 模块更改

原理图出现修改时，原理需要重新打包，将模块的 MDD 文件拷贝到本地，进行修改。

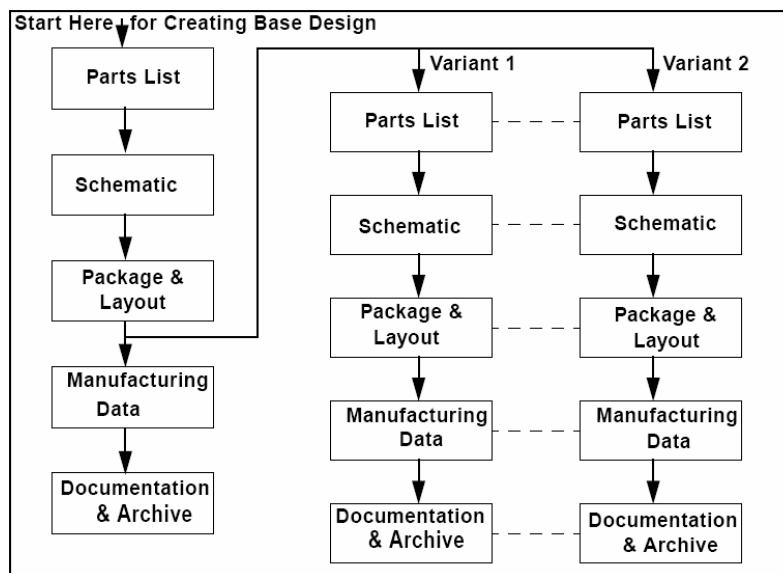
PCB 模块出现修改时，将模块 MDD 文件拷贝到本地，进行修改，然后将模块和主板的技术参数保持一致，直接在 PLACE->UPDATE 里选择模块进行更新。

18 设计派生编辑器

本章主要讨论设计派生方案的主要特性，只对主要内容简要介绍，如果想了解详细信息，请看帮助文件 Design Variance User Guide。设计派生是 PCB 设计中 front-to-back 流程的一部分。所谓派生就是设计之间仅有很小的一点不同。这个设计派生编辑器就是创建和管理派生的，它是支持直观的用户界面的，可以定义变更的元件，创建料单，标注任何器件的特殊位号，标注变化的数据和合并变更的数据。它的好处如下：

- 减少对设计包的维护
- 减少开发时间
- 减少错误的发生
- 减少费用

通常的设计派生流程如下：



常规的派生设计步骤如下：

- 给所有的产品派生定义功能和元件列表。
- 创建一个原理图包含任何可能发生的派生的元件和连接。
- 为基础设计创建打包的网表和元件列表。
- 为基础设计 PCB 布局布线。
- 为基础设计创建加工数据。
- 创建文件和归档基础设计。
- 为每个派生做合适的元件列表和原理图变更。
- 为每个派生创建组装数据和 BOM。

这种常规的设计派生流程有以下局限：

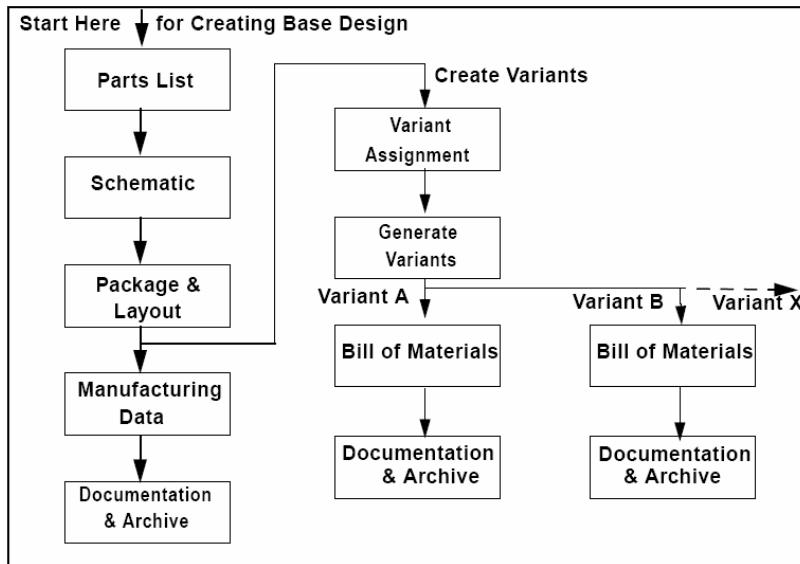
- 多做了很多工作并且容易出错。
- 每个设计派生都有维护，浪费磁盘空间。

- 因为每个派生都需要独立修改，将来再改很麻烦。可能容易出错。

18.1 介绍派生编辑器解决方案

18.1.1 使用派生编辑器的派生设计

使用派生编辑器的派生设计流程如下：



从图中可以看出，不管是否使用派生编辑器，前面的 3 个步骤都是完全相同的。首先都有创建基础的原理图，打包它，并完成 PCB 设计。后边就不同了，常规的流程就是拷贝基础设计，然后为每个派生进行元件等的变更。在新的流程中，用派生编辑器来定义所有的变更，派生编辑器输出包含派生信息的文件，PCB Editor 可以串接派生组装图。派生信息也可以反标回原理图。

使用派生编辑器来创建派生设计的详细步骤如下：

- 用 Design Entry HDL 来创建基础原理图。
- 打包设计。
- 指定派生数据 - 派生数据如下
 - 指定可以交换的数据 - 缺省的基础设计中的元件的值是最优的，可以改变这个值。此外，可以定义多达 99 个不同的值。
 - 定义交换的群组 - 当基础设计中有多个功能相同的元件，但是仅有一个元件是任何派生都需要的。
 - 创建功能 - 如果任何派生设计中都包括一组元件要定义一个功能组。
 - 创建需要的派生 - 派生可以包含功能、交换的群组、为派生定制的元件和不是为派生定制的元件。
- 创建 PCB。
- 创建派生组装图。。

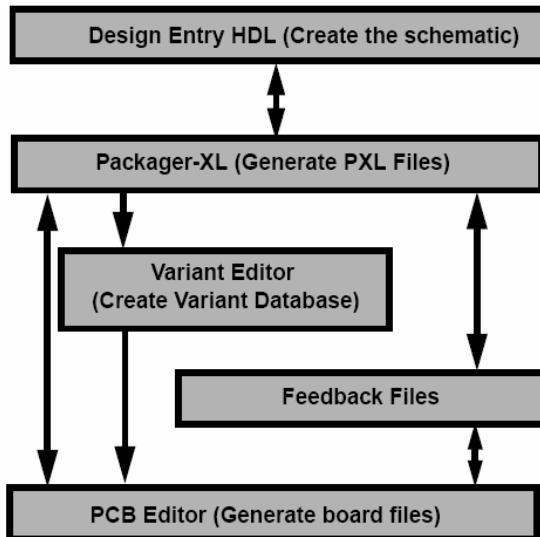
18.1.2 派生编辑器特征

派生编辑器支持以下特征：

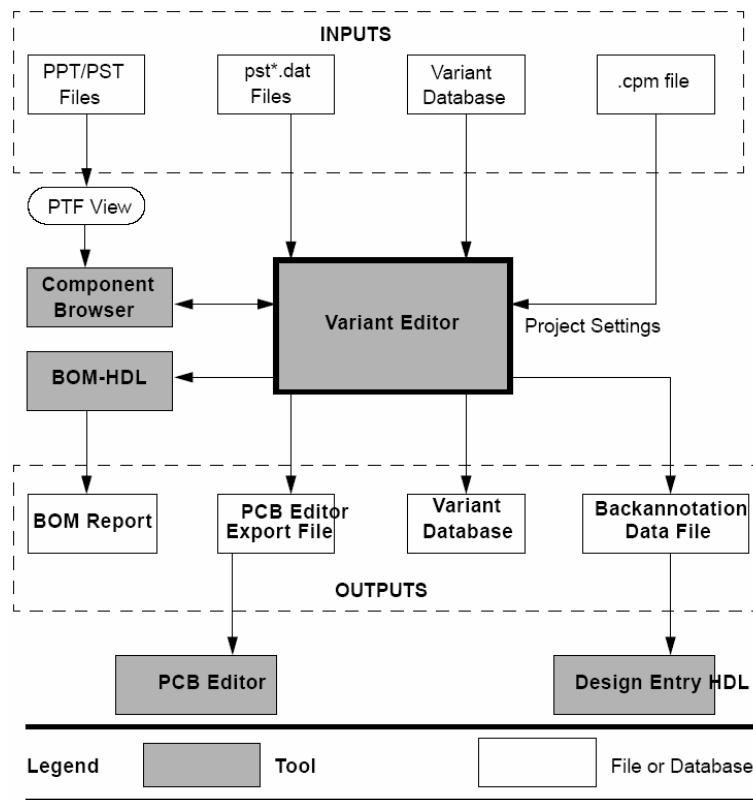
- 使用 PPT 文件来定义派生元件的值。
- 创建 BOM 来反射派生电子物料列表。
- 以基础设计为基础为派生设计创建元件的增量列表。
- 创建不同派生的比较的 BOM。
- 创建多种格式的 BOM 报告，例如电子数据表格式和 HTML 格式的。
- 从派生数据库反标派生数据给原理图。
- 创建用于 PCB Editor 读取的接口文件，使得 PCB Editor 可以创建派生组装图。
- 交叉探查原理图。
- 过滤元件列表中的元件。
- 支持关联的机械元件和 callouts。
- 支持全局查找指定的元件。
- 同步派生数据库中的改变和原始原理图中的变更。
- 用另外一个名称不同或者管脚不兼容的元件替换一个意见存在的元件。

18.2 派生编辑器的启动和界面

下图是使用派生编辑器的 Front-to-back 流程：



涉及的具体工具和输入、输出文件见下图：



输入文件：

- PPT/PST 文件
- Pst*.dat 文件 – 列出每一个参考位号和 section。
- Variant database – 存储派生数据 variant.dat 是 ASCII 文件，包含每个派生设计中元件派生值。
- 项目文件.cpu。

派生编辑器产生的输出文件：

BOM 报告—可以创建基础设计的 BOM 报告，还可以创建派生比较报告，其中包含 part number 为基准的比较。

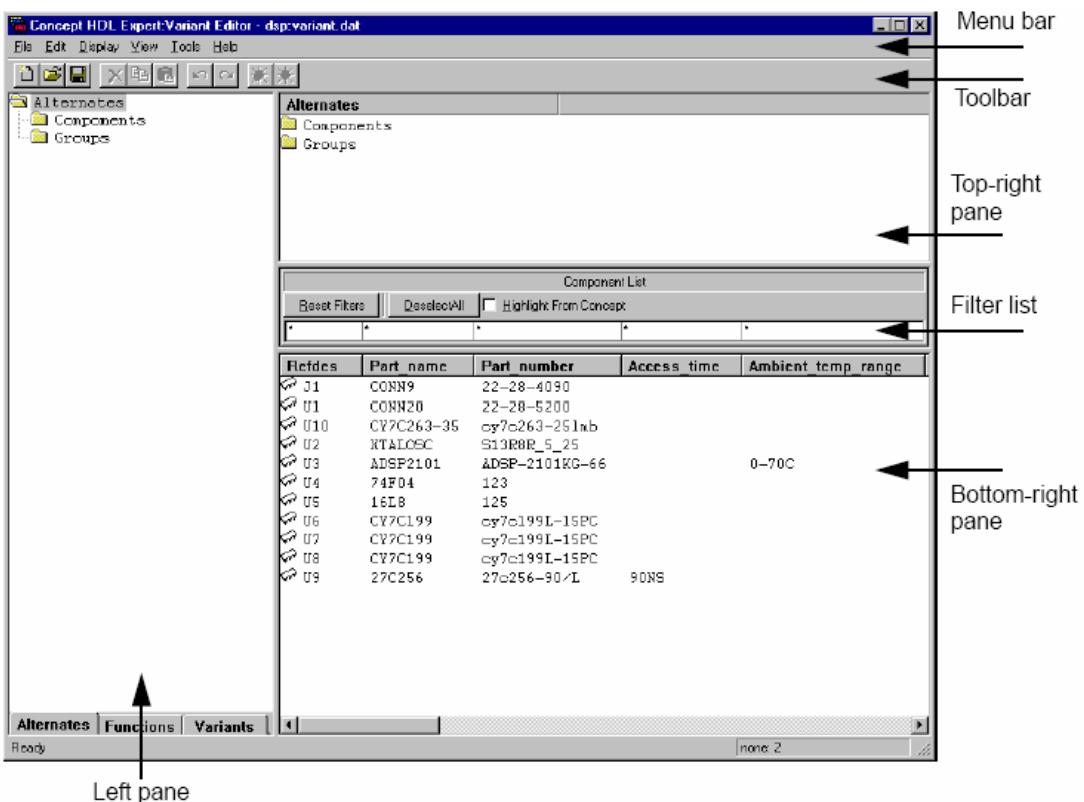
PCB Editor 输出文件 variants.lst—派生编辑器创建 variants.lst 文件，PCB Editor 用于提取定程设计中的 physical 视图中所有的派生信息。

反标注数据文件—包含基础设计和所有派生设计中所有的派生属性。

18.2.1 启动派生编辑器

在启动之前，确保原理图被打包了。

在项目管理器界面，选择 Tools->Variant Editor 命令。请见下图：



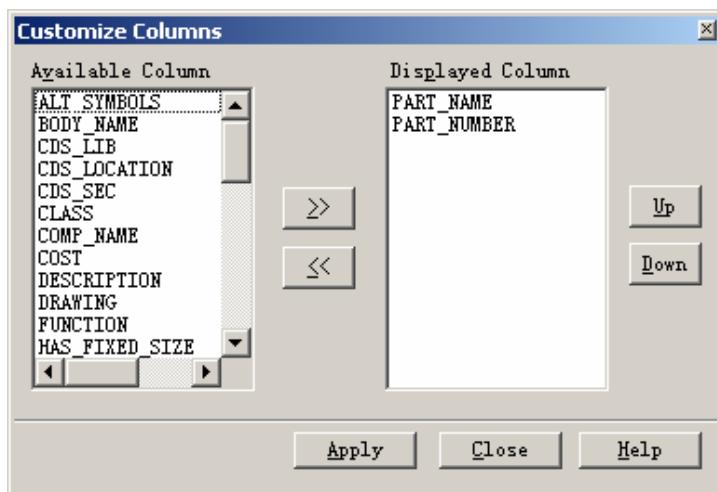
18.2.2 用户界面

Left pane—在左边窗格中可以选择 Alternates, Functions, 或者 Variants, 基于选择, 派生编辑器在右边窗格可以显示元件的派生信息、可交换的群组、功能和派生信息。

Filter List—位于右边两个窗格的中间, 大小固定的, 可以输入选择的属性, 然后过滤。

18.2.2.1 定制派生编辑器界面

刚一装入派生数据库是, 右下窗格仅仅显示 part_name 和 part_number 属性, 要想看其他属性就要进行定制。选择 View->Customize Columns, 请见下图:



在 Available Column 栏中选择相应的属性，点击按钮 将属性加入 Displayed Column 栏，相反可以点击 将属性移走。点击按钮 和 可以调整显示的位置。

18.2.2.2 设置和复位过滤器

点击属性名称上面的有*显示的栏，在下拉列表中选择需要过滤出的选项。也可以直接输入值。在过滤元件之后，相应复位过滤器，点击按钮 或者按 即可。

18.3 创建派生数据库

派生数据库是新的数据库名称为 variant，包含每个派生的信息，用于创建 BOM 包含和接口文件。以下几个方法定义派生：

- 指定可以交换的值或者改变元件值。
- 指定元件的 Do Not Install (DNI) 状态。
- 提供 callouts 支持 – callouts 是机械元件，比如螺母、螺钉等等。在原理图中没有显示。
- 定义可交换的群组 – 是指功能相同但是 PCB 管脚图不一样的一组元件。
- 创建功能 – 功能是一个特征或者逻辑功能的一组元件。在派生设计中不能包括功能的特殊元件。只能包含或者不包含一个功能的所有元件。

18.3.1 识别可能的派生

派生编辑器允许下列类型的元件的派生：

值变更 – 元件值的变更，可能影响到 BOM，但是不影响 PCB。大多数派生都是这种。

No Not Install – 在一个特殊的派生中，某个元件不安装。

Footprint 派生 – 功能相同的元件群组但是管脚图不同。

18.3.2 指定可交换的值

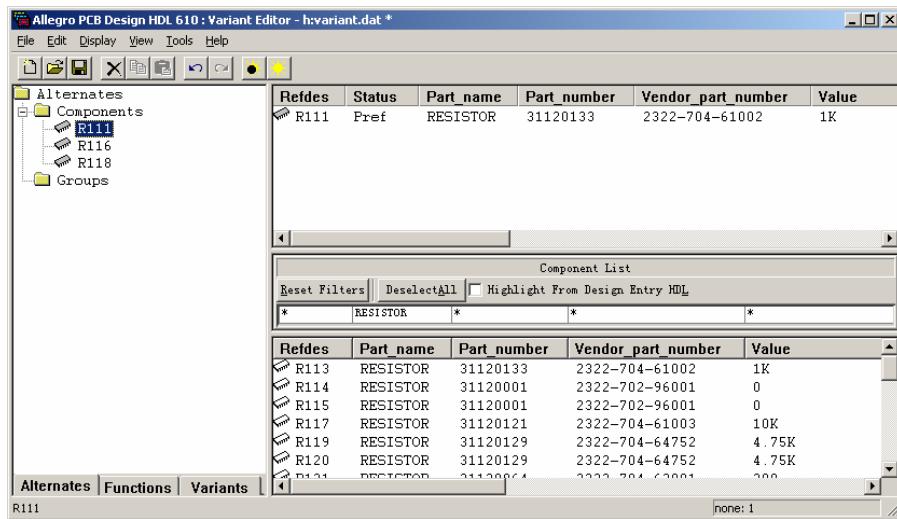
可以定义最多 99 个可交换的值，这个值只能从 PPT 文件中选择，并且 JEDEC_TYPE 属性要相同。如果不相同请见下面使用兼容的 JEDEC_TYPE 小节内容。

定义一个可替换的值，选择 Alternates 选项卡，然后点击 Components 文件夹。

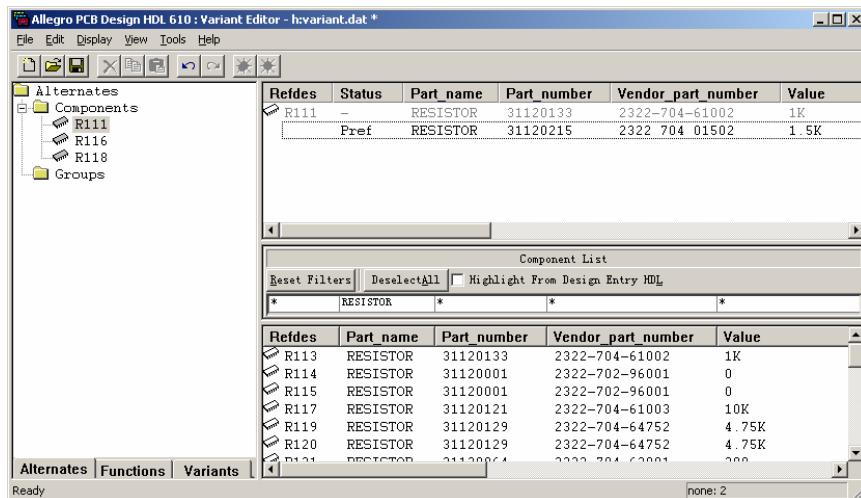
注意在 Alternates 栏指定的派生应用于所有的派生除非有一些特殊的派生进行了定制。

18.3.2.1 变更首选的值

1. 在右下窗格中，选择一行，然后按右键选择 Add to Alternate Components List 命令，此元件被加入到右上窗格中，缺省值是 Preferred。可以同时移动多个元件。
2. 在左面窗格中选择相应的元件，以便在右上窗格中正确的显示。请见下图。



3. 在右上窗格中选择元件，按右键选择 Change Value。
4. 在 PPT 表格中选择一个新的 preferred 值，然后点击 OK。原始一行的状态变为“-”。请见下图：



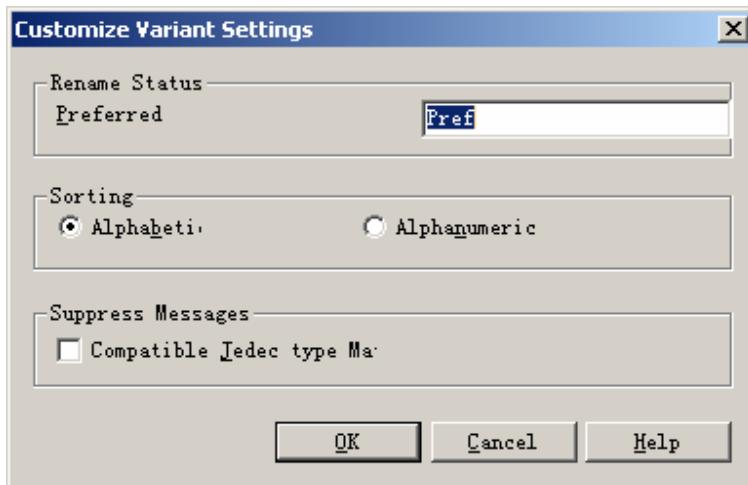
18.3.2.2 定义可交换的值

1. 在右上窗格中选择一行，按右键选择 Add Alternates，弹出 PPT 对话框。
2. 选择一个新的首选的值，然后点击 OK。显示新的一行状态为 Alt1。
3. 按照上述方法再加几行，最多不能超过 99 个，并且不能与以前输入的相同。请见下图：

Refdes	Status	Part_name	Part_number	Vendor_part_number	Value
R111	-	RESISTOR	31120133	2322-704-61002	1K
Pref	RESISTOR	31120215	2322 704 01502		1.5K
Alt1	RESISTOR	0603-10.1-1%	0603_10.1%_0.0625W		10.1
Alt2	RESISTOR	31120218	2322 704 01309		13

18.3.2.3 改变元件的 Pref 状态指示

1. 选择 Tools->Options 命令，弹出定制派生设置对话框，请见下图：



2. 在 Rename Status Preferred Component 栏输出新的状态，只能是字母和数字。
3. 点击按钮 OK。

18.3.2.4 改变 Alternate 的状态

右键点击任何一行，弹出菜单可以选择

Make Pref—状态改为 Pref

Make First Alternate—状态改为 Alt1

Make Second Alternate—状态改为 Alt2

Make Alternate—弹出一个对话框，可以在 Pref, Alt1, Alt2 之间进行选择。将会和之前定义为此状态的行进行交换。

18.3.3 定义可交换的群组—Alternate Groups

有很多设计包含一套并行的元件，每个的管脚图都不一样，在一个派生中仅仅安装一个。创建这样的一组元件，就称为 Alternate Groups。

18.3.3.1 创建 Alternate Group

右键点击左面窗格中的 Groups，选择命令 New Group F2。也可以选择 Edit-> New Group。

重命名此群组，群组名称只能使用字母、数字和下划线_。

18.3.3.2 添加元件到 Alternate Group 中

在左面窗格选择新建的群组，然后在右下窗格中右键点击元件选择命令 Add to Alternate Group，添加元件到群组中。并按顺序给出状态，请见下图

Refdes	Status	Part_name	Part_number	Vendor_part_number	Value
R119	Pref	RESISTOR	31120129	2322-704-64752	4.75K
R121	Alt1	RESISTOR	31120064	2322-704-62001	200
R123	Alt2	RESISTOR	31120129	2322-704-64752	4.75K
R126	Alt3	RESISTOR	31120167	2322-704-62152	2.15K

18.3.4 创建功能—Functions

如果需要在多个派生中添加一套元件来形成一个特性或者逻辑功能，可以创建 function。然后可以包含或者不包含整个功能。不能只包含部分。

18.3.4.1 创建 function

点击 function 选项。

右键点击 function 文件夹，然后选择 New Function 选项。或者选择菜单命令 Edit->New Function。

重命名 function。

18.3.4.2 加元件给 function

在左面窗格选择新建的 function，然后在右下窗格中右键点击元件选择命令 Add to Function，添加元件到 function 中。

18.3.4.3 定制 function 值

在左面窗格选择一个 function。

在右上窗格中选择所有元件，然后点击 Change Value。

选择一个新值并点击 OK 确认。

18.3.5 锁住元件和群组

锁住可交换的元件，以便更改/定制 function/variant 的值。选择 Edit->Lock 锁住元件。解锁选择 Edit->Unlock。

18.3.6 高亮原理图中的元件

选择 Display->Highlight Source，去掉高亮，选择 Display->Dehighlight Source。

18.3.7 创建和管理派生

要创建派生，仅仅定义与基础设计的不同就可以了，不需要重新定义那些相同的值。

18.3.7.1 创建派生

点击 Variants 选项。

然后右键点击 Variants 文件夹，选择 New Variant。也可以选择 Edit->New Variant 命令。
重命名这个派生。

18.3.7.2 添加元件、Alternate groups 和 Function 到派生中

在添加任何元件到派生之前，Alternate 选项中的信息都可以适用于所有派生。可以添加元件 Alternate groups 和 Function 到派生中，并且可以改变和定制它们的值。

在左边窗格选择一个派生。

在右下窗格中选择一个元件或者 Alternate Group，按右键选择 Add to Variant。

也可以添加 function 到派生中。按照上面的操作方法，选择 function 按右键选择 Add function to Variant。

18.3.7.3 定制派生信息

定制元件或者 Alternate Group 的属性，首先在右上窗格中选择元件，然后按右键选择以下命令：

- Do Not Install Component – 执行完此命令，状态变为 DNI。
- Change Value – 执行完此命令后，会增加一行，状态与之前的元件相同。
- Make Preferred – 改变状态为 Pref。如果是针对元件的操作，状态会马上改变，如果是针对 Alternate Group 中的一个元件，会提示当前的状态是否保留，如果选择 Yes，则

当前元件的状态保留；

允许添加一个新行，带有同样参考位号，并且状态为 Pref。

原来的元件状态变为 DNI。

- Make First Alternate – 改变状态为 Alt1
- Make Second Alternate – 改变状态为 Alt2
- Delete – 状态变为 DNI。

操作完成，保留文件。缺省的文件名为 variant.dat，保存在 variant 路径中。可以改名字，名称必须使用字母、数字和下划线。

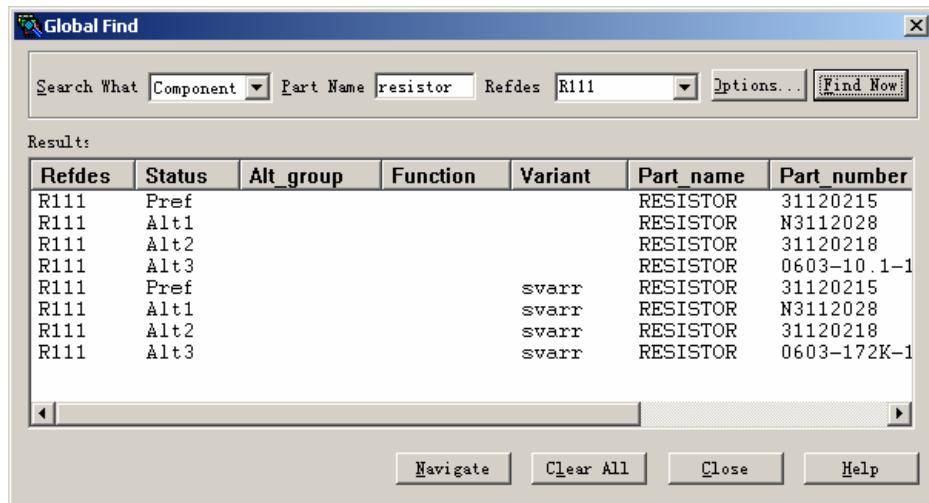
18.3.8 全局搜索

因为在派生编辑器的多个地方都可以定制元件的属性，比如可以在 alternates 和 alternate groups 中定义属性，也可以在 functions 或者 variants 中定义元件属性等等，所以元件有很多定制，要查看所有元件的定制信息，可以使用 Global Find 对话框，在对话框中除了可以查看，还可以完成如下功能：

- 查看一个特殊的 function 的所有派生。
- 从所有派生或者选择选择的派生同时移走一个元件或者元件的一个可交换的值。
- 改变元件值
- 删多个有特殊定制的元件，改变选择的派生中的可交换的元件值。
- 定位派生编辑器中的一个特殊元件。

18.3.8.1 查找一个元件的所有定制

4. 在派生编辑器中选择 Tools->Global Find 命令。
5. 如果是查找元件，就在 Search What 栏选择 Component。
6. 在 Part Name 栏输入元件名称，比如 resistor。
7. 在 Refdes 栏选择位号，比如 R111。
8. 点击按钮 Find Now。请见下图：



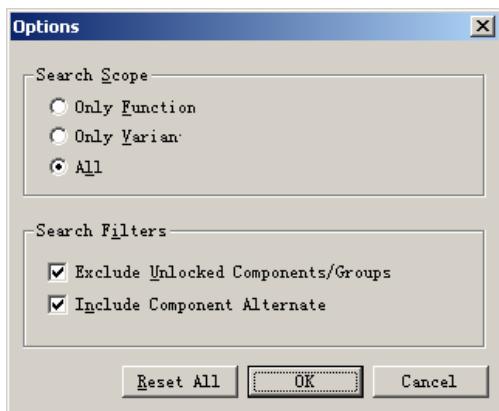
18.3.8.2 在派生编辑器中查看 function

1. 在派生编辑器中选择 Tools->Global Find 命令。
2. 在 Search What 栏选择 Function。
3. 在 Part Name 栏输入元件名称。
4. 在 Name 栏选择或者输入名称。
5. 点击按钮 Find Now。
6. 如果想要进行另外一个搜索，点击按钮 Clear All。

18.3.8.3 定制全局检索

在检索元件时，可以定制检索范围。

在 Global Find 对话框中，点击按钮 Options...。弹出对话框，请见下图：



18.3.8.4 在 Global Find 对话框中其他功能操作

对全局检索结果的可以进行以下操作：

- Navigate – 选择元件位号，然后点击按钮 **【Navigate】**，即可在派生编辑器中定位元件的位置。
- Delete – 选择元件，然后按右键选择命令 delete。
- Change Value – 选择元件，然后按右键选择命令 Change Value
- Remove – 选择元件，然后按右键选择命令 Remove。

18.3.9 同步派生数据和原理图

如果在派生数据产生之后，又变更了原理图，则不同步了。同步就是引入原理图的变更到派生数据库中，以便保持信息的正确性。

同步基于元件名称和 JEDEC_TYPE 兼容性匹配，同步遵守下列规则：

- 如果规范的路径和位号匹配，则继承原理图信息。
- 如果规范的路径和位号其中一个不匹配，则派生编辑器显示 Conflict Found While Loading Design 对话框。以确定是否同步和以什么方式同步数据。缺省情况下是以规范的路径来进行同步的。
- 如果原理图中新增加了一个元件，有两种情况，一种是一个有新封装的元件，那么就直接并入派生编辑器。另外一种情况就在一个已经有的封装中再增加一个 section，其他 section 的派生信息就加到新的 section 上了。
- 如果原理图中删除了一个元件，有两种情况，一种是如果被删除的元件是其中的一个 section，派生数据没有任何改变。另外一种就是删除的元件是 alternate group 的一个元件，那么这个 group 就从派生数据库中删除。

18.3.10 使用兼容的 JEDEC_TYPEs

不可能总是用有同样 JEDEC_TYPE 属性的元件来进行替换，如果属性不同，派生编辑器允许定义兼容的 JEDEC_TYPE 属性的元件，属性虽然不同，但是管脚图是相同的。可以在 cdssetup 路径创建 cjedectype.txt 文件，来定义兼容的封装。文件内容请见下文举例

```
#####
#
```

File for jedec type compatibility

```
#####
#
```

C200901_010 C200901_011 C200901_011 C200901_011 C200901_012 C200901_013;

ADDAMS_CAP ADDAMS_CAP ADDAMS_CAPC ADDAMS_CAPD;

CC0603 CC1812 CC1812 CC1825 CC1206 CC1812;

RC1206 RC0603 RC2010 RC2010;

上例中有 4 套兼容的属性，每个后边以 “;” 结尾，每个属性值以空格隔开。

可以设置派生编辑器不显示兼容的 JEDEC_TYPE 属性信息，在 Customize Variant Settings 对话框中，选择 Suppress Messages Compatible Jedec type Match 选项。

18.3.11 替换元件

在定义 functions 和 variants 之后，可能要替换元件，替换的元件可能又新名字或者不同的属性，但是应该有兼容的管脚图，才能保留目标的定制。

如果替换的元件管脚图不兼容，所有的定制就会丢失。派生编辑器将灰色显示之前那个元件的首选值。

派生编辑器可以替换 function 和 variant 中的元件，但是这个元件不是 alternate group 的一部分。

1. 选择 Functions 或者 Variants 选项卡。
2. 在右上窗格中选择元件，按右键选择 Replace Component。弹出 Replace Variant Component 对话框。
3. 在 Ppt Part Name 栏选择替换的元件，点击按钮 OK。弹出 PPT 对话框。
4. 在表格中选择一行，关闭对话框。

18.3.12 同步 PTF 信息

在启动派生编辑器时，会读取最新的 ptf 文件，并检查是否 injected 或者 user-defined 属性有变化。如果有变更，派生编辑器会更新 ppt 变更，并将变更传递给设计中所有的派生。但是 key 属性的任何变更都会被忽略，派生数据库中的信息会保留。

在同步 PTF 信息之前，要将原理图以 preserve 模式打包。否则信息不会更新。

18.4 反标派生信息

在创建派生数据库之后，可能需要打印原理图时也要打印派生信息。使用派生编辑器可以将派生信息反标回原理图。有两种反标类型：

- 反标属性给基础原理图。
- 给派生标记属性 - 派生中的每个元件值都改变了，或者给新属性指定 DNI 状态。

此外元件的属性值也更新。

18.4.1 准备反标

注意在进行派生信息的反标时，要确保 Design Entry HDL 时运行的。并且要给设计中的每个模块每一页的页边框都有附加如下属性：

- MODULE_NAME
- TOTAL_PAGES
- PAGE_NUMBER

当派生编辑器创建一个新的平面视图时，会更新这些属性。

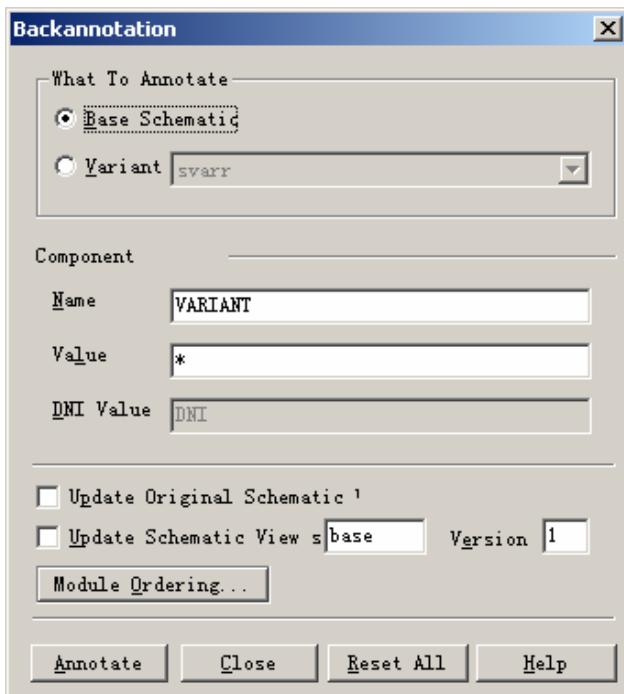
在进行反标时，Design Entry HDL 会检查使用了任何派生属性占位符。如果使用了，Design Entry HDL 就会在原理图中显示属性占位符。可以控制属性名称的显示。使用下列环境变量可以改变派生属性的显示：

CDS_VARIANT_PROP_VIS = {BOTH | NAME | VALUE | INVISIBLE}

在上面的四个选项中选择其一。

18.4.2 启动反标对话框

在派生编辑器中选择 Tools->Annotate Variants。请见下图：



18.4.3 反标基础原理图

反标可以创建一个新的原理图视图或者在原来的视图上做一些变更，也可以定义一些新的

属性并给他指定值，这个属性会反标给基础原理图中的有派生信息或者有 DNI 状态的所有元件。

1. 在 Backannotation 对话框中，选择 Base Schematic。
2. 缺省情况下 Value 值为 “*”，可以更改这个值。
3. 选择 Update Schematic View 选项更新原始的原理图。
4. 点击按钮 。创建了一个新的平面原理图视图 schbase_1，每页的 TOTAL_PAGES 和 PAGE_NUMBER 属性也更新了。

18.4.4 反标 Variants

可以使用派生编辑器为任何一个派生创建一个平面的原理图，此视图有所有的元件和属性。派生视图也包含为所有元件定制的属性，可以节省时间。

1. 在 Backannotation 对话框中，选择 Variants 选项。
2. 在下列列表中选择派生名称。
3. 缺省情况下 Value 值为 “*”，可以更改这个值。
4. 缺省情况下 DNI Value 栏为 DNI，可以更改这个值。
5. 选择 Update Schematic View 选项更新原始的原理图。
6. 点击按钮 。创建了一个新的平面原理图视图<variant_name_1>，有任何属性更改的元件都指定了一个新的属性，属性值的任何变更都在新的视图中更新了。

18.5 在 PCB Editor 中管理派生信息

派生编辑器可以属性派生信息给接口文件，PCB Editor 可以用来做：

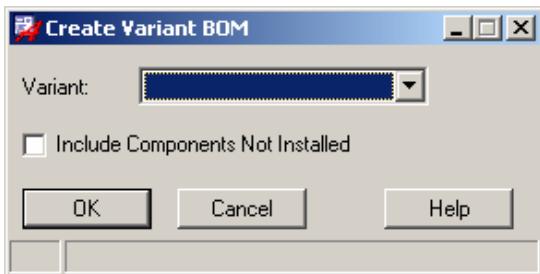
- 为每个派生创建 BOM 报告。这些报告以 PCB Editor 标准格式创建。
- 为每个的派生创建组装图。

18.5.1 输出 PCB Editor 接口文件

在派生编辑器中，选择 File->Export，然后点击按钮 。

18.5.2 在 PCB Editor 中创建 BOM 报告

1. 启动 PCB Editor。
2. 选择命令 Manufacture->Variants->Create Bill of Materials。也可以用 SKILL 命令 variant bom。弹出 Create Variant BOM 对话框。请见下图：

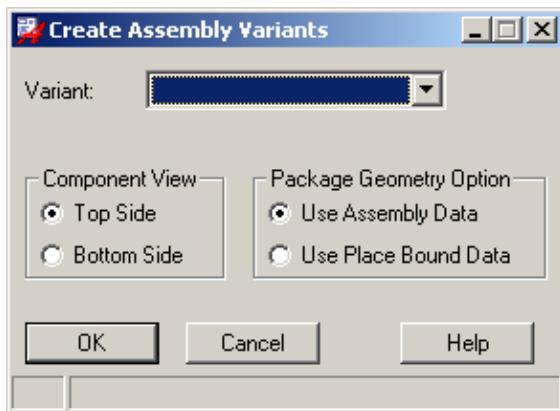


3. 在 Variant 下列列表中选择派生。
4. 如果在 BOM 报告中包括 DNI 状态的元件，就选择 Include Components Not Installed。
5. 点击按钮 OK。则在 physical 视图中创建了一个名为 var-<variant_name>.rpt 文件。

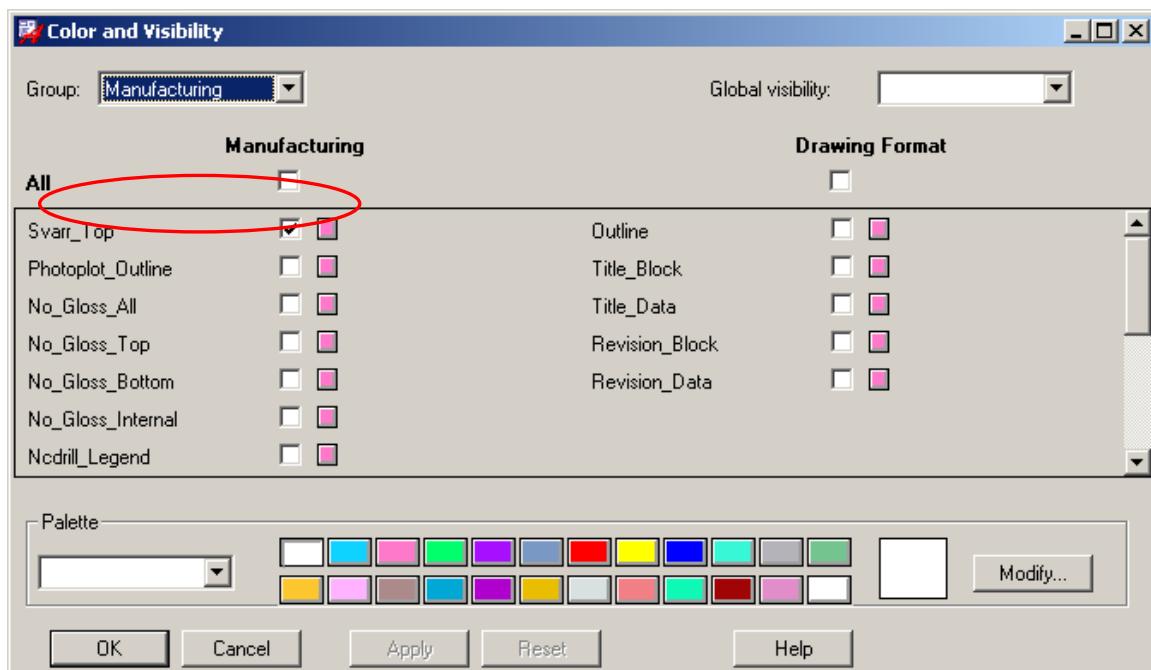
18.5.3 创建 Variant 组装图

在创建组装图之前，要将需要包括的层显示出来。

1. 选择命令 Manufacture->Variants->Create Assembly Drawing，也可以用 SKILL 命令 variant assembly，弹出 Create Assembly Drawing 对话框。请见下图：



2. 在 Variant 下列列表中选择派生。
3. 选择需要创建顶层还是底层图。
4. 点击按钮 OK。有信息提示创建一个组装图 MANUFACTURING/<variant_name>_<component_view>，也就是说在 MANUFACTURING 集下面创建了一个子集。请见下图：



目录

前言	错误！未定义书签。
第一章 Allegro 目录结构和界面概述	5
1.1 Allegro 目录结构	5
1.1.1 Allegro 文件目录结构	5
1.1.2 环境目录	5
1.2 Allegro 的使用界面说明	6
1.2.1 Project Manager 界面	6
1.2.2 Allegro 焊盘和元件路径设置	6
1.2.3 Allegro 编辑界面	8
1.2.4 工具栏说明	8
1.2.5 调整工具栏	8
1.2.6 控制栏说明	9
1.2.7 缩略图和状态栏说明	10
1.2.8 命令输入窗口说明	10
1.2.9 颜色设置窗口说明	11
1.2.10 记录和回放	11
第二章 制作板外框、叠层和版图设置	13
2.1 制作板外框	13
2.1.1 设置工作区	13
2.1.2 绘制边框	14
2.1.3 放置定位孔	14
2.1.4 边框倒角	16
2.1.5 尺寸标注	17
2.1.5.1 尺寸标注参数设置	17
2.1.5.2 边框尺寸标注	17
2.1.5.3 倒角半径标注	18
2.2 添加叠层	18
2.3 定义板区域	19
2.2 设置栅格	20
2.3 设置版图选项	20
第三章 布局及布局后的设置	21
3.1 元件布局	21

3.1.1 快速布局	21
3.1.2 手工布局	22
3.2 移动元件	22
3.3 高亮显示电源和地网络	23
3.4 约束管理器的设置	24
3.4.1 普通线宽和线距设置	26
3.4.2 电源线宽设置	27
3.4.3 差分线宽和线距设置	29
3.4.3.1 与 Cadence 14.x 版本兼容的设置方案	29
3.4.3.2 Cadence 15.2 差分信号属性的设置方案	33
3.4 电源和 GND 的划分	35
第四章 布线、加测试点、铺铜和 DRC 检查	39
4.1 走线	39
4.2 移动线	39
4.3 修线	39
4.4 添加过孔和替换过孔	39
4.4.1 添加过孔	39
4.4.2 替换过孔	39
4.5 生成报告文件及查看布通率	39
4.6 加在线测试点	39
4.7 铺铜	39
4.8 DRC 检查	39
第五章 调整丝印、添加技术说明和 Valor 检查	39
5.1 添加板名、条码框和防静电标识符	39
5.2 丝印调整	39
5.2.1 调整丝印位置	39
5.2.2 调整丝印大小	39
5.3 填写技术说明和叠层说明	39
5.3.1 逐个字符输入法	39
5.3.2 复制技术说明法	39
5.3.3 添加库内技术说明	39
5.4 添加归档文件外框	39
5.5 Valor 检查	39
第六章 光绘输出和检查	39
6.1 添加钻孔表	39
6.2 添加钻孔文件	39
6.3 输出光绘文件	39
6.3.1 手工添加光绘层	39

6.3.2 用 Script 添加层	39
6.3.3 输出光绘文件	39
附录 1 Allegro 菜单对应的 command 命令	39

前言

Allegro分册为《EDA工具手册》的第二分册，Allegro是Cadence的PCB设计工具，此分册通过从PCB环境设置到生成光绘文件的全套流程的学习，可以使EDA的新员工能够独立进行PCB设计。本书采用图解配合文字说明的方式，并附有音、视频演示（在本书中附有具体步骤的音、视频演示文档），形象而生动地演示每一个操作步骤，使初学者能够按部就班地操作和实践，并能迅速领会每个步骤的具体含义，使公司新招募的EDA工程师对Allegro使用有一个总的了解，使他们尽快上手。本书适合cadence15.2的初、中级学员。

本书共分六章：

- | | |
|------|-----------------------|
| 第一章 | Allegro 目录结构和界面概述 |
| 第二章 | 制作板外框、叠层设置、栅格设置和尺寸标注 |
| 第三章 | 布局及布局之后的各项设置 |
| 第四章 | 布线、修线、加测试点和 DRC 检查 |
| 第五章 | 调整丝印、Valor 检查和铺铜 |
| 第六章 | 光绘输出和检查 |
| 附录 1 | Allegro菜单对应的command命令 |

第一章 Allegro 目录结构和界面概述

1.1 Allegro 目录结构

1.1.1 Allegro 文件目录结构

Allegro 的文件目录可以分为三部分：安装路径、工作路径和用户环境路径

1. 安装路径：系统默认安装路径为：C:\cadence\SPB_15.2
2. 工作路径：系统默认工作路径为：C:
3. 用户环境路径：
 - Win2000 用户在首次使用 Allegro 会在系统盘下产生一个 pcbenv 用户环境目录
 - WinXP 用户会在系统盘下\\Document and Settings 下的用户文件夹下面产生 pcbenv

1.1.2 环境目录

作用：记录软件默认的一些参数，初始化工作界面以及保存用户修改的参数设置

Allegro 有两个环境目录文件：

1. 系统环境目录：\$INSTAL_DIR\SPB_15.2\share\pcb\text
2. 个人环境目录：\$HOME\pcbenv

推荐：

- 为了减少不必要的重装软件的麻烦，不要随意更改系统目录中的文件。
- 个人环境目录里的文件可以更改

方法：在系统环境变量里加变量 home 值，将此值设为绝对路径，如 d:\，这样个人环境目录即为：D:\pcbenv，环境变量的位置在：[我的电脑=>右键属性=>高级=>环境变量](#)，请看下图：

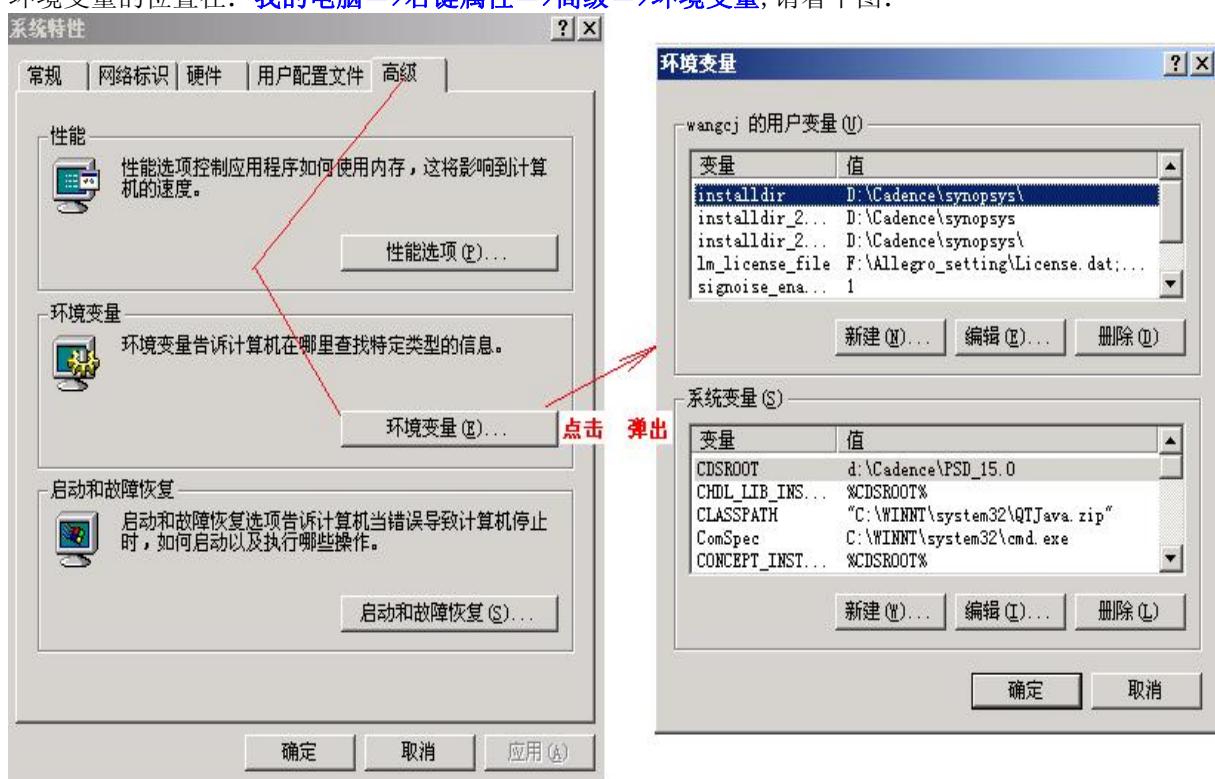


图 1.1 环境变量设置窗口

1.2 Allegro 的使用界面说明

1.2.1 Project Manager 界面

运行 Project Manager 之后会出现 Project Manager 的窗口，新项目建好之后，其界面和相应的图标说明如下，新建项目的过程如参照附件 新建项目.avi

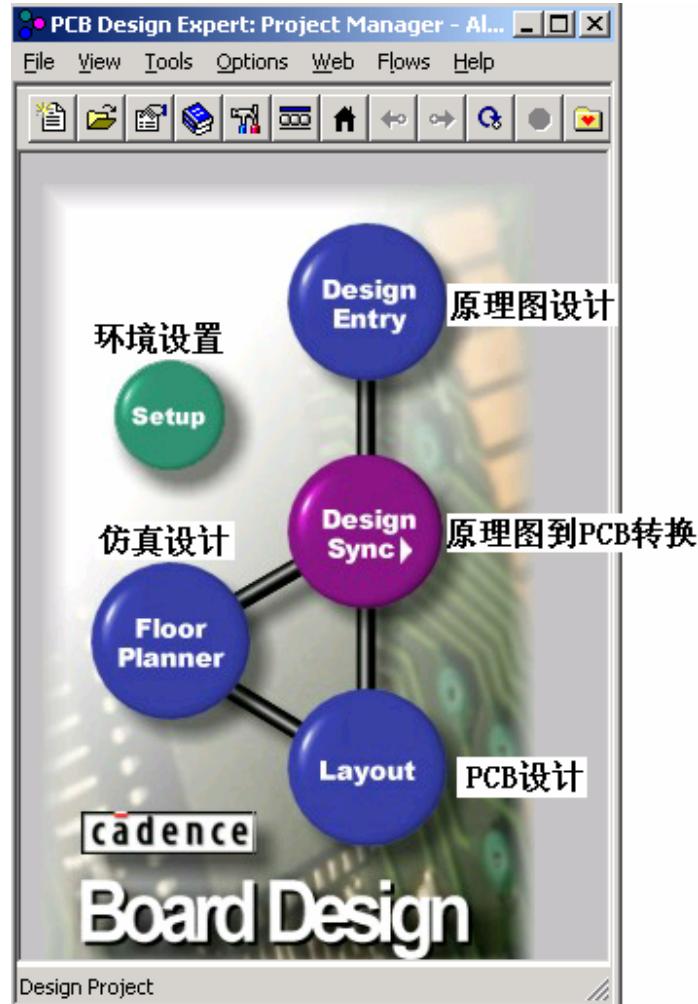


图 1.2 Project Manager 说明窗口

1.2.2 Allegro 焊盘和元件路径设置

在进入 Allegro 之前，要将库中焊盘和元件的路径指正确，设置步骤如下：

- 点击 Project Manager 中的 Setup 按钮弹出如下窗口：

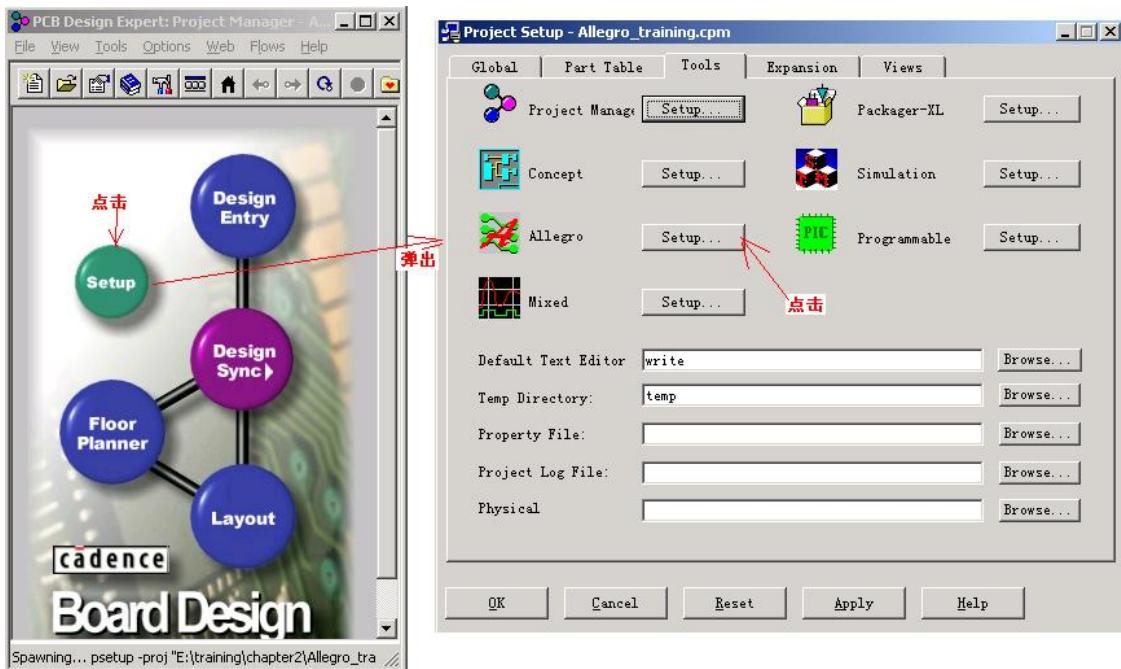


图 1.3 Project Manager 的 Setup 按钮窗口

● 再点击 Allegro 的 Setup 按钮弹出如下窗口：

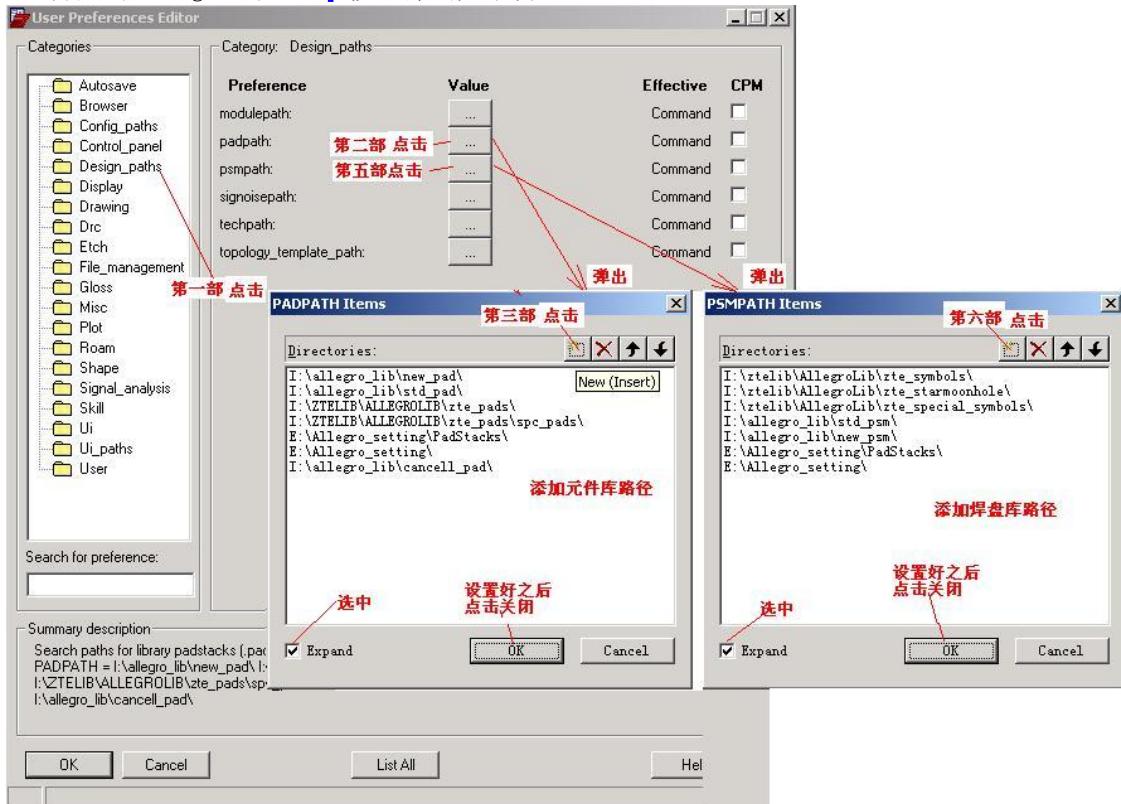


图 1.4 设置库中焊盘和元件的路径

1.2.3 Allegro 编辑界面

我们在第一分册中已学习如何从原理图打包到 PCB，这里不再详述，打包成功后，在 Project Manager 窗口中，点击“Layout”按钮就可以进入 Allegro 编辑界面，Allegro 的窗口界面的说明如下图所示：

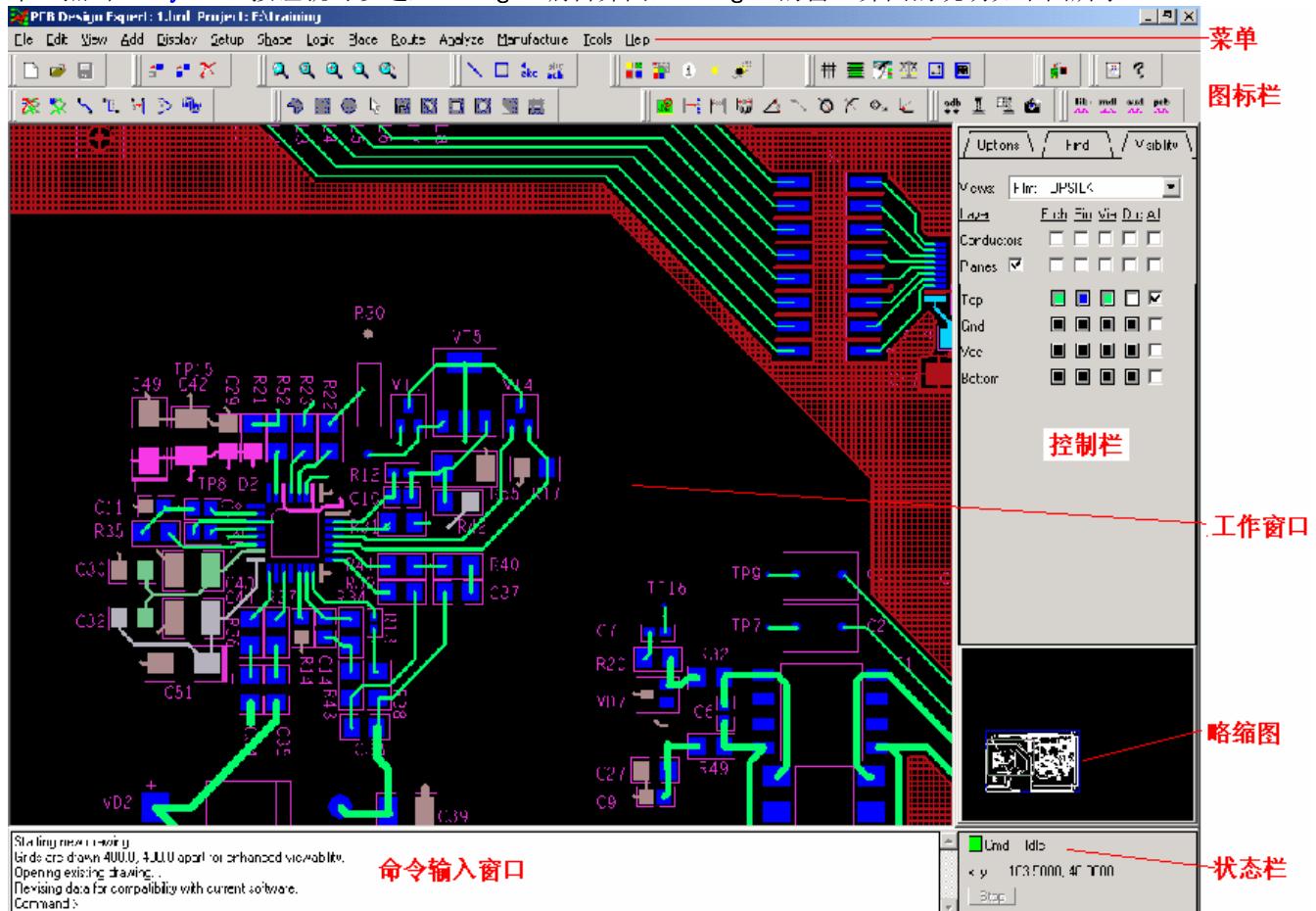


图 1.5 Allegro 窗口说明

1.2.4 工具栏说明

其中工具栏的图标在相应的菜单栏中都可以找到，其对应关系如下：红色的文字对应菜单栏的选项。



图 1.6 工具栏说明

1.2.5 调整工具栏

如果工具栏图标太多或者太少，可以通过菜单 **View=>Customization=>Toolbar** 自己增加或者减少一些不常用的图标，不过，由于 Cadence 在这个地方存在 bug，建议采用默认设置。

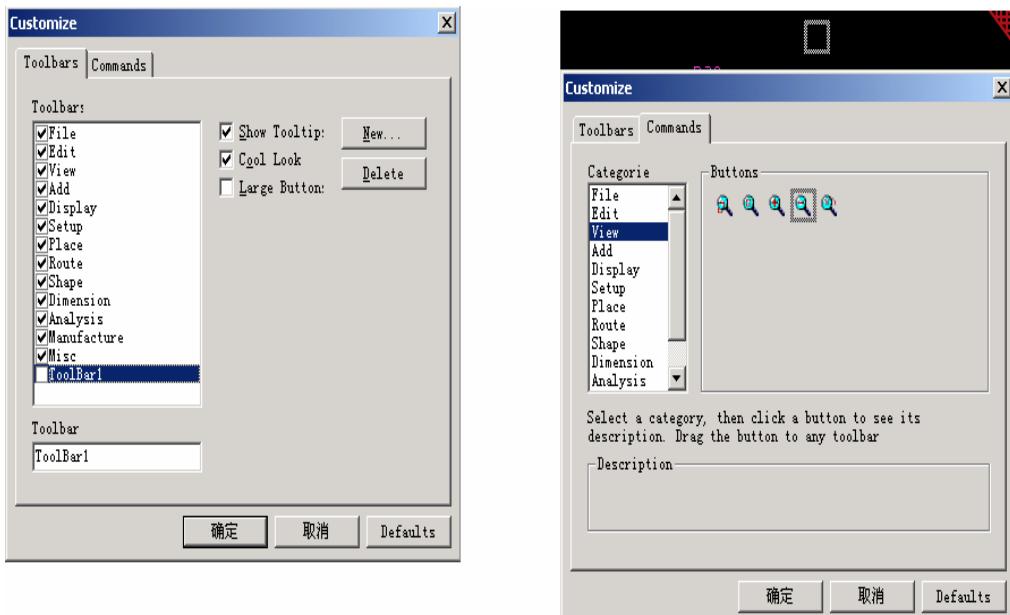


图 1.7 更改工具栏

1.2.6 控制栏说明

控制栏主要有三大选择项：Option、Find 和 Visibility。控制面板可以移到屏幕的任何地方：在 View->Customization->display 下，可选择控制面板的位置。

通过控制面板的 Option 标签可选择被激活的类或子类，在 Allegro 数据库中，所有元素都有一个类属性（CLASS）或子类属性（SUBCLASS）。通过控制面板的 Find 标签，可以选择各种元素，如 Nets、Lines、Vias 等，当执行各种命令时，都需要在 Find 标签中选择好相应的元素。

以移动命令为例，说明一下“Find”选项含义。选择菜单 Edit->Move，再看“Find”选项如上图 1.11 所示，其中有多个复选框可供选择，想移动什么东西，一定要将其对应的复选框钩上“√”，比如，如果想要移动元件，首先点击一下“All Off”按钮，关闭所有的复选框，然后再将复选框“Symbols”钩上“√”，就可以对元件进行移动了。

如果要查看某个元件的信息，可以通过 Display->Element，或单击图标 ，然后在 Find 标签中选择好相应的元素。

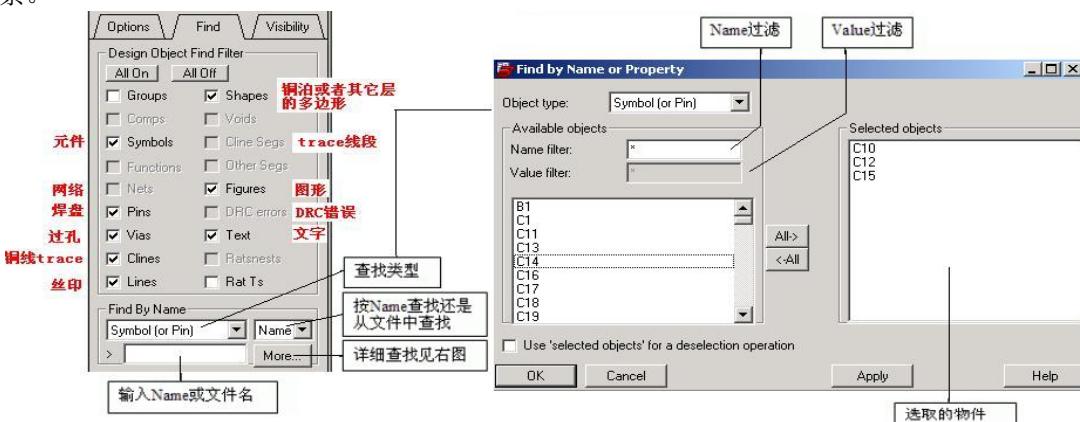


图 1.8 工具栏 Find 选项

通过控制面板的 Visibility 标签，可以选择 Etch 、Pin、 Via、 DRC 的各个子类的可视性。“Visibility”

下的“Views”可以用于快速切换窗口显示，其中的列表项内容是在进行过光绘的输出设置之后，就可以显示出来。

“Visibility”下的“layer”的意思就是对各层进行打开或者关闭显示，将小方框里打上“√”表示打开这层的显示，取消“√”表示不显示该层。

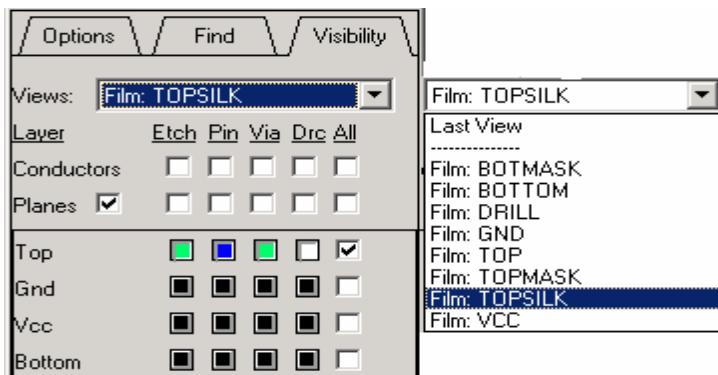
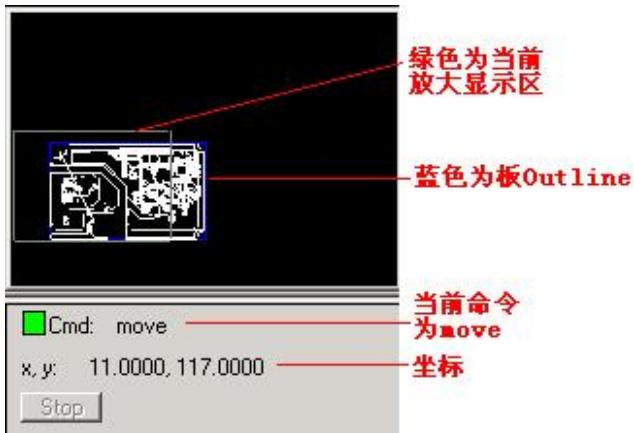


图 1.9 工具栏 Visibility 选项

1.2.7 缩略图和状态栏说明



Cmd 有三种状态：

1. 绿色：动作正常状态
2. 红色：命令执行状态，不可中断
3. 黄色：命令执行状态，但可以通过点击下边的 Stop 或 Esc 按钮退出

图 1.10 缩略图和状态栏

1.2.8 命令输入窗口说明

绝大多数的 Allegro 的菜单中的命令都有相对应的命令名字，我们可以通过在命令行中输入相应的“名字+回车”，可以和通过鼠标点击相应的命令达到一样的效果。比如，要移动元件，可以输入“move”然后回车即可。详细的 Allegro 命令集见本书结尾的附录 1。

```
Pick new location for element(s).
Pick vertex to edit.
Select element(s) to move.
W- Save Pending
Command >
```

图 1.11 命令输入窗口

1.2.9 颜色设置窗口说明

所有 EDA 软件都是分层管理的，每个层都代表不同的意义，每个层都可以加以颜色区分，可以打开或者关闭其显示。打开颜色设置层是通过菜单 **Display->Color/Visibility** 命令或者点击工具栏图标：“”。在 **Allegro** 里的设计文件可以包含很多不同的层面，每个层面在板子上对应一个 **SubClass**，又把一定关系的 **SubClass** 归类为一个 **Class**，同样把一些一定关系的 **Class** 归类为一个 **Group**，主要分成 7 个 **Group**:

1. Geometry
2. Stackup
3. Components
4. Manufacturing
5. Areas
6. Analysis
7. Display

Allegro 在操作打开和关闭每个层面都很方便快捷。但铜箔不能单独成为一个 **Class**，所以走线和铜箔必须同时显示，或者同时关闭。一些常用的层需要打开并加以颜色区分，比如，边框层、尺寸标注、丝印、焊盘、走线层等等。颜色可以根据个人的习惯进行设置，采用默认设置是不可取的，因为 **Allegro** 所有层的默认设置都是一种颜色。关于颜色设置的操作步骤可参看实例：[颜色](#)

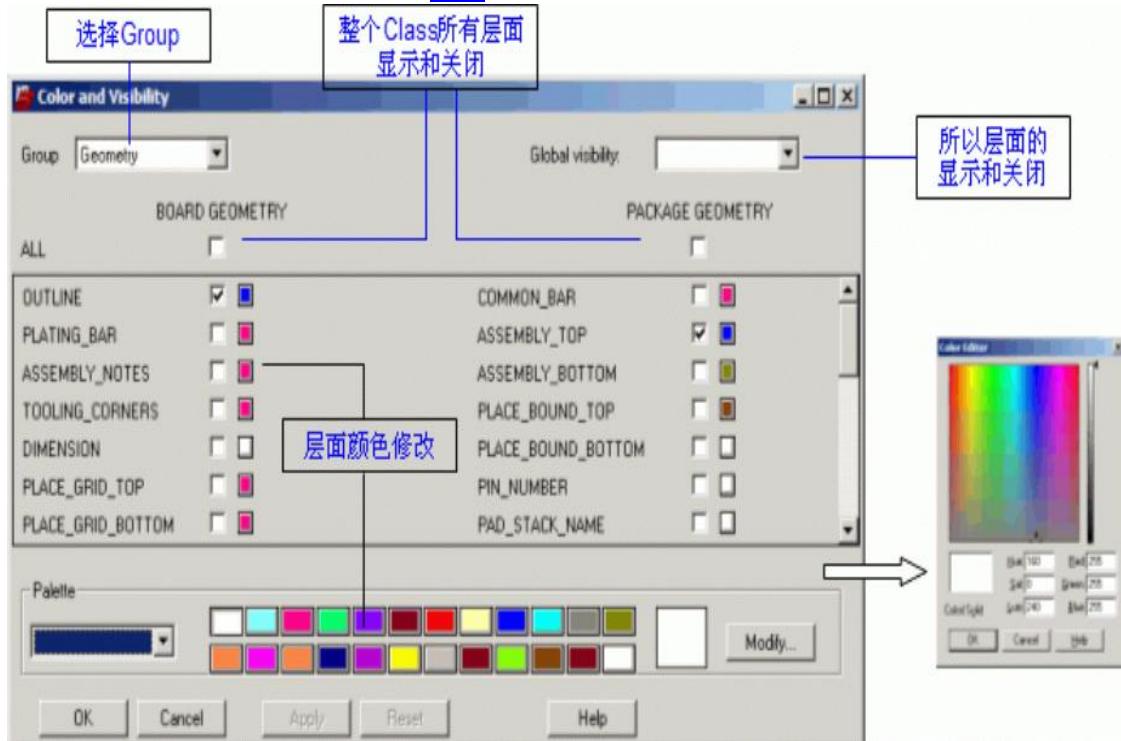


图 1.12 颜色设置窗口

1.2.10 记录和回放

该功能可以录制一些常用的动作或一些简单的操作，在下次使用到相同的操作时就可以回放这些录制的 **Script**。比如：颜色的设置、网格大小的设置等等。录制的记录方式采用的是文本文件格式，修改起来比较方便，**Script** 的库目录在 \\ SPB_15.2\share\pcb\text\script 目录中，可以在 **library** 中调用 **Script** 文件。运行菜单：**File->Script**，打开的窗口如下图：

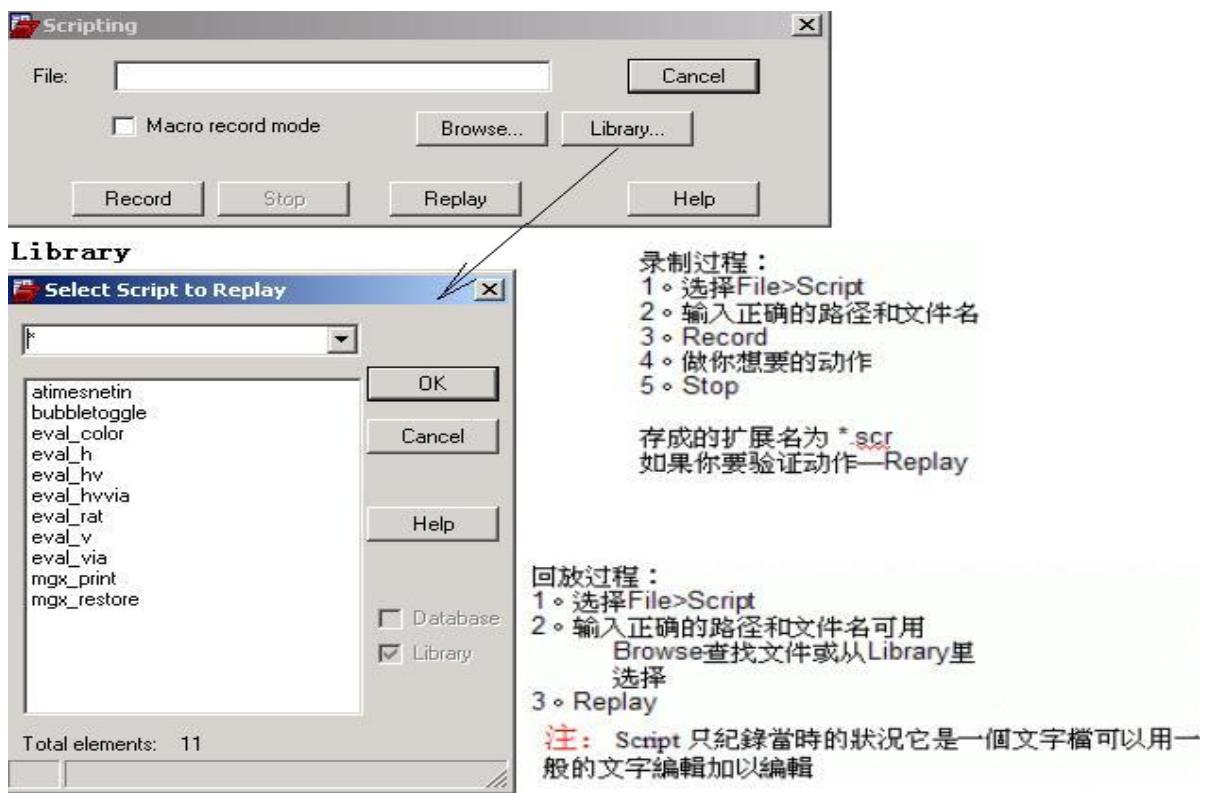


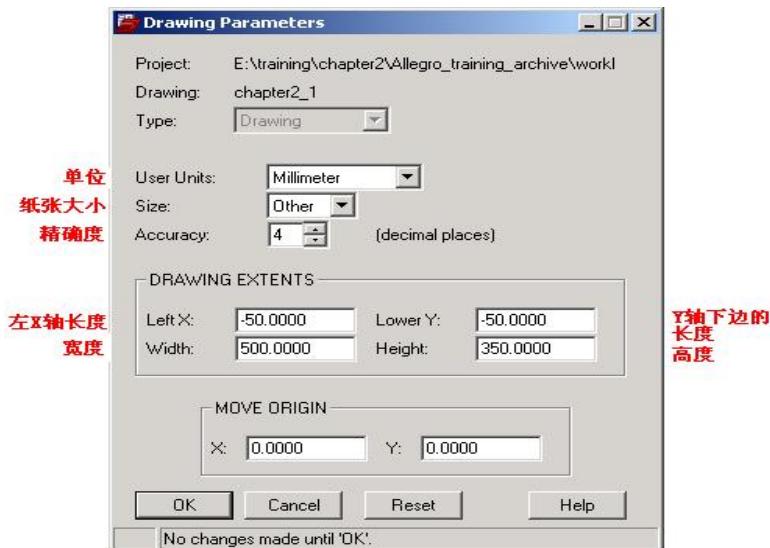
图 1.13 记录和回放使用

第二章 制作板外框、叠层和版图设置

2.1 制作板外框

2.1.1 设置工作区

任何一块 PCB 都要有外框存在，而且都应该是闭合的，有尺寸可以测量的。在绘制板框前，先要根据板的外形尺寸确定 PCB 的工作区域的大小。选择菜单目录 **Setup->Drawing Size** 打开 **Drawing Parameters** 设置窗口，参照下图进行设置：



1、单位就使用毫米，这样与结构图相一致，使用方便。

2、纸张大小就按照默认设置

3、精确度为小数点后 4 位

图 2.1 设置工作区

Drawing Extents 一定要设置好，留有一定的余量放置板的归档框和技术说明，关于这四个参数的意义，我们根据下图框来进行说明：

如果整板图框所定原点为：(0, 0)，屏幕的左下角坐标(-50, -50)；左上角坐标(-50, 300)；右上角坐标(450, 300)；右下角坐标(450, -50)，这样宽度就是 500mm，高度为 350mm，根据这个尺寸就能在 **Drawing Extents** 中进行设置了，如图 2.1 所示，将 Left X、Lower Y、Width、Height 设成相应的值。

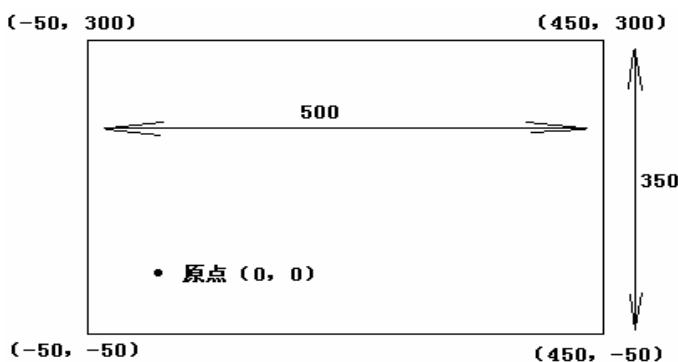


图 2.2 工作区参数的含义

2.1.2 绘制边框

在工作区设置好之后就可以选择命令 **Add=>Line** 或者点击工具栏图标 “” 来绘制边框了，注意一下“Option”中的参数的设置，一定要选择 **Board Geometry** 和 **Outline**，具体的图示见下图的参数说明：

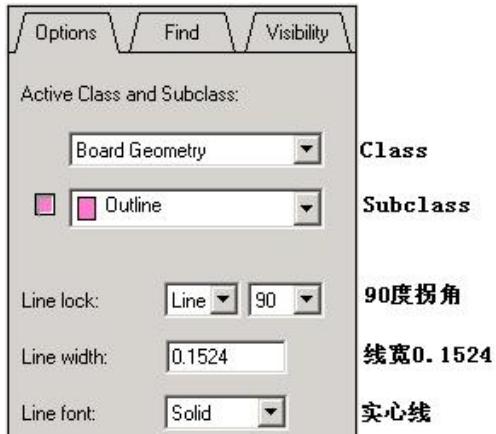


图 2.3 制作边框参数设置

在参数设好之后，我们采用输入坐标的方式精确绘制板框，一般要求 PCB 的左下角为原点 (0,0)，这样大家的尺寸能一致，修改比较方便。下面举例说明：根据结构图计算出 PCB 右下角坐标将是 (200,0)；右上角坐标将是 (200, 128)；左上角坐标将是 (0, 128)。绘制步骤如下：

- 1、选择命令 **Add=>Line** 或者点击工具栏图标 “”
- 2、设置“Option”的参数
- 3、鼠标点击命令输入窗口，输入字符：“**x 0 0**”(x 空格 0 空格 0 回车键)，注意空格和小写字符，引号不必输入，每次命令输入之后一定加回车键确认执行该命令。
- 4、X 轴方向增量 200mm，输入字符：“**ix 200**”，注意不要理会鼠标的位置
- 5、Y 轴方向增量 128mm，输入字符：“**iy 128**”
- 6、X 轴方向增量-200mm，输入字符：“**ix -200**”
- 7、Y 轴方向增量-128mm，输入字符：“**iy -128**”
- 8、点击右键，选择 **Done** 结束命令

具体步骤可以参照：[绘制板框. avi](#)

2.1.3 放置定位孔

根据结构图，我们需要在板四周放置 4 个Φ3.5mm 的孔，其中 3 个非金属化的，一个是金属化的，这 4 个孔需要从库中调入到 PCB 上，通过计算得知这四个孔的坐标分别为：(5, 5)、(5, 123)、(195, 123)、(195, 5)，其中 (5, 5) 放置的是金属化的孔。下面我们就从库中调入 4 个Φ3.5mm 的孔：

- 1、命令 **Place=>Manually** 或者点击工具栏图标 “”，然后选择 **Advance Settings** 选项，在 **List construction** 中，复选框 “**Library**” 选上。然后回到 **Placement List** 表中。参看图示说明：

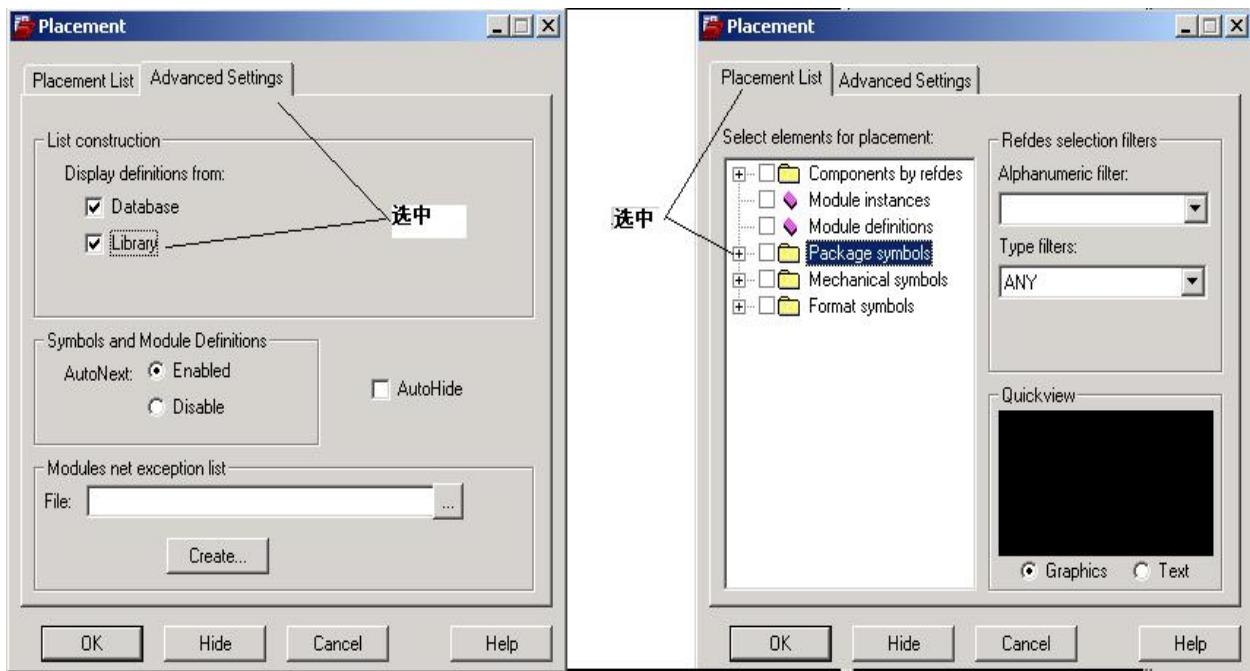


图 2.4 调入元件的库设置

- 2、点击 **Package symbols** 左边的“+”号，就可以看到库中的元件了，如果你看不到 **Package symbols** 目录，这说明你的环境变量没有设置正确，请参看上一章的用户参数设置。找到“**HOLE3R5P**”（**HOLE3R5P** 表示 $\Phi 3.5\text{mm}$ 的金属化孔）并在它左端的方格中打上“√”表示选中，移动到 PCB 板上，在命令行输入“**x 5 5**”，回车确认。
- 3、找到“**HOLE3R5**”（**HOLE3R5** 表示 $\Phi 3.5\text{mm}$ 的非金属化孔）并在它左端的方格中打上“√”表示选中，移动到 PCB 板上，在命令行输入“**x 5 123**”，回车确认。
- 4、重复上面的步骤，再调入另两个非金属化孔，在命令行输入“**x 195 123**”和“**x 195 5**”。

操作步骤可看操作实例：[调入定位孔.avi](#)

这样就按坐标放置了四个孔。也可以先调入四个孔随意放置，然后再进行精确定位，步骤如下：先按上面步骤调入四个 $\Phi 3.5\text{mm}$ 的孔随意放置在 PCB 上，然后选取命令 **Edit->Move** 或者点击工具栏图标“”，注意右边“**Option**”和“**Find**”参数的设置：

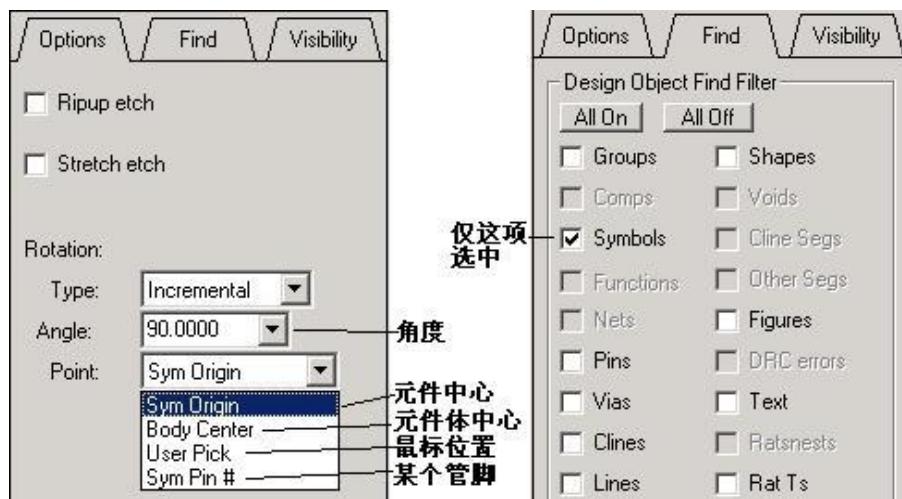


图 2.5 放置元件的参数设置

放置的步骤如下：

- 1、选取命令 **Edit->Move** 或者点击工具栏图标 “”
- 2、“Option” 和 “Find” 参数的设置正确，选择 “**Sym Origin**”
- 3、点取 HOLE3R5P 元件，在命令行输入 “**x 5 5**”，回车确认
- 4、点取 HOLE3R5 元件，在命令行输入 “**x 5 123**”，回车确认
- 5、点取 HOLE3R5 元件，在命令行输入 “**x 195 123**”，回车确认
- 6、点取 HOLE3R5 元件，在命令行输入 “**x 195 5**”，回车确认
- 7、右键 **Done** 结束命令

具体步骤可看操作实例：[放置定位孔. avi](#)

2.1.4 边框倒角

结构图可能没有提出要四周倒角，但是，通常 PCB 都要将边缘进行倒圆角处理，这样可以在搬运过程中减少尖角划破皮肤、衣服或机柜表漆等等。倒角方式有两种：圆角和 45° 角。其菜单命令分别为：**Manufacture->Dimension/Draft->Chamfer** 和 **Manufacture->Dimension/Draft->Fillet**。参数设置分别为：

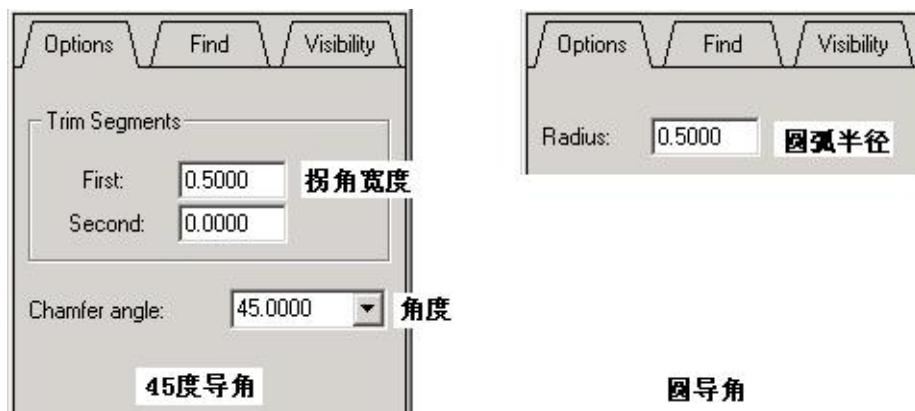


图 2.6 倒 45° 角和倒圆角的参数设置

倒角的具体步骤可看操作实例： 倒角.avi

2.1.5 尺寸标注

接下来的工作便是依照结构图进行 PCB 板的尺寸标注了，尺寸标注的命令都集中在菜单 Manufacture=>Dimension/Draft 子菜单下，在图标工具栏里也有显示。

2.1.5.1 尺寸标注参数设置

在进行标注之前要打开参数设置窗口进行参数设置，比如：单位、公差、字符大小和字符方向等等。其参数设置窗口的菜单命令是：Manufacture=>Dimension/Draft=>Parameters，打开窗口如下：

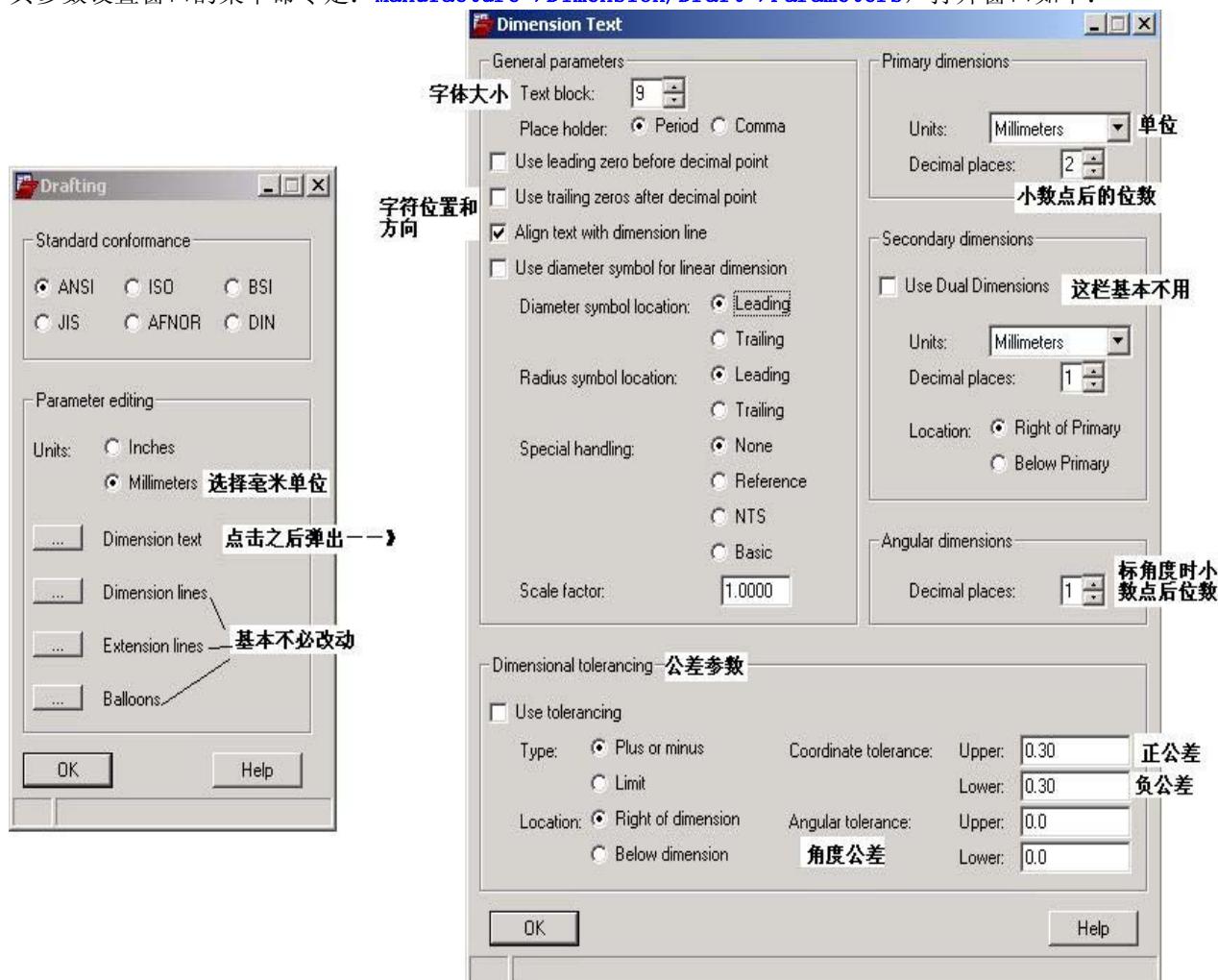


图 2.7 尺寸标注的参数设置

2.1.5.2 边框尺寸标注

下面参照结构图对板子的边框进行尺寸标注，已知该板的长为 $200+/-0.3\text{mm}$ ，对其标注的步骤为：

- 1、选取菜单 Manufacture=>Dimension/Draft=>Parameters 命令，打开 Drafting 窗口
- 2、将 Units 设置成“millimeters”，点击 Dimension text 按钮，进行参数设置
- 3、参照上图设置即可，然后将公差 Use tolerancing 的复选框选中

- 4、点击 **OK** 按钮关闭 **Dimension Text** 窗口
- 5、选择命令 **Manufacture=>Dimension/Draft=>Linear Dim** 或者点击工具栏图标 “”
- 6、在 PCB 的左下角附近点击鼠标左键，确定了边框尺寸的起点（注意不要点击到边框上）
- 7、按住鼠标中键移动鼠标到板子的右下角附近点击鼠标的左键，（注意不要点击到边框上），没有三键鼠标的用户可以按住键盘的右箭头移动屏幕也是一样，随着鼠标的移动，尺寸的大致轮廓将动

态显示，选择合适的位置放下来即可。具体可看操作实例： 尺寸标注1. avi

没有公差要求的尺寸标注将会简单一些，公差 **Use tolerancing** 的复选框不要选中，标注的方法同上，详细的过程略过。如果要对两个定位孔之间进行标注，注意鼠标左键直接点到定位孔上，这样尺寸的起点就

是从孔的中心算起。具体可看操作实例： 尺寸标注2. avi

2.1.5.3 倒角半径标注

下面对倒角的半径进行标注，已知倒角的半径是 5mm，其标注的步骤如下：

1. 选取菜单 **Manufacture=>Dimension/Draft=>Parameters** 命令，打开 **Drafting** 窗口
2. 将 **Units** 设置成 “**millimeters**”，点击 **OK** 按钮关闭 **Drafting** 窗口
3. 选择命令 **Manufacture=>Dimension/Draft=>Diametral Leader** 或者点击工具栏图标 “”
4. 在 PCB 的右下角（其它角也可）圆弧上点击鼠标左键
5. 将尺寸拉到合适的位置放下来即可

将尺寸的数值修改成 “**4-R5**” 表示 4 个半径为 5mm 的倒角。具体可看操作实例： 倒角标注. avi

2.2 添加叠层

Allegro 系统默认的 PCB 板都是两层板，这块板我们需要调整到 4 层压结构，即在 TOP 层和 BOTTOM 层中间添加 GND 层和 VCC 层，由于这两层是电源的平面层，通常要在出光绘的时候需输出成负片，负片的好处是不易出错、数据量小、省事等等。添加层数的命令是 **Setup=>Cross-section** 或者点击工具栏图标 “” 也可以，打开的窗口如下：

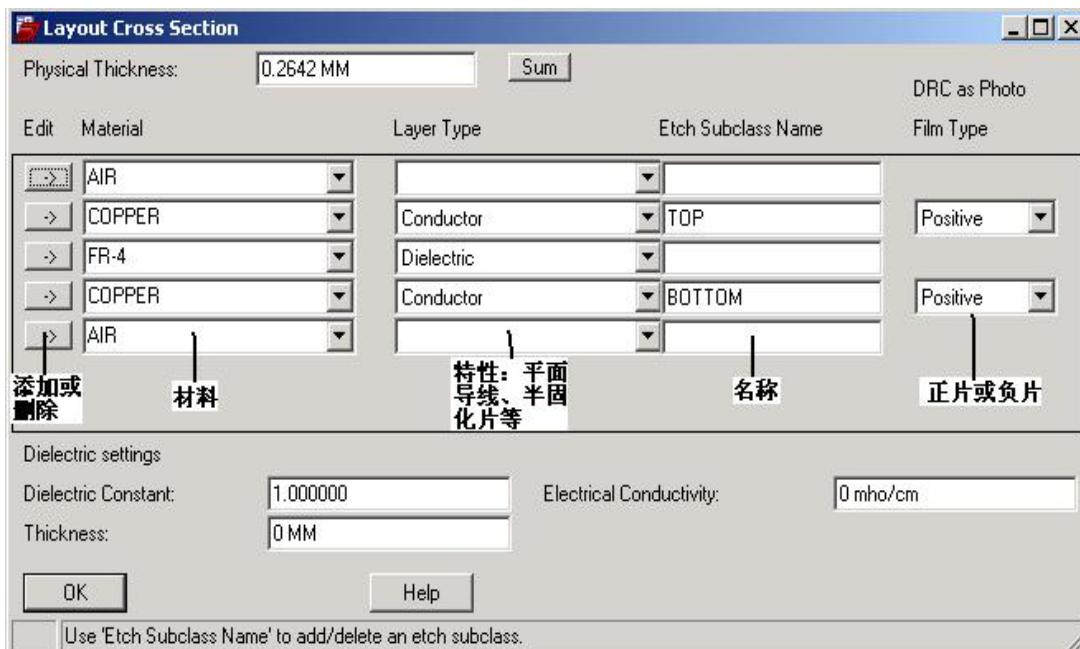


图 2.8 叠层的参数说明

左边的小按钮可以进行添加或者删除叠层的处理，注意每层之间要加入 FR-4 材料层。

具体的操作步骤请参看实例： 增加叠层. avi

2.3 定义板区域

用 Setup->Areas 命令定义各种约束区域，如下图所示：

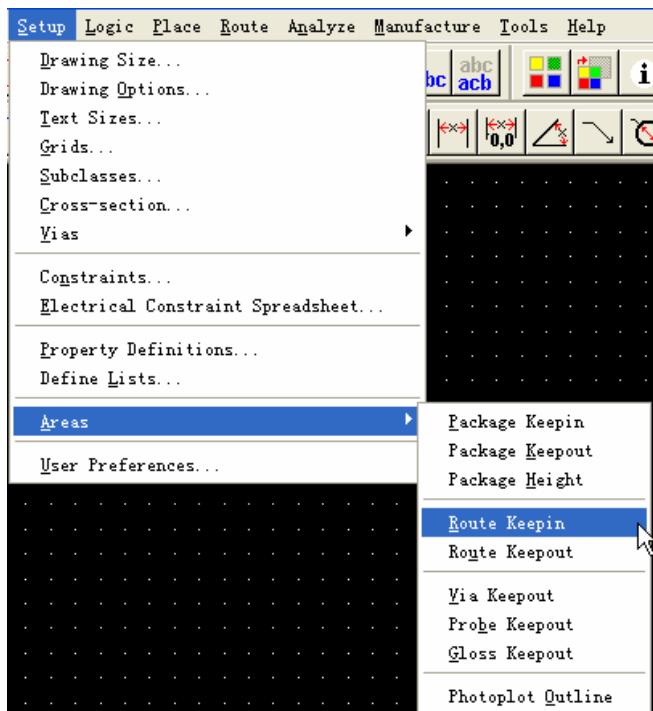


图 2.9 定义板区域

2.2 设置栅格

打开 Setup->Grid, 布局时, 栅格设为 100mil、50mil 或 25mi;, 布线时, 栅格可设为 1mil。

2.3 设置版图选项

打开 Setup->Drawing, 设置一些板图选项, 如 DRC 的显示、焊盘的显示选择等:

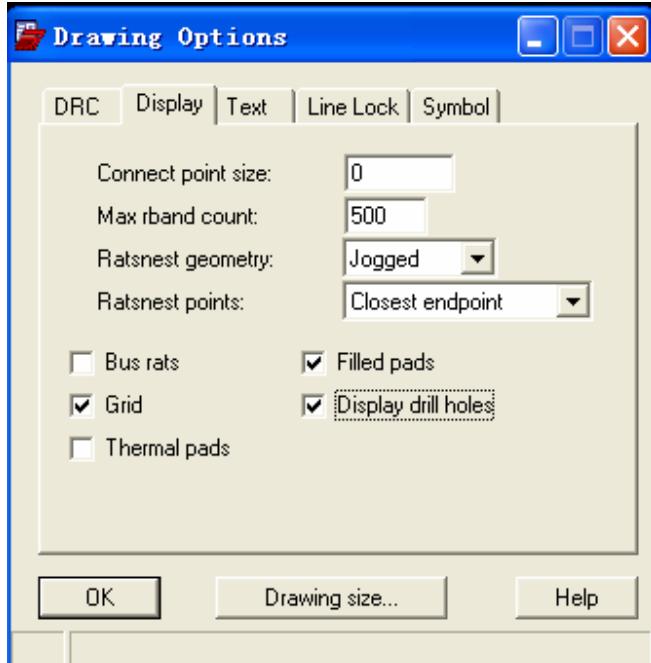


图 2.10 版图选项的设置

第三章 布局及布局后的设置

3.1 元件布局

下面就应该进行元件的布局了，元件的布局有两种方式：

- 快速将元件罗列到 PCB 周围，根据元件管脚的飞线连接状态进行布局。
- 根据原理图逐个将元件调入到 PCB 中，按照原理图的次序进行摆放。

对于第一种方式在 PCB 不复杂，而且对原理图比较熟悉的情况下适用，通常我们选用第二种方式较合适，原理图的哪些元件是放在一起的，那么，PCB 对应的元件也要放在一起。

3.1.1 快速布局

第一种方式的执行菜单命令为：Place=>Quickplace

- Edge 的 4 个参数表示与 PCB 边框放置的位置：上、下、左和右。
 - Side 的两个参数表示放置在顶层还是底层。
 - Place all components 表示将所有元件一起放进来，上边的 3 个参数表示有选择的放入。
 - Unplaced symbol count 表示未放进来的元件的个数，通常没有放进来的元件一般是由两个原因造成的：
1. 元件的焊盘不正确或者没有
 2. 当前的工作区域过小，元件摆不下

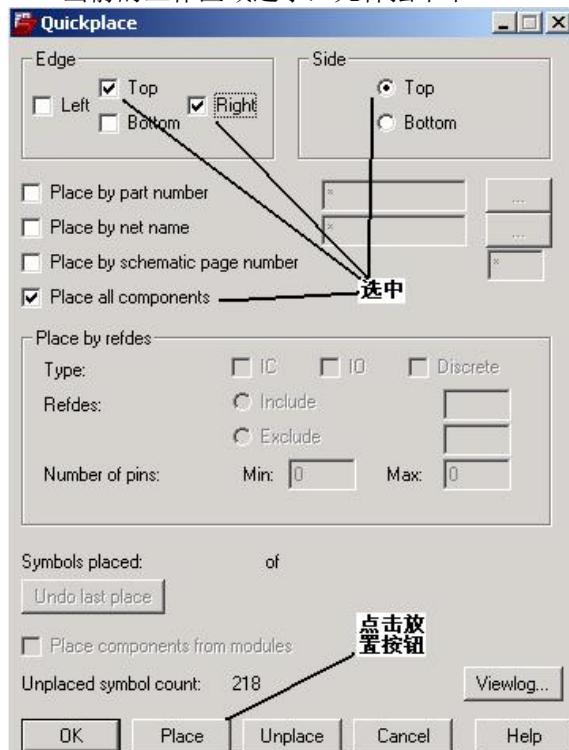


图 3.1 快速放置元件窗口

快速布局的操作步骤请参看实例： 快速布局.avi

3.1.2 手工布局

手工布局方式最好与原理图结合使用，使用时注意以下两点：

- 打开原理图，命令状态是 **Select Object** 即功能按钮  是选中的状态
- 打开 PCB 的 Place=>Manually 窗口，并一直保持打开状态

然后在原理图中点选一个元件，切换到 Allegro 窗口并放置到板内，再切换到原理图窗口选取下一个元件，又切换回 Allegro 窗口并放置到板内，依此类推，将元件放置完毕。如下图所示：

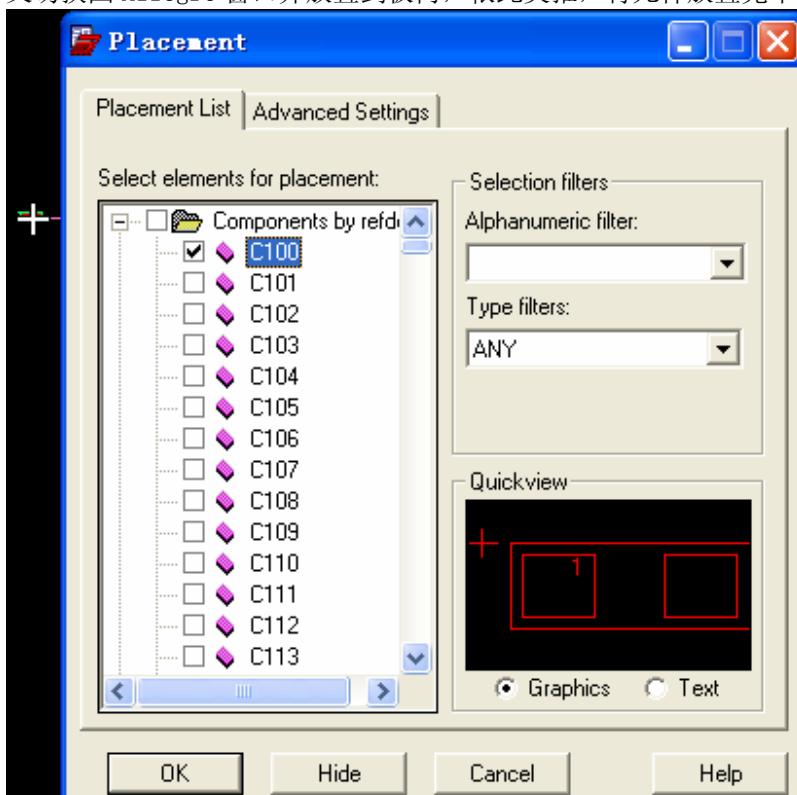


图 3.2 手工布局窗口

手工布局的操作步骤请参看实例：[手工布局.avi](#)

上一个例子只是说明如何从原理图中调入元件，仅介绍了方法，并没有将所有元件都布上，布局是一个很复杂的步骤，布局的好坏直接影响到以后的走线效率，布局工作做得好，到以后走线时会节省大量的时间，反之，不仅布线的时间会大大地加长，而且，有可能还会影响到板子的性能和指标，比方说，数字电路部分元件被放置在模拟区；终端匹配电路被放置到驱动端，这都对性能和指标有严重的影响，所以布局时要仔细考虑各方面的影响。

3.2 移动元件

在布局的工程中会用到移动和旋转元件，下面以 X7 (RJ11) 接口元件为例说明一下精确放置元件的方法。结构图给出的尺寸都是以元件中心定位的，但当我们想精确地放置某个元件的时候，最好不要以元件的中心为参考点移动和定位元件，因为，Cadence 元件库的中心和结构图给出的器件的中心不一定是一致的，很容易搞错。通常都是以元件的某个管脚来定位的，一般习惯选用第一脚来定位，也可以选用其它脚，但元件的

安装孔则不能选用（没有管脚名）。

通过计算得知 X7 的第一脚的坐标为 (61.825 , 5.02), 下面就以 X7 的第一脚的坐标来精确放置该元件，其步骤如下：

1. 打开 Place=> Manually 窗口（或者点击工具栏图标 “ ”），从“Components by refdes”列表中找到并选中 X7，然后将 X7 调入到板内
2. 点击“OK”按钮关闭 placement 窗口
3. 运行 Edit=>Move 命令或者点击工具栏图标 “ ”
4. 将右边移动命令的参数设置一下，“Find”列表中仅将“Symbols”前面的小方框打上钩（表示选中），其它的都不要选中；“Option”列表的“Point”的下拉列表项中，将“Sym Pin #”选中，同时，在下面弹出的“Symbol pin #:”中填入数字“1”（通常默认是 1）
5. 点击 X7 元件，再点击屏幕底下的命令输入行，输入如下命令：“x 61.825 15.02”回车确认
6. 点击右键 Done 结束命令

这样就将 X7 元件移动到指定的位置。移动 X7 的具体操作步骤请参看实例： 放置X7.avi

旋转元件分两种方式：固定式和移动式。

- 固定式：元件不动，运行 Edit=>Spin 命令，仅将元件旋转某个角度，右边参数可以设定旋转中心点和转角；状态栏可以动态显示当前旋转的角度。
- 移动式：在移动元件的同时右键选择“Rotate”命令，边移动边调整方向，参数设置、状态栏动态显示与固定式一样。

3.3 高亮显示电源和地网络

不同的电源或者地网络高亮以不同的颜色，使该板的电源分布状态一目了然，便于布线和分割电源平面和地平面。其命令为：Display=>Hilight 或者点击工具栏图标 “ ”，参数设置窗口如下：

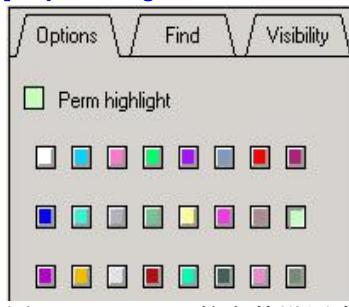


图 3.6 Option 的参数设置窗口

Option 的参数选项变成了颜色的列表，我们可以根据需要选择不同的颜色，以 GND 和 VCC3.3V 为例讲述一下高亮网络的步骤，其步骤如下：

1. 选择命令 Display=>Hilight 或者点击工具栏图标 “ ”
2. 右边“Option”选择深红色“ ”按钮
3. 右边“Find”仅选择 Nets 按钮（只高亮网络）
4. 在右下部“Find by Name”中，将类型选择为“Net”在下面的文本框中输入“GND”回车（也可以点击 More 按钮在列表中查找；最直接的方法是直接点击 GND 网络的元件焊盘即可，前提是清楚哪个元件的焊盘是 GND 网络）
5. 右边“Option”选择浅蓝色“ ”按钮

6. 在右下部 “Find by Name” 中输入 “VCC3.3V” 回车
7. 右键 Done 结束命令

具体步骤请参看实例： 高亮网络. avi

3.4 约束管理器的设置

约束管理器是每一块板必须设置的一项内容，主要是对整板的 DRC 规则，即线宽、线距和过孔大小进行设置，其命令在菜单 **Setup=>Constraints** 或者点击工具栏图标 “” 也可以，打开的约束管理器设置窗口如下：

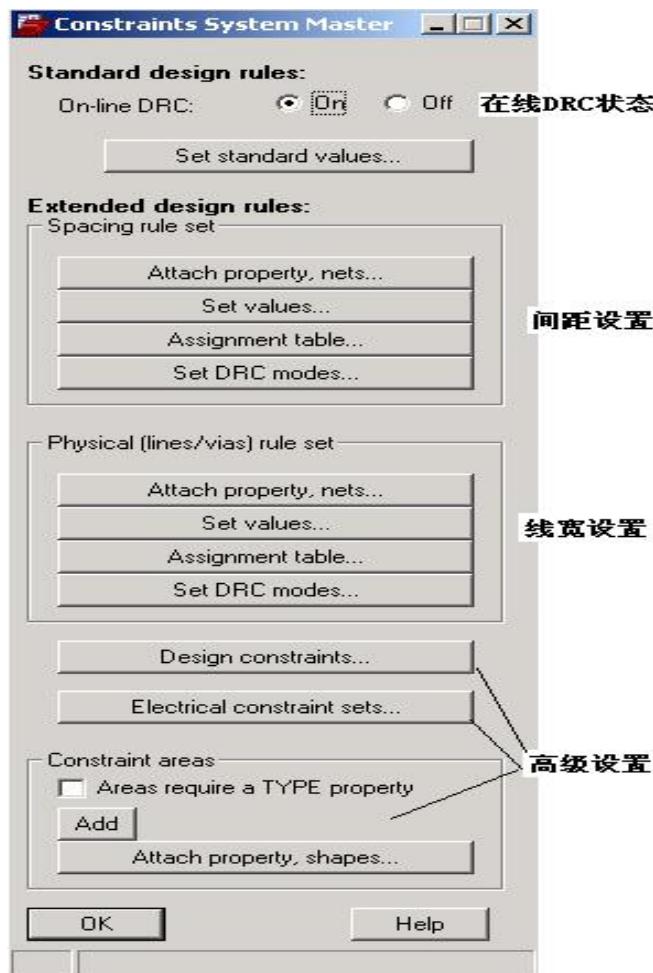


图 3.7 约束管理器设置窗口

点击间距设置 Spacing rule set 的 “Set values” 弹出窗口如下：

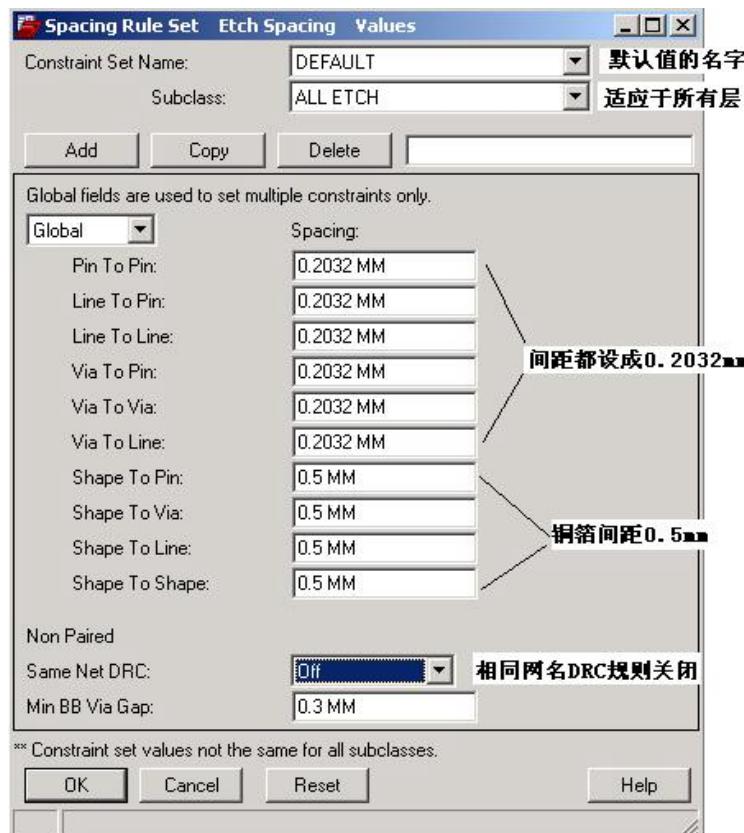


图 3.8 约束管理器间距设置窗口

点击线宽设置 Physical(lines/vias)rule set 的“Set values”弹出窗口如下：

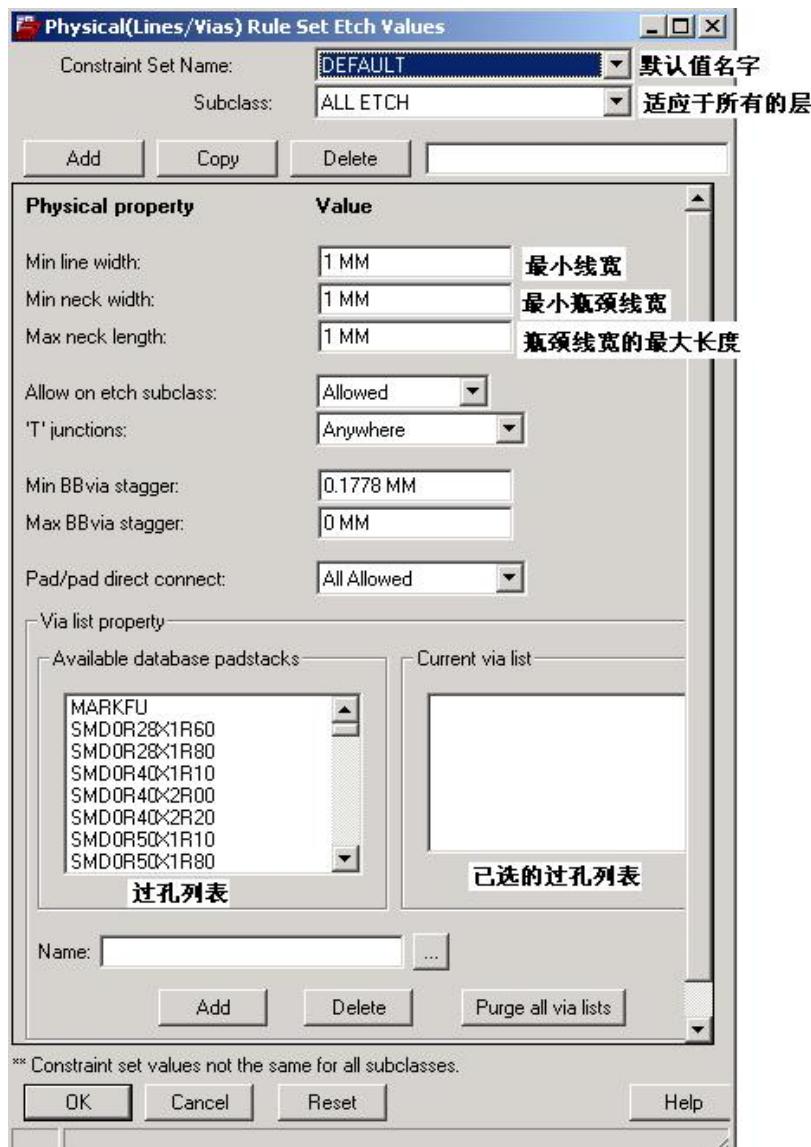


图 3.9 约束管理器线宽和过孔设置窗口

这面主要讲一下三个方面内容：

1. 普通线宽和线距
2. 电源线宽
3. 差分线宽和线距

3.4.1 普通线宽和线距设置

普通线宽和线距根据每块板的密度和性能不同设置的数值也不尽相同，通常线宽和线距设成 0.2032mm/0.2032mm，也就是英制的 8mil 即可；对于密度高的板可以设置成 0.1524mm/0.1524mm(英制 6mil)，对于电源板设置成 0.5mm/0.5mm 都有可能。具体的设置步骤如下：

1. 运行命令 **Setup=>Constraints** 或者点击工具栏图标 “”
2. 点击间距设置的 “**Set values**” 按钮

3. 将值参照图 3.8 所示的内容设置一下
4. 点击 **Ok** 按钮关闭线距设置窗口
5. 点击线宽设置的 “Set values” 按钮
6. 将 “Min line width” 值设成 **0.2032**
7. 将 “Min neck width” 值设成 **0.2032** (不对瓶颈线宽进行设置)
8. 将 “Max neck length” 值设成 **5mm**
9. 在过孔列表中选择 “VIA25D10_1” (如果列表中没有想要的值, 可以在下面的文本框中输入相应的过孔文件名, 然后点击 “Add” 按钮添加到列表中。)
10. 点击 **Ok** 按钮关闭线宽设置窗口
11. 点击 **Ok** 按钮关闭约束管理器设置窗口

具体步骤请参看实例: 普通线宽间距设置. avi

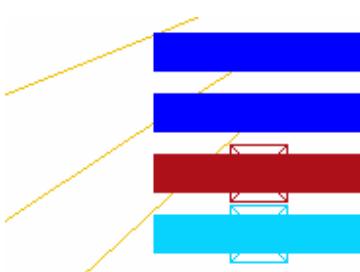
3.4.2 电源线宽设置

普通线宽和线距设置好之后还要对该板的电源线进行设置, 通常设置成 0.5mm 即可, 由于该板存在 QFP 封装的元件, 其焊盘宽度为 0.28mm, 所以, 我将表层的电源线宽设置成 0.28mm, 与 QFP 元件的焊盘宽度一致, 这样就不会出现 DRC 问题了。具体的设置步骤如下:

1. 运行命令 **Setup->Constraints** 或者点击工具栏图标 “”
2. 间距设置还是与默认设置一样, 不必改变
3. 点击线宽设置的 “Set values” 按钮
4. 在第一个文本框  中输入名称 “POWER” (表示是电源或者 GND), 然后点击左边的 “Add” 按钮添加到 Constraint Set Name 列表中, 这时, Constraint Set Name 列表的名称已经变成 “POWER” 了。
5. 将 “Min line width” 值设成 **0.5** (先将所有层设成 0.5mm)
6. 将 “Min neck width” 值设成 **0.28**
7. 将 “Max neck length” 值设成 **5mm**
8. 在 Subclass 列表框里选择 **TOP**, 对顶层进行特殊设置
9. 将 “Min line width” 值设成 **0.28** (这样仅顶层设为 0.28mm, 内层和底层还是 0.5mm)
10. 点击 **Ok** 按钮关闭线宽设置窗口
11. 点击 **Ok** 按钮关闭约束管理器设置窗口

具体步骤请参看实例: 电源线宽设置. avi

电源的线宽设好之后, 还要将电源的 “Power” 的属性添加到电源网络当中, 顺便也将电源网络的飞线属性也加上。由于电源信号的网络较多, 而且都有单独的电源平面层供电, 走线的时候只是将 SMD 电源的管脚拉出一根线打个 Via 就可以连接上, 通常时候不必将其飞线显示出来, 对于没有连接的电源管脚仅将飞线



显示成如上图所示这种的状态就可以，打叉的小方框表示还没有连接的状态，这样可以去掉一些不必要显示的飞线，使整板看上去简单明了一些。

定义电源网络属性的命令在菜单 **Edit=>Properties** 中，其打开的窗口如下：



图 3.10 属性设置窗口

添加电源属性和定义电源飞线属性操作步骤如下：

1. 运行命令 **Edit=>Properties**
2. 右边的“Find”参数仅选择“Nets”参数（其它都不选）
3. 选择 **VCC3.3V** 网络，各项属性参数参照下图 3.11 进行设置

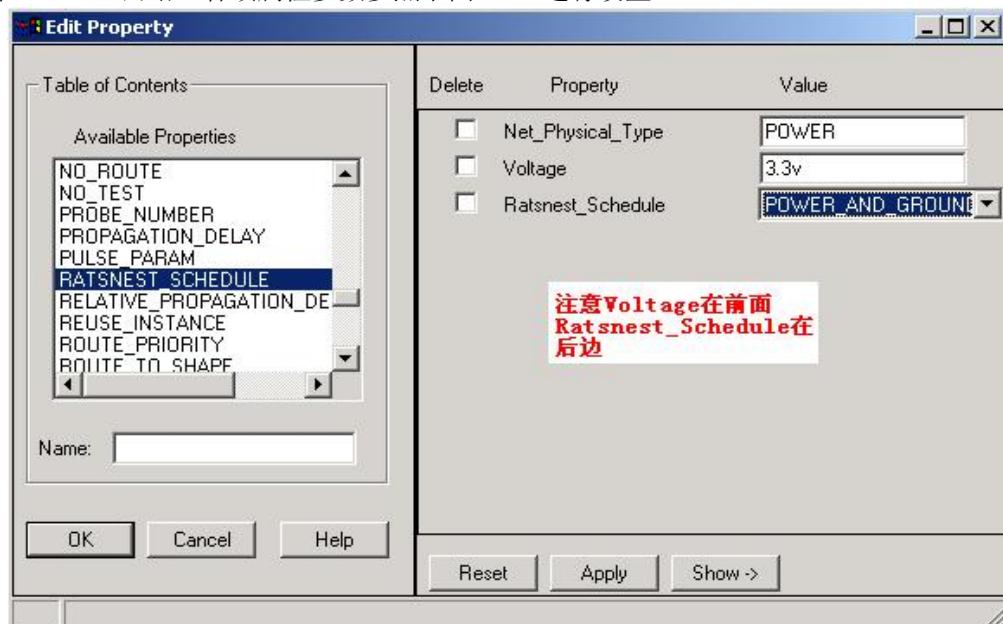


图 3.11 电源属性设置窗口

4. 点击 **Ok** 按钮关闭属性设置窗口

5. 重复 1、2 步骤
6. 选择 GND 网络，各项属性参数参照图 3.11 进行设置，Voltage 改成“0v”
7. 点击 Ok 按钮关闭属性设置窗口
8. 右键选择 Done 结束命令
9. 点击工具栏图标 “ ” 打开飞线显示，电源网络和地应该变成如图所示。

具体步骤请参看： 添加电源属性. avi

3.4.3 差分线宽和线距设置

差分线线宽和线距设置可以按照两种方法来进行，第一种方案与 Cadence 14.x 版本设置相同；第二种是 15.0 以上版本特有的设置方案，可以对每对差分线的非耦合间距、线长公差、瓶颈线宽、瓶颈线距等进行设置。

3.4.3.1 与 Cadence 14.x 版本兼容的设置方案

差分线根据每块板的层数和阻抗要求不同，其间距和线宽也不相同，通过计算，这块板的差分线宽为 0.1778mm，间距 0.1524mm 才能满足阻抗要求，下面就按照这个值进行阻抗线宽和间距设置，其设置的过程与设置电源有点相似，都要对特殊的约束起一个名称，这里就叫做“Pair”，线宽和线距的名称都称为“Pair”。当然，对于同一块板差分阻抗种类较多的时候，建议起名时用阻抗值大小或者线宽和线距的大小来取名较科学，比如，差分阻抗 100 Ω 的，线宽和间距取名“1000HM”；差分阻抗 88 Ω 的，线宽和间距取名“880HM”。这样，在以后改版时，一看到约束的名称就可以知道是什么含义了。其设置的具体步骤如下：

1. 运行命令 Setup->Constraints 或者点击工具栏图标 “ ”
2. 点击间距设置的“Set values”按钮
3. 在第一个文本框  中输入名称“Pair”（表示是差分线），然后点击左边的“Add”按钮添加到 Constraint Set Name 列表中，这时，Constraint Set Name 列表的名称已经变成“Pair”了
4. 下面间距的具体值参照下图进行设置

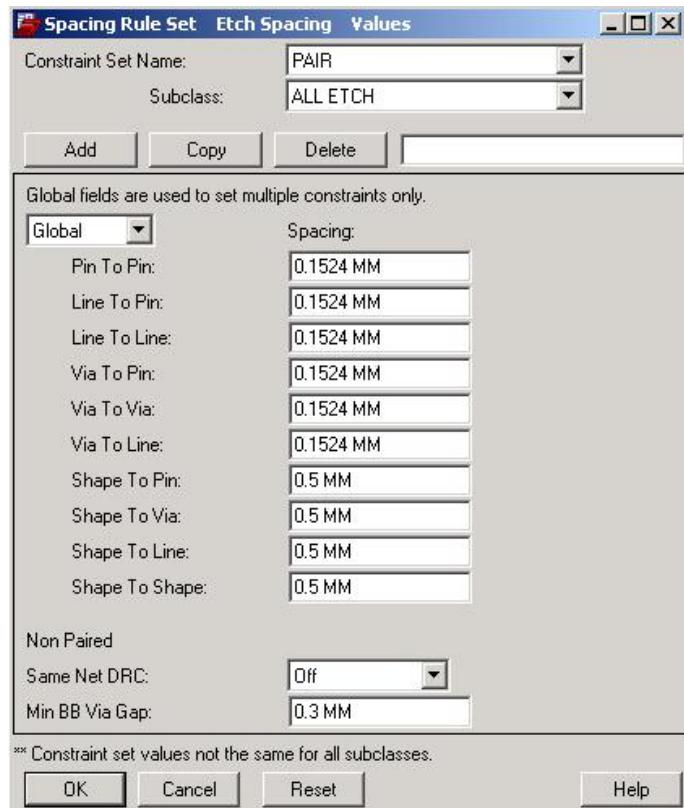


图 3.12 约束管理器差分间距设置窗口

5. 点击 **Ok** 按钮关闭间距设置窗口
6. 点击线宽设置的 “**Set values**” 按钮
7. 在第一个文本框 **Add** 中输入名称 “**Pair**” (表示是差分线)，然后点击左边的 “**Add**” 按钮添加到 **Constraint Set Name** 列表中，这时，**Constraint Set Name** 列表的名称已经变成 “**Pair**” 了。
8. 将 “**Min line width**” 值设成 **0.1778mm**
9. 将 “**Min neck width**” 值设成 **0.1778mm**
10. 将 “**Max neck length**” 值设成 **5mm**
11. 点击 **Ok** 按钮关闭线宽设置窗口
12. 点击 **Ok** 按钮关闭约束管理器设置窗口

具体步骤请参看实例： 差分线宽间距设置. avi

仅将约束管理器设置好之后还不够，还要将哪些是差分线的网络找出来，并且将差分线的属性加到这些差分线的网络中，使 Allegro 知道对哪些差分信号线进行控制。定义差分属性的命令在菜单 **Logic=>Assign Differential Pair** 中，其打开窗口如下：

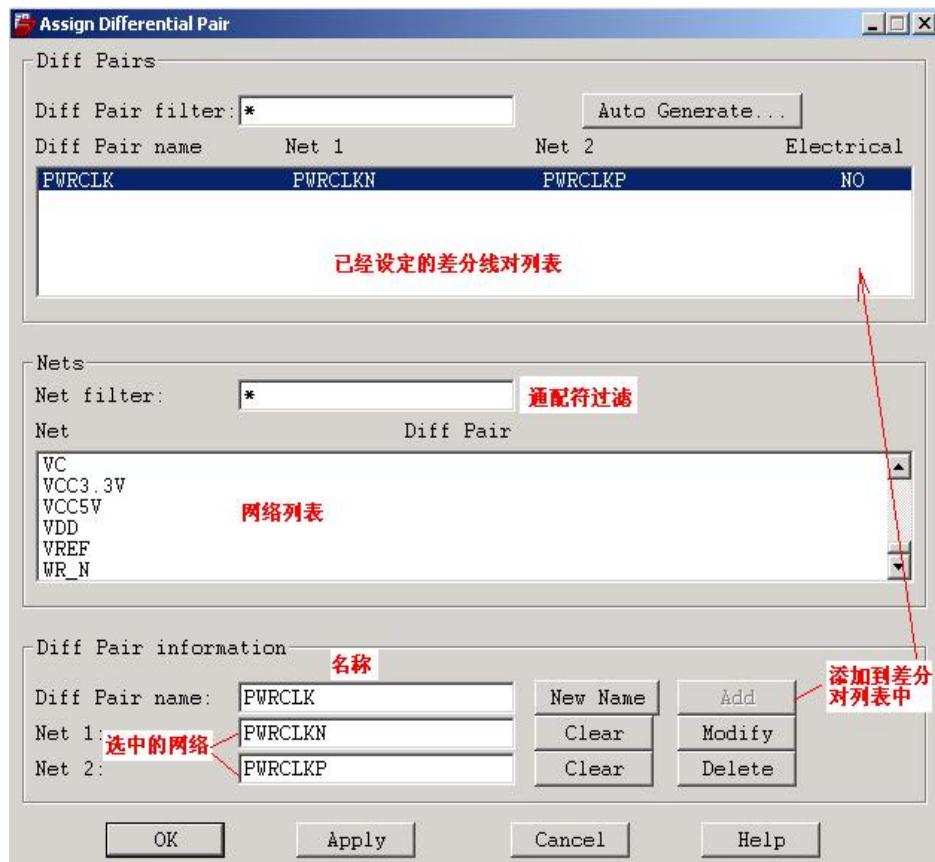


图 3.13 差分对设置窗口

根据原理图得知电阻 R44 和 R45 两端所接的信号都是差分信号，下面就将这两组信号定义成差分对，其中一对网络的名称是 PWRCLKN 和 PWRCLKP，这是比较有规律的（按照规定，一般差分线的信号名以+、-来区分，这里只是举例说明），另一对在原理图中没有标明网络名，这样在 Allegro 中系统自动给这两个网络定义成：UNNAMED_1_CAPACITOR_I92_B 和 UNNAMED_1_CAPACITOR_I93_B，这样对于使用通配符过滤查找网络带来了不便，不过，我们可以使用直接在 PCB 中点击该网络的办法选中该网络，并给它们加上差分对定义。具体的操作步骤如下：

1. 运行命令 **Logic=>Assign Differential Pair**，打开 Assign Differential Pair 窗口
2. 在“Net filter”文本框中输入“PWR*”，然后，按键盘“Tab”键切换列表（或者鼠标点击上边的空白列表处，使“Net”列表显示以“PWR”打头的网络）
3. 在“Net”列表中分别选择 PWRCLKN 和 PWRCLKP
4. 点击“Add”按钮将 PWRCLKN 和 PWRCLKP 添加到上边差分对列表中
5. 在 PCB 上找到 R44 和 R45 元件（Assign Differential Pair 窗口保持打开状态）
6. 鼠标点击这两个电阻的第二管脚选择 UNNAMED_1_CAPACITOR_I92_B 和 UNNAMED_1_CAPACITOR_I93_B 网络
7. 点击“Add”按钮将 UNNAMED_1_CAPACITOR_I92_B 和 UNNAMED_1_CAPACITOR_I93_B 网络添加到差分对列表中
8. 点击“OK”按钮关闭 Assign Differential Pair 窗口

具体步骤可参看： 设置差分对. avi

差分对设好之后，还要将约束管理器的定义的“Pair”属性加到差分对的网络中，加属性的命令在菜单：Edit=>Properties 下，具体的添加步骤如下：

1. 运行命令 Edit=>Properties
2. 右边的“Find”参数仅选择“Nets”参数（其它都不选）
3. 在 PCB 中按右键选择“Temp Group”命令（这个命令用于多次选择）
4. 在 PCB 中点选中这两对网络，然后，按右键选择“Complete”结束多选命令
5. 在 Available Properties 列表中点击鼠标选择 NET_SPACING_TYPE 和 NET_PHYSICAL_TYPE 属性，如图 3.10 所示。
6. 在右边 Value 值中输入“Pair”（约束名称）
7. 点击 OK 按钮结束 Edit Properties 窗口

具体步骤可参看： 添加差分线属性. avi

到此，约束管理器设置完成了，不过，为了使其生效还差最后一步，那就是将约束管理器的 Spacing rule set 和 Physical (lines/vias) rule set 中的 Assignment table 修改一下，其窗口如下：

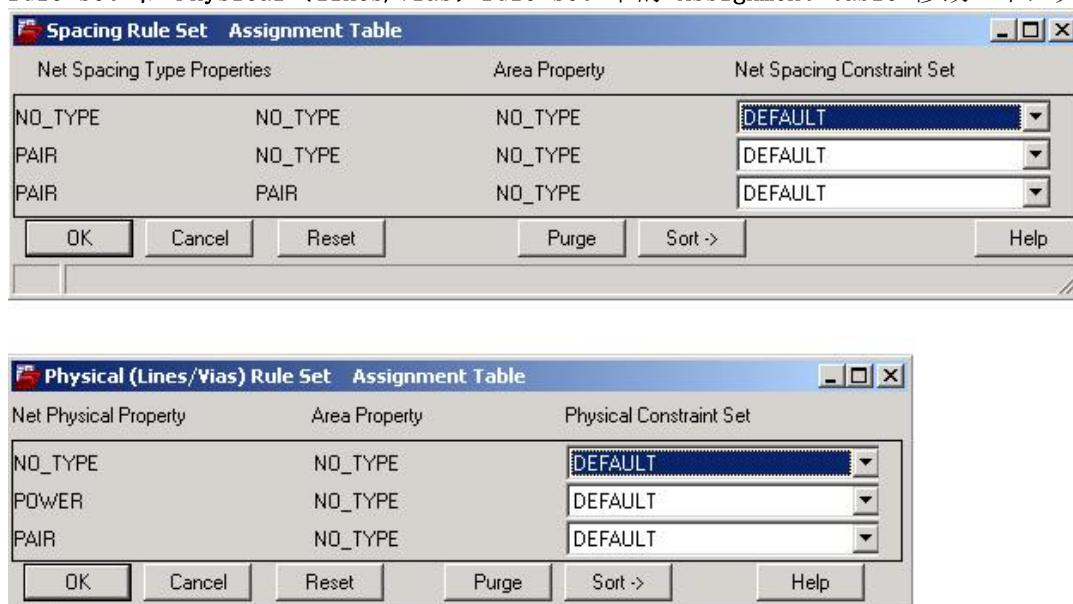


图 3.14 约束管理器的 Assignment table 设置窗口

默认的状态是 DEFAULT，对于间距来说，PAIR vs. PAIR 应该是 PAIR (0.1524mm); PAIR vs. NO_TYPE 是 DEFAULT 就可以。对于线宽来说，POWER 在 NO_TYPE 里应该是 POWER; PAIR 在 NO_TYPE 里应该是 PAIR (0.1778mm) 才对。调整之后的状态如下图所示：

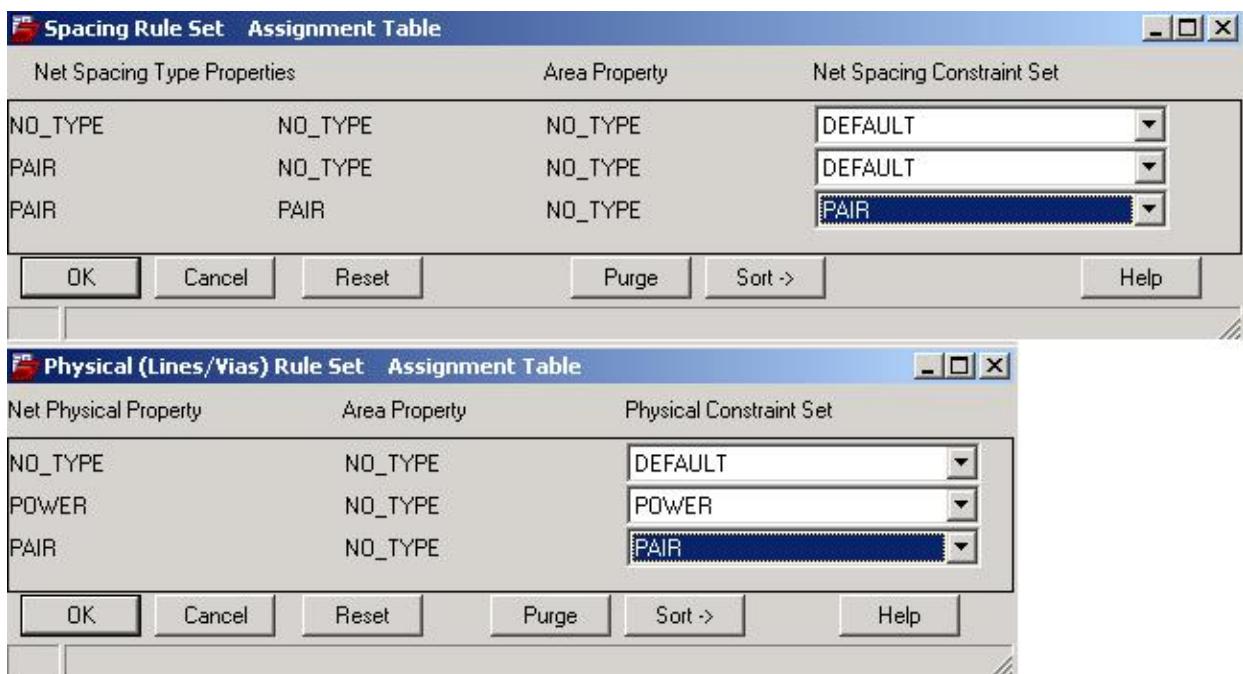


图 3.15 约束管理器的 Assignment table 设置完成窗口

到此属性和约束管理器介绍完成了，这时，当我们给电源网络布线的时候，线宽已经变成 0.28mm，差分

线的线宽也已经变成 0.1778mm。上述步骤可参看实例：约束设置完成. avi

3.4.3.2 Cadence 15.2 差分信号属性的设置方案

这个地方是 15.0 版本提高的功能之一，这里就可以用 Electrical Constraint Manager 进行设置，菜单命令为：Setup=>Electrical Constraint Spreadsheet... 或者点击工具栏图标 “” 也可以，其打开的窗口如下：

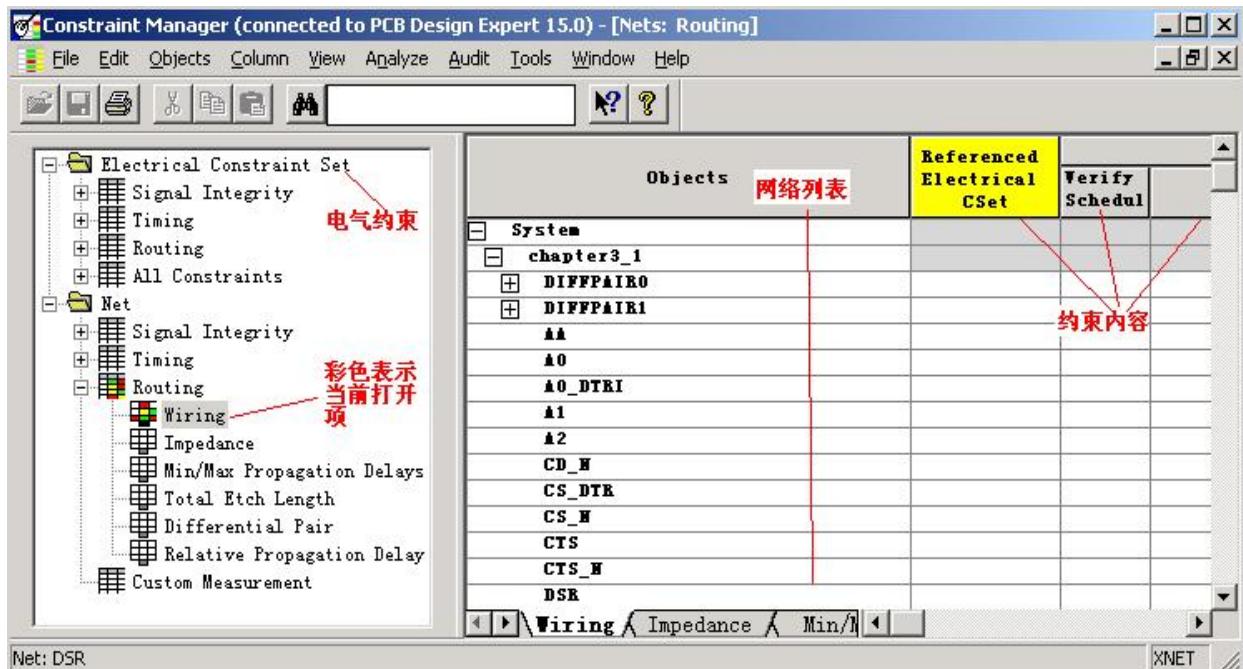


图 3.16 Electrical Constraint Manager 设置窗口

下面对刚才设置的两对差分线 PWRCLKN、PWRCLKP、UNNAMED_1_CAPACITOR_I92_B 和 UNNAMED_1_CAPACITOR_I93_B，利用 Electrical Constraint Manager 进行设置，其设置的步骤如下：

1. 运行菜单 **Setup=>Electrical Constraint Spreadsheet...** 或者点击工具栏图标 “
2. 左边的列表选择 **Net=>Routing=>Differential Pair**
3. 从右边的网络列表中框选 PWRCLKN 和 PWRCLKP 网络
4. 右键点击这两个网络，选择命令：**Create=> Differential Pair...**
5. 在弹出的窗口中点击 “**Create**” 和 “**Close**” 按钮，如下图所示：

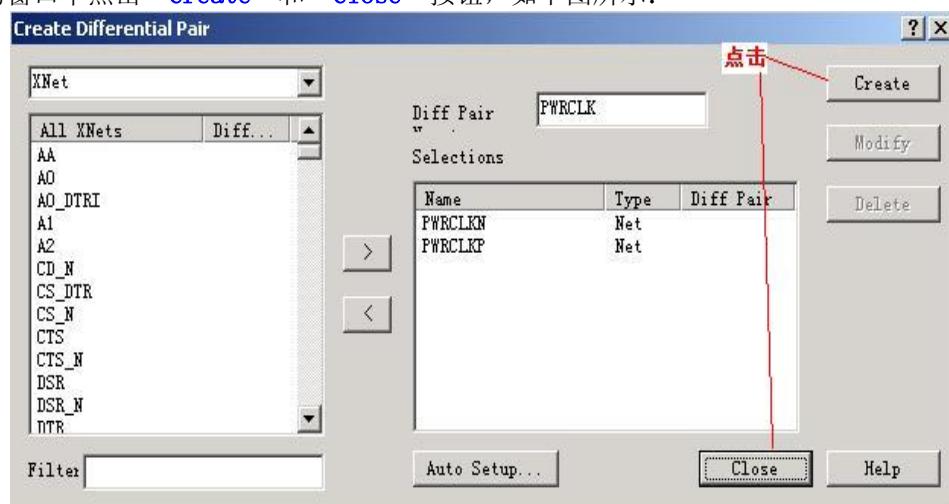


图 3.17 Create Differential Pair 窗口

6. 重复 3、4 和 5 步骤将 UNNAMED_1_CAPACITOR_I92_B 和 UNNAMED_1_CAPACITOR_I93_B 也设置成差分对
7. 在右边网络列表的最上端选择 PWRCLK 进行属性设置
8. 在横向的列表中将 **Uncouple Length=>Gather Control** 设置成 **Include**

9. 将 Line Spacing=>Min 设置成 0.1524mm
10. 将 Coupling=>Primary Gap 设置成 0.1524mm; 将 Coupling=>Primary Width 设置成 0.1778mm
11. 将 Coupling=>Neck Gap 设置成 0.1524mm; 将 Coupling=> Neck Width 设置成 0.1778mm
12. (+) Tolerance 和 (-) Tolerance 设置成 3mm 即可
13. 另外一对差分线设置步骤重复 8-12 步
14. 关闭 Constraint Manager 设置窗口

这时差分对的线宽为 0.1778mm, 间距为 0.1524mm 了, 并且差分线布线是同时走线的状态。具体步骤可参看实例：差分线设置. avi

3.4 电源和 GND 的划分

在布线之前需要对模拟电源和模拟 GND 等进行大致划分, 这样方便布线, 已知这块板分模拟区和数字区, 我们需要将这两个区在电源层和 GND 层隔离, 让其间距为 5mm。再做电源分隔之前需要在板上加一个布线区域, 即 Route Keepin, 所有的走线和电源的铜箔都要在这个范围内, 这一步是必须要做的, 整个操作的步骤如下:

1. 首先打开相应的层, 即 Stack-Up=>Anti Etch 所有层和 Area=>Route Ki 层
2. 选择命令 Edit=>Z-Copy, 参数照下图 3.15 设置:



图 3.18 Z-Copy 参数设置窗口

3. 鼠标点选一下边框, 将 Route Keepin 区域加上
4. 选择命令 Add=>Line 或者点击工具栏图标 “” 参数参照下图 3.19 进行设置

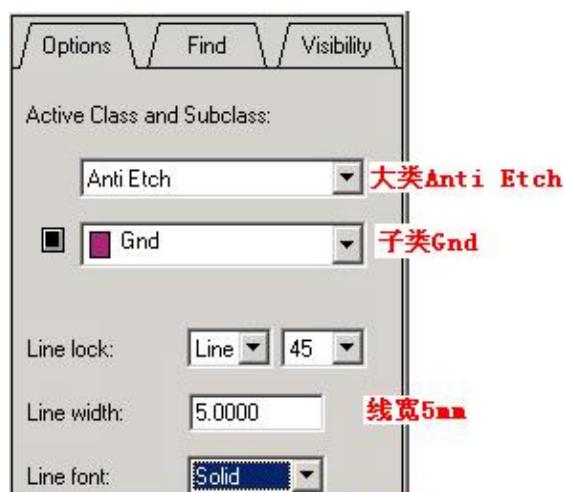


图 3.19 划分 GND 区线的参数设置窗口

5. 在 PCB 中走一段宽为 5MM 的线将 GND 和 GNDA 分开（线头一定要拉出板外）
6. 右键 Done 结束命令
7. 选择命令 Add=>Line 或者点击工具栏图标 “”，参数参照下图 3.20 进行设置

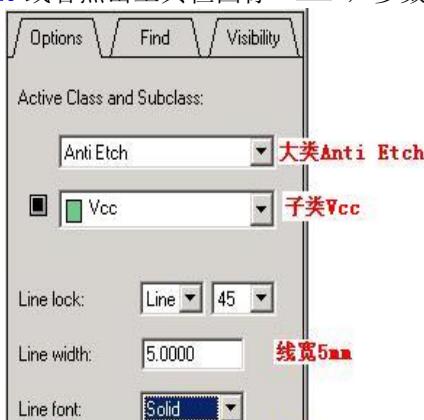


图 3.20 划分 VCC 区线的参数设置窗口

8. 在 PCB 中走一段宽为 5MM 的线将 VCC3.3V 和 VDD 分开（线头一定要拉出板外）
9. 右键 Done 结束命令
10. 选择命令: Edit=>Split plane=>Create
11. 首先选择 GND 层进行分割，在右下角的略缩图中可以得知当前的区域范围，分别选择 GND 网络和 GNDA 网络

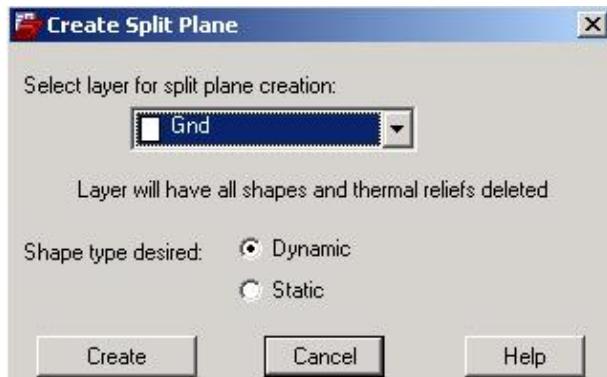


图 3.21 选择 GND 层

12. 选择命令: [Edit=>Split plane=>Create](#)

13. 再选择 VCC 层进行分割, 在右下角的略缩图中可以得知当前的区域范围, 分别选择 VCC3.3V 网络和 VDD 网络

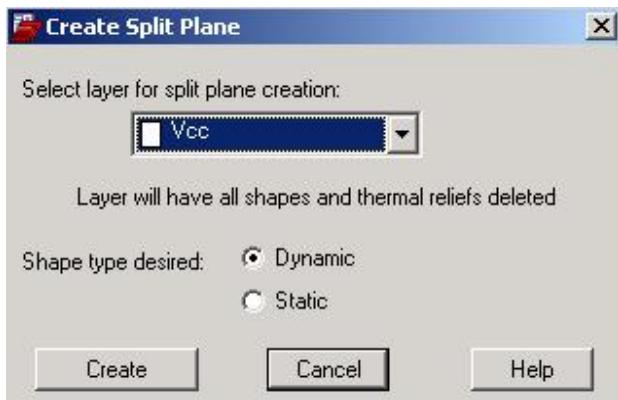


图 3.22 选择 VCC 层

具体操作步骤可参看实例: 电源和地分割. avi

这时我们单独把 GND 层打开, 如下图所示, GND 已经被一条 5mm 宽的沟隔开了:

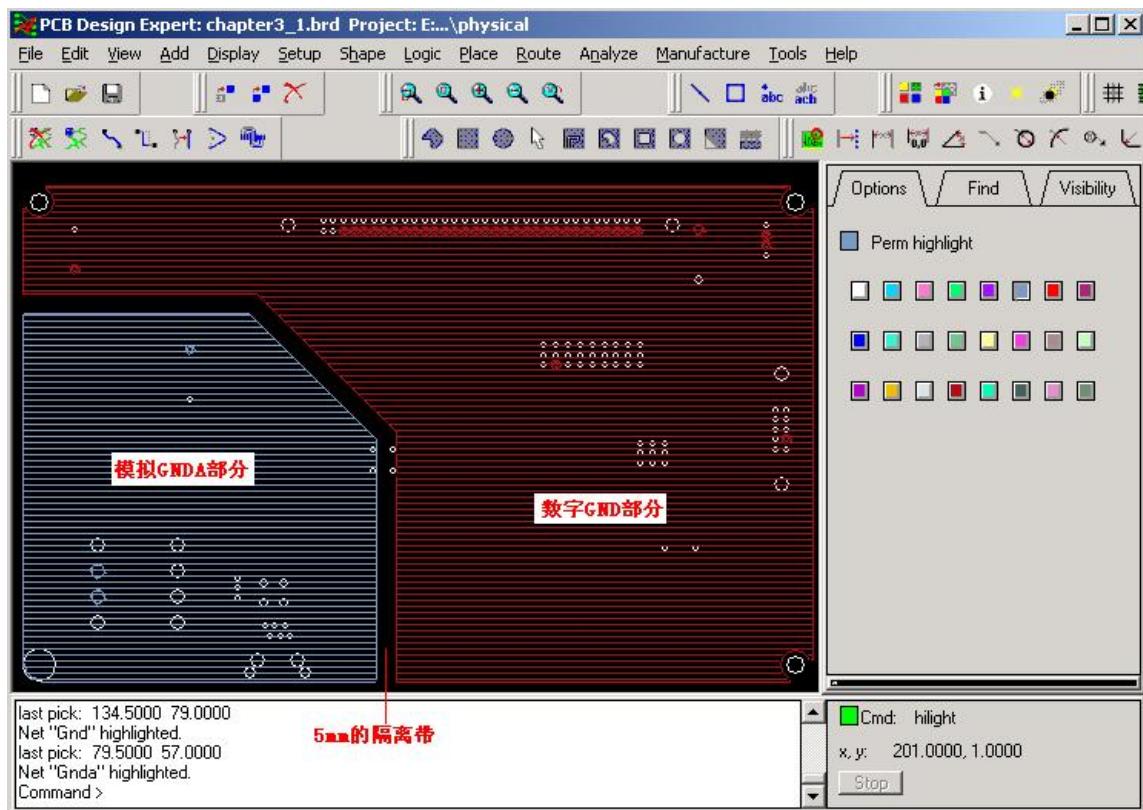


图 3.23 划分之后的 GND 平面

第四章 布线、加测试点、铺铜和 DRC 检查

布线的菜单在 Route 里边，所用的工具条图标为：

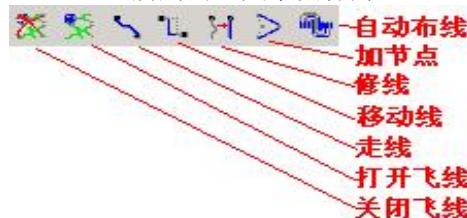


图 4.1 布线图标栏

走线一般这几个工具条就够了，其中，加节点的功能基本没用，可以不必考虑；自动布线的菜单在学会手工布线之前是不必考虑的；打开和关闭飞线也不必多讲；只剩下中间的三个图标是最常用的，即走线、移动和修线。下面分别介绍一下这三个功能菜单。

4.1 走线

走线的菜单命令为：**Route=>Connect** 或者点击工具栏图标“”，运行该命令之后发现右边的参数窗口发生变化，其含义可以参看下图 4.2，检查选择控制面板中的各项设置是否正确，如层的设置、线宽设置、角度等。确定所有设置无误后，将线从起点走到终点。

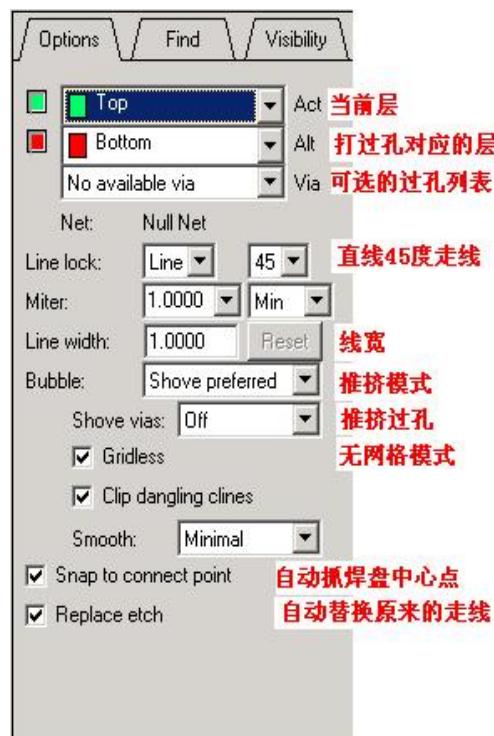


图 4.2 走线参数



关于走线的几种形式的具体步骤可参看实例： 走线---换层.avi 、 走线---角度.avi 、 走线---线宽.avi 、



走线---抱紧和推挤.avi



走线---抓焊盘.avi



走线---替换线.avi

在走线的同时点击鼠标右键也会有菜单出现，其菜单如下图所示：



图 4.3 走线的右键功能菜单

前几项的功能就不介绍了，主要介绍一下 Finish 和 Toggle 功能，这两项功能最常用：

- Finish

在走线的距离比较短或者手工走线快到目标的时候，我们可以使用 Finish 命令，让其自动在当前层完成



剩下的走线（仅这一根线）。具体步骤可参看实例： 走线---finish.avi

- Toggle

对于 45 度或者 90 度拐角，有时候我们需要让它往不同的方向出线，使用 Toggle 命令 就可以达到目



标。具体步骤可参看实例： 走线---toggle.avi

4.2 移动线

在走线的过程中，由于板子的空间有限，我们还要不断的移动线，这样就需要移动线的命令，其命令菜单是：[Route=>slide](#) 或者点击工具栏图标 “”，主要的参数的含义如下图：

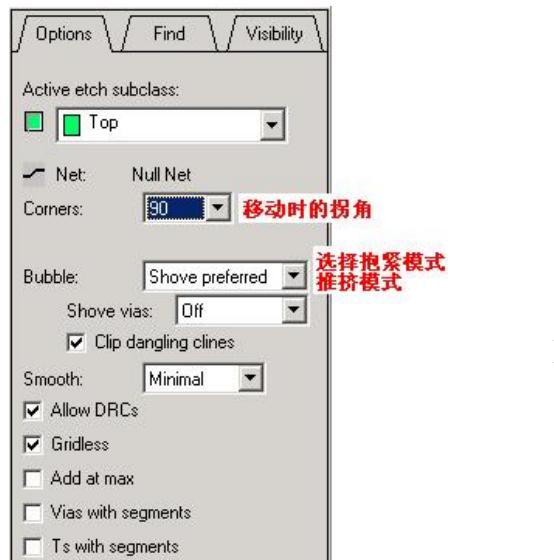


图 4.4 移动线的参数



关于移动线的两种模式的具体操作步骤可看实例 [移动线---拐角.avi](#) 和 [移动线---抱紧和推挤.avi](#)

移动命令的主要参数一般只有这两项，其它的参数可以不作设置，而且拐角一般都是 45 度，所以更简单的只要选择抱紧和推挤这两项。

4.3 修线

由于走线或者移动线的时候使用**抱紧**和**推挤**两项模式，导致走出来的线不是很直也不美观，这时我们需要修整一下，使信号线拉直并且缩短长度，使用的菜单命令为：[Route=>Custom smooth](#) 或者点击工具栏图标“”也可以。通常移动线与修线配合使用，这样可以使我们的走线更美观、两信号之间连线最适当。



修线的操作实例可参看：[走线---修线.avi](#)

未修线和修线之后的对比图：

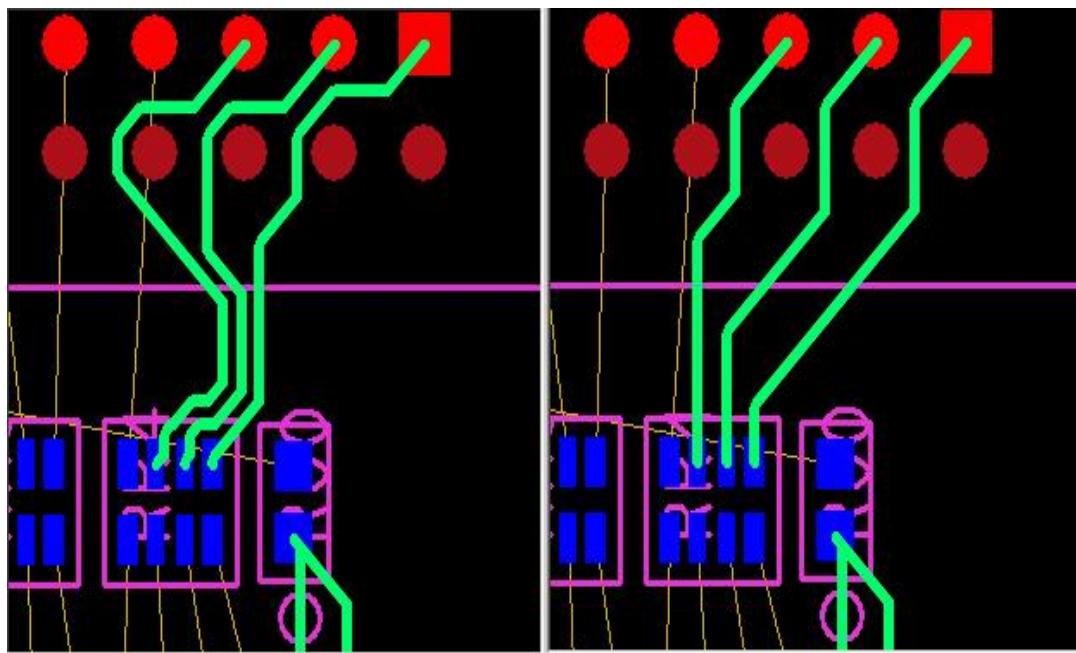


图 4.5 未修线和修线对比

4.4 添加过孔和替换过孔

4.4.1 添加过孔

如第二章所述, 打开 Setup->constraints->physical rule sets->set rules 界面, 如下图: 在 Available padstacks 下输入一过孔名 (必须是焊盘库中有的过孔名), 点击 ADD。

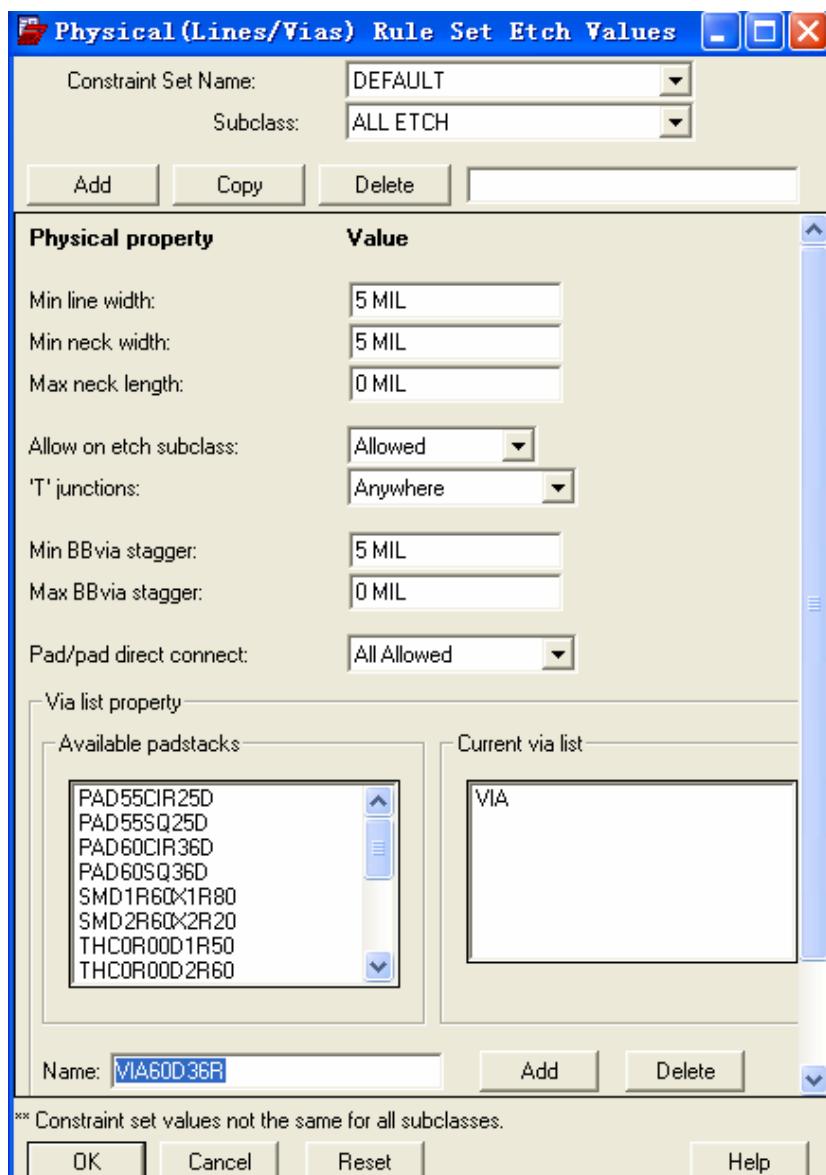


图 4.6 添加过孔名

走线换层时，双击鼠标左键，Allegro 自动添加默认的过孔。或者走线时，点击鼠标右键，从弹出菜单中选择 Add Via，也可以添加过孔；如果通过上面步骤加入了多种过孔，换层时在控制面板中要选择你所需要的那种过孔进行添加。

4.4.2 替换过孔

当需要替换过孔时，打开 Tools->Padstack->Replace，控制面板如下图：

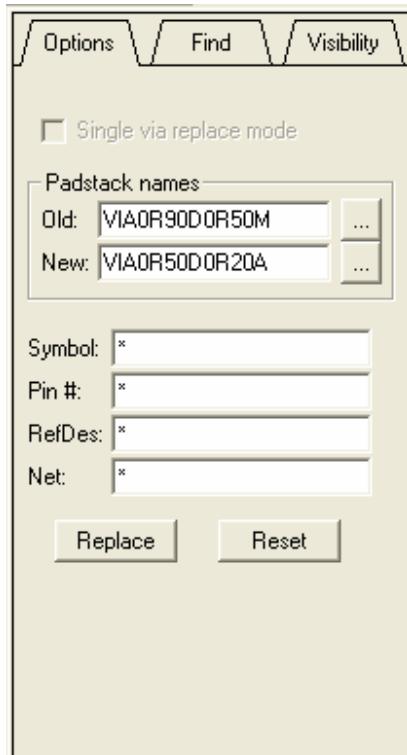


图 4.7 替换过孔

将以前的过孔和想要替换的过孔选出，点击 Replace 即可。

4.5 生成报告文件及查看布通率

Allegro 的文档工具能生成各种报告文件，例如：元器件清单、布通率、DRC、无连接管脚、没布局元件等。用 Tools->Reports，然后调出以下界面：

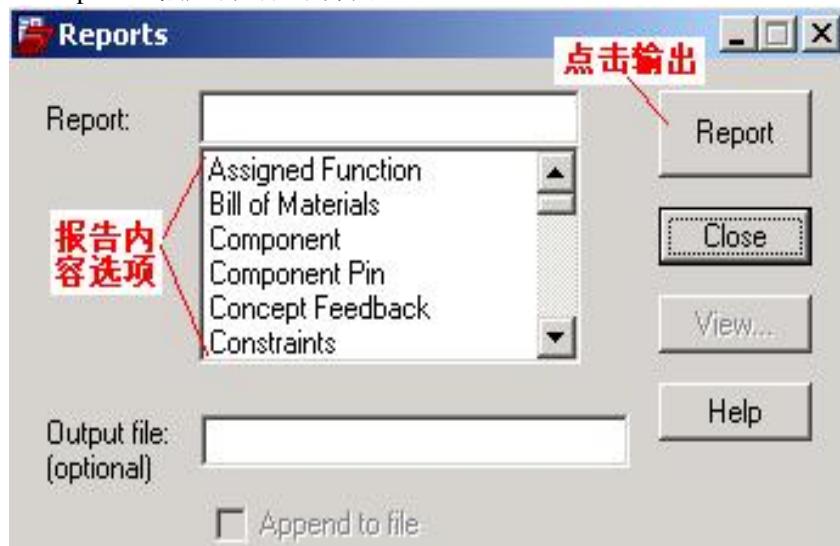


图 4.8 报告输出窗口

查看布通率报告输出选项选择“Summary Drawing Report”，产生的报告内容如下图：

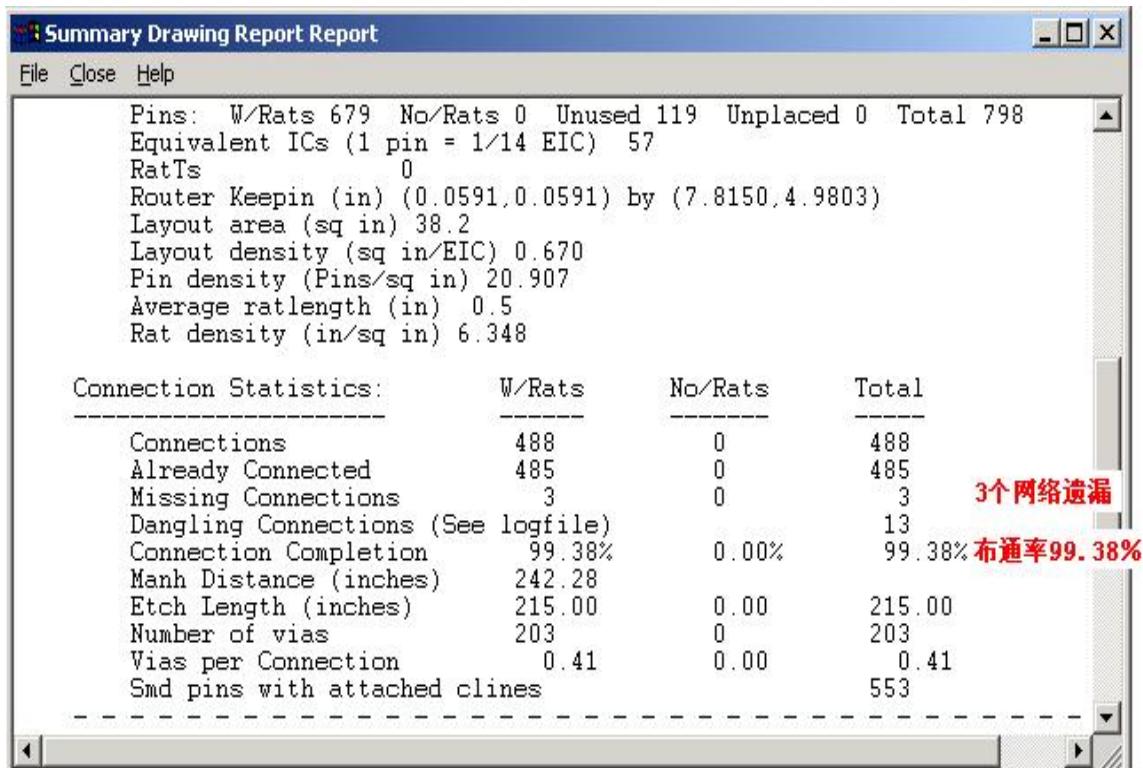


图 4.9 布通率报告窗口

通过报告得知有 3 个网络遗漏，下面我们在报告输出选项选择“Unconnected Pins”，产生的未连网络的报告内容如下图：

UNCONNECTED PINS REPORT							Page 1
E:\...\Allegro_training_archive\worklib\Allegro_training\physical\1.brd							dimensions in millimeters Wed Feb 11 17:14:55 2004
<hr/>							
net name /	from pin	x	y	to pin	x	y	manhattan distance
GNDP	D3.3	55.0000	24.7800	C3.1	14.0000	116.0000	132.2200
UNNAMED_1_CAPACITOR_I102_B	C1.2	94.0000	60.0000	R50.2	129.2500	38.6000	56.6500
UNNAMED_1_CAPACITOR_I103_B	C2.2	94.0000	54.5000	R51.2	132.0000	38.6000	53.9000
<hr/>							
total unconnected pin pairs 3							

图 4.10 Unconnected Pins 报告窗口

通过上图 4.10 我们可以知道那些网络遗漏了，在 PCB 上将这些线连接上，然后再输出“Summary Drawing Report”报告，直到布通率显示 100%为止。

4.6 加在线测试点

公司要求每块板必须加在线测试点，以便于在线测试。下面介绍一下如何自动添加测试点，菜单命令在 **Manufacture=>Testprep=>Automatic**... 下，运行的窗口和测试设置如下图：

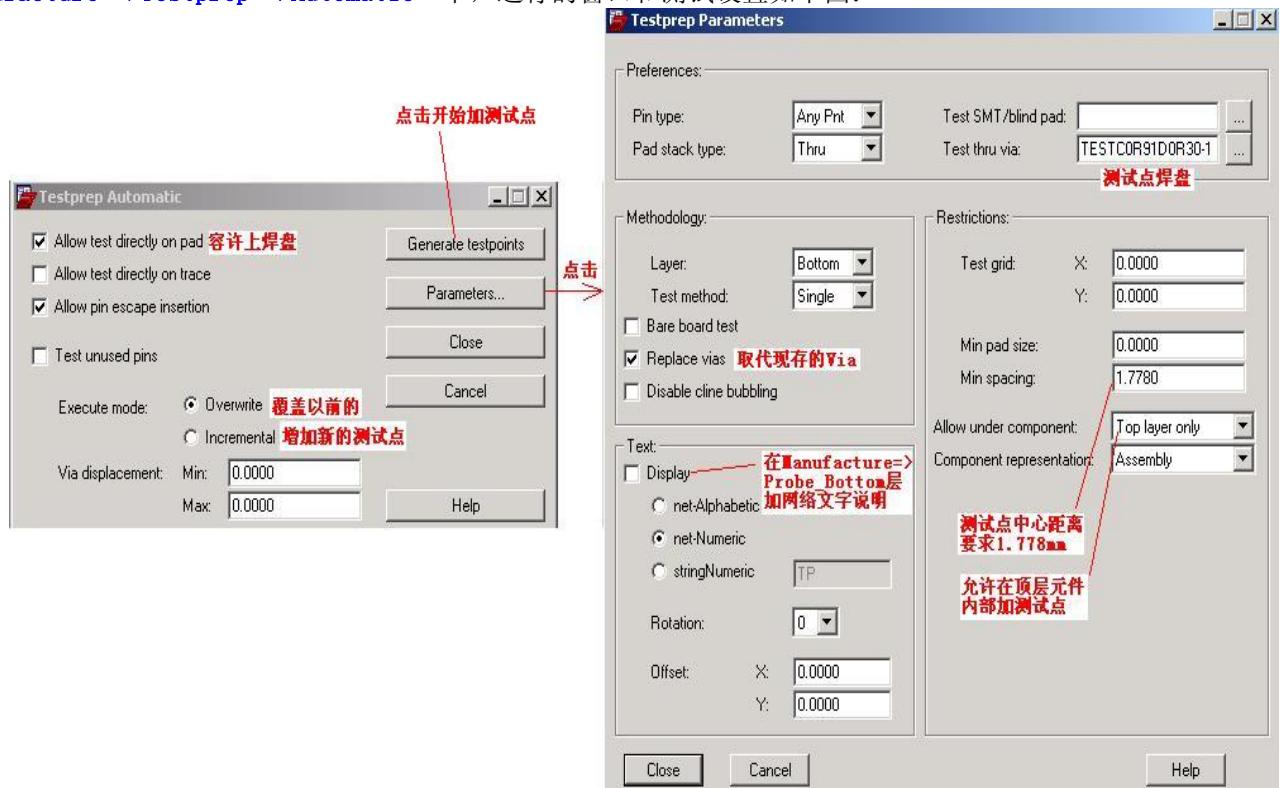


图 4.11 加测试点参数设置窗口

点击“**Generate testpoints**”命令之后进行加测试点，同时在命令行窗口显示运行状态，最后，在结束时还显示添加的结果，如下图所示：

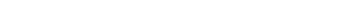
| Processing net VCC5V (188 out of 191),(c=83, f=104, i=0).
| Processing net GNDA (189 out of 191),(c=84, f=104, i=0).
| Processing net VCC3.3V (190 out of 191),(c=85, f=104, i=0).
| Test Prep Completed, Comp: 86, Fail: 104, Ignore: 1 Warn: 0

图 4.12 加测试命令行显示内容

上图只是显示了一个大概的内容，具体的报告会在与 brd 文件同一目录下的 **testprep.log** 中，报告列得比较详细。

差不多每一块板都不会自动添加到 100% 的测试点，总有一些靠自动添加是加不了的，那么，这些测试点只能手工进行添加，而 testprep.log 报告列出的未添加成功的网络一般都十分繁多，单靠人工查找并且在 PCB 上高亮这些网络变得十分麻烦，这里介绍一个工具，可以简化这个过程，工具软件和使用说明为 [Highlight.exe](#) 和 [Allegro 测试点高亮程序说明.doc](#)，说明文档写得比较详细，在这里就不再详述，按照说明将遗漏的测试点补上，这样加在线测试点就完成了。

4.7 铺铜

铺铜的命令菜单都集中在 **Shape** 菜单下，工具条图标是： ，其菜单命令的说明如下图所示：

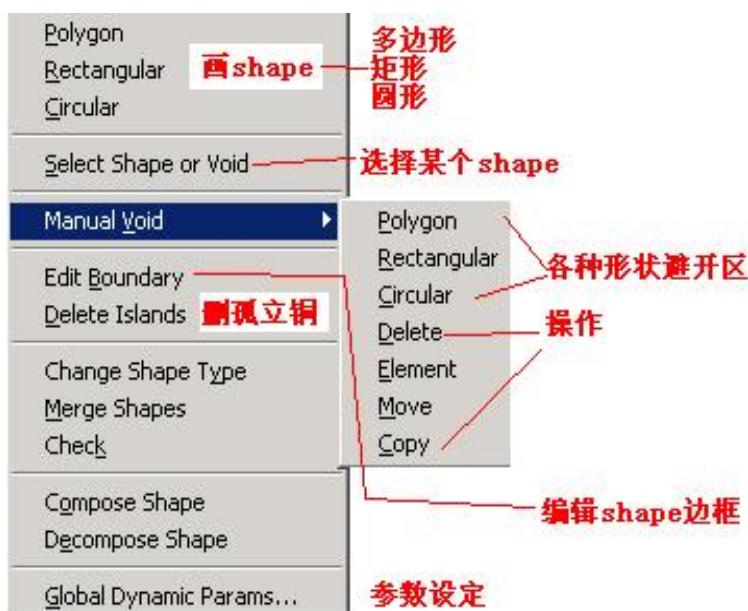


图 4.13 shape 菜单详解

铺铜的参数设定比较重要，参数设定分为两部分：

1. 右边“Option”参数设定，具体的参数设定见下图所示：



图 4.14 铺铜“Option”参数

2. Global Dynamic Parameters...参数设定

Global Dynamic Parameters...参数分四项内容，其内容和含义入下图所示：



图 4.14 铺铜 Global Dynamic Parameters...参数

- shape fill

其参数设置和含义见下图:

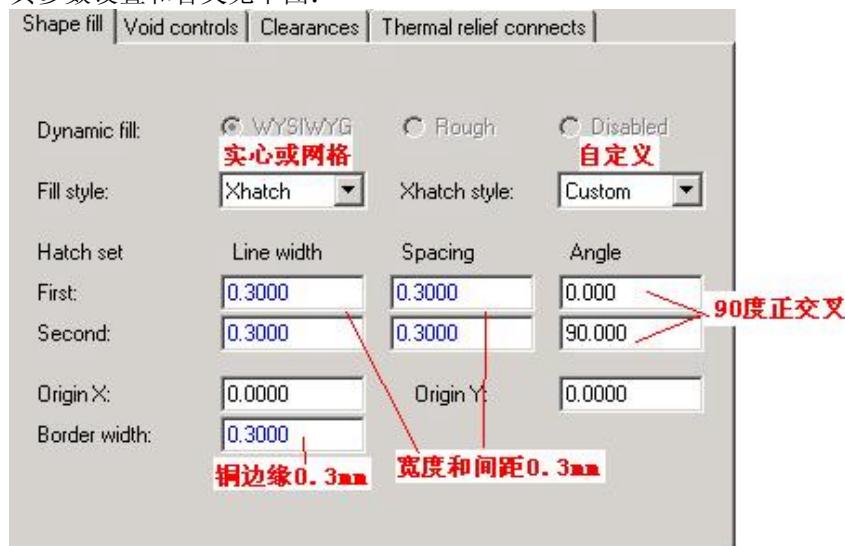


图 4.15 shape fill 参数

- Void controls

其参数设置和含义见下图:

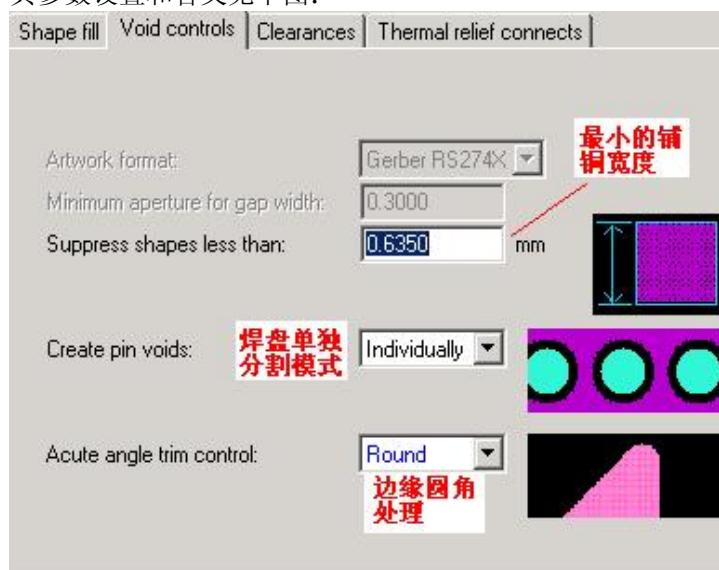


图 4.16 Void controls 参数

- Clearances

其参数设置和含义见下图:



图 4.17 Clearances 参数

- Thermal relief connects

其参数设置和含义见下图：

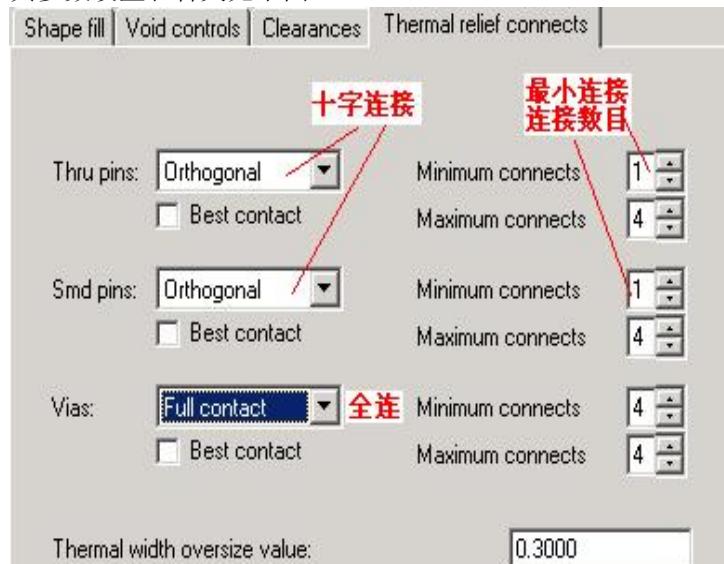


图 4.18 Thermal relief connects 参数

铺铜的参数设置正确后，根据铺铜的形状点击  中的一个，画下一个区域，点左键完成后，就按需要完成铺铜了。

按照上面的参数设置在 PCB 的表层的数字区铺一块 GND 铜箔，在模拟区铺一块 GNDA 铜箔。操作步骤可

参看具体实例： 表层铺铜. avi

15.2 铺的铜箔使用 Move 命令就可以动态的移动。需要在铺铜内添加避开区的可以使用 **Shape=>Manual Void** 命令进行分割，这里就不再详述了，如果想要删除铜箔的话，使用 **Edit=>Delete** 命令就可以完全删除，这一点比以前的版本有很大的提高。

4.8 DRC 检查

在走线过程中，如果走线违反了设置的规则，如果用 **Setup->Constraints->Set DRC modes** 打开 DRC 在

线检查，就会出现 DRC 符号，如下图所示：

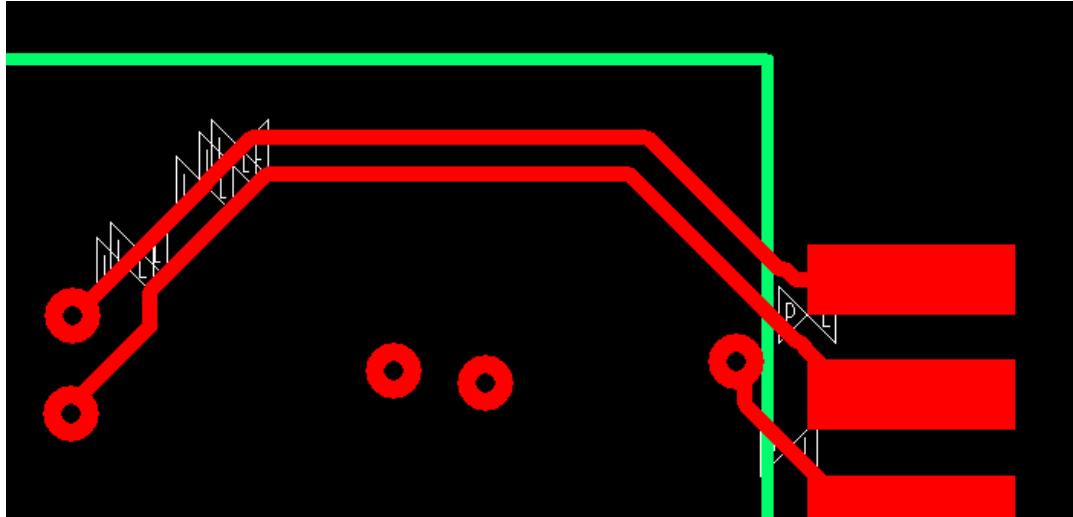


图 4.19 DRC 检查

在第二章已提到，如果想改变 DRC 显示的大小，命令是：[Setup=>Drawing Options](#)，打开的窗口如下：

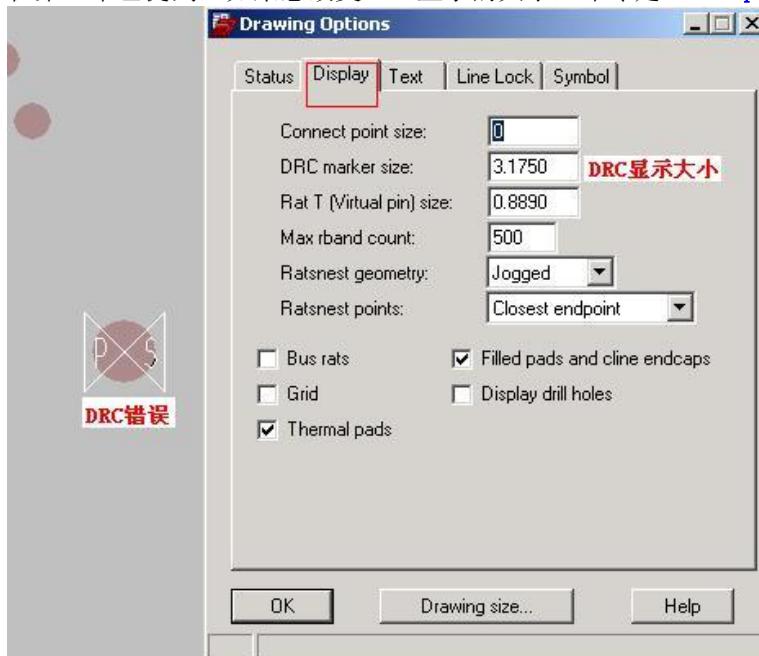


图 4.20 DRC 的 Display 参数窗口

上图主要是改变 DRC 错误的外形大小的参数。更新 DRC 在 Status 列表中，如下图所示：

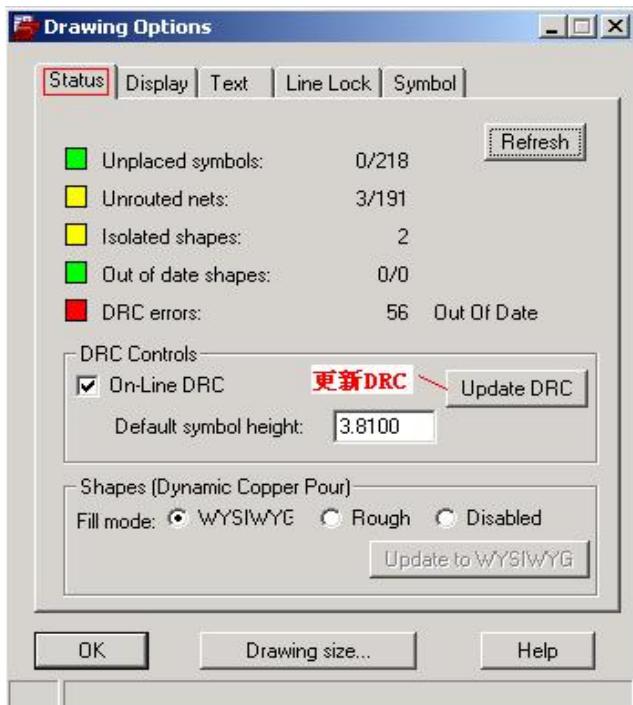


图 4.21 DRC 的 Status 参数窗口

在上图中点击“**Update DRC**”按钮就可以立即对 PCB 进行 DRC 检查，有错误的地方会做标记。其实，在屏幕右边的 **Visibility** 选项中，就可以打开或者关闭 DRC 显示，如果有 DRC 问题可以立即更改，DRC 检查可以在布线的同时进行，在最后也要再检查一遍 (Update)，防止有遗漏。

我们可以通过  来查询具体的 DRC 的意思，然后对其进行修正，当错误修正后，DRC 符号自动消失。

第五章 调整丝印、添加技术说明和 Valor 检查

5.1 添加板名、条码框和防静电标识符

板名编码的字符大小参照标准进行添加，将编码加在 **Geometry=>Silkscreen_Top** 层即可，设置字符大小的命令菜单是 **Setup=>Text Size…**，打开的窗口如下图：

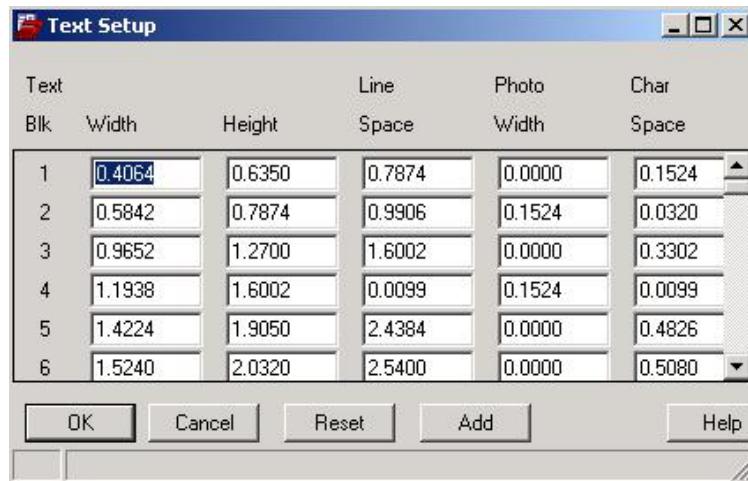


图 5.1 字符大小参数设置窗口

单板板名的字符的高度和宽度一般是 80milx80mil，photo width 是 10mil，如果上图的列表中没有合适的大小的话，我们需要将某一个字体改一下，改成 80x80x10 的参数。下面就以一号字体为例，我们就将第一号字体改成板名要求的字体，改变之后的窗口如下图：

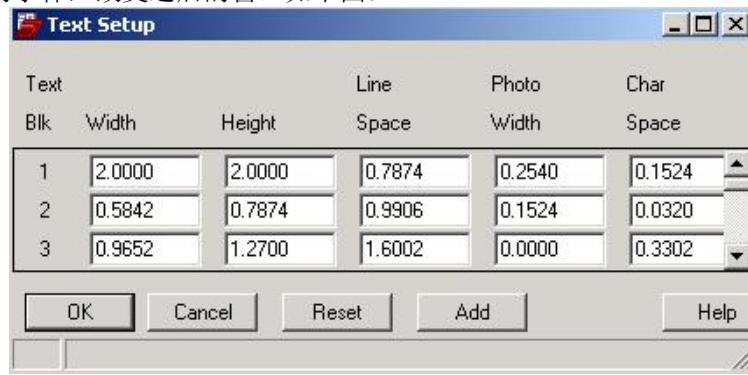


图 5.2 字符大小设置窗口

字体设好之后就可以在 PCB 中添加板名编码了，使用的命令是：**Add=>Text** 或者点击工具栏图标 “”

也可以，关于这个命令的使用前面已经介绍过了，这里就不再详述。具体操作步骤可参看实例： 加板名. avi
条码和防静电标识在库中都有，我们只需要调到板上即可。具体操作步骤可参看实例：

加条码和防静电符. avi

5.2 丝印调整

5.2.1 调整丝印位置

目前 PCB 上的丝印是比较乱的，大部分的丝印被元件压住了，我们需要将丝印移出来，并且按照一致的方向再摆放到合适的位置，目前公司要求丝印必须向上向左，要求丝印保持一致的方向。调整丝印一般使用移动加旋转命令即可，命令菜单：Edit->Move 或者右键点击工具栏图标“”，如果要旋转的话，在使用移动命令的同时点击右键菜单，选择“Rotate”命令进行旋转，同时注意右边的“Find”参数一定要设置成 Text，把其它选项关闭，即仅移动丝印 (text)。由于前面已经介绍过关于“Move”命令的用法，移动丝印具体的步

骤可参看实例： 调整丝印. avi

有些时候某些 IC 的第一角的“o”标记被元件压住或者极性电容的“+”标记被压住，这两种情况康讯生产线是不允许的，所以我们必须调整一下，将这些标记露出来，让它们与其它元件或者丝印没有冲突，使用的命令还是“Move”命令，只不过右边的“Find”参数需要将“Line”选中。具体操作步骤可参看实例：

调整一脚标记. avi

5.2.2 调整丝印大小

丝印的字体大小也有公司标准，所以我们要按要求调整字体大小，具体的操作步骤是：

1. 根据 5.1 设置好字体。
2. 通过 Edit->Change 对丝印进行编辑，编辑时注意控制面板中需选择相应的 Class: Ref Des; subclass: Silkscreen_Top，并将 Text block 改成想要的字体号。如下图所示：

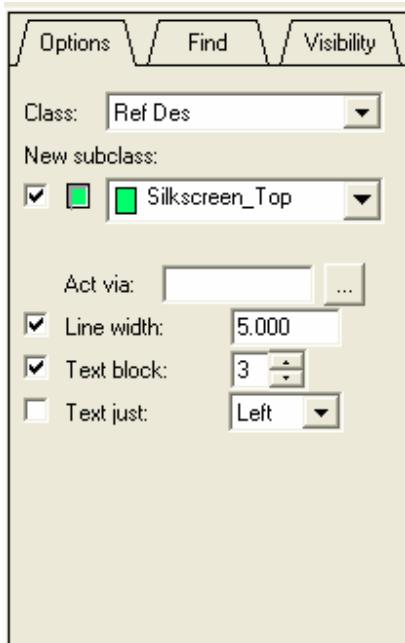


图 5.3 丝印大小调整的控制面板

在实例： 加板名. avi 中有丝印大小调整的具体步骤。

5.3 填写技术说明和叠层说明

每一块板都要有技术说明和叠层说明，加工 PCB 时要用到的，填写技术说明和叠层说明有两种手段：逐个字符输入法和复制法，还有如果在 **Format Symbols** 的列表中已经做好了带有技术说明的外框，也可以直接调入技术说明，再根据需要进行修改。

5.3.1 逐个字符输入法

这种方法是最普通的方法，技术说明中有什么要求，就在 BRD 文件的尺寸层上逐个字符输入上去即可。

其命令为：**Add=>Text** 或者点击工具栏图标 “” 也可以，然后就要对输入的参数进行设置了，其设置的窗口和参数如下：

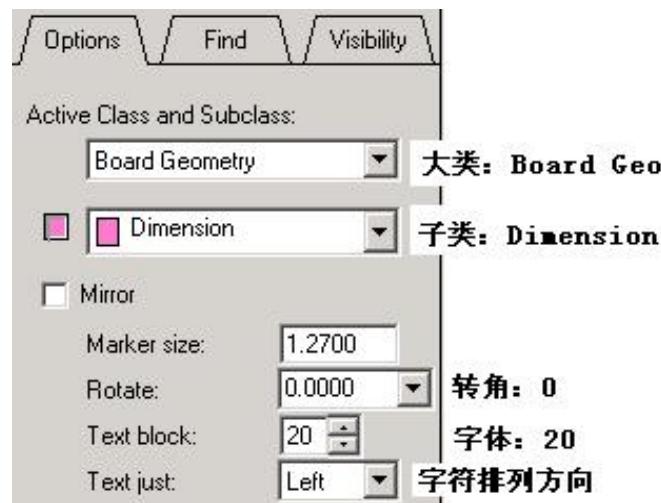


图 5.4 字符输入的参数设置

下面在 PCB 板上逐个字符输入技术说明，其步骤如下：

1. 选择命令 **Add=>Text** 或者点击工具栏图标 “”
2. 参照上图 3.1 进行输入参数的设置
3. 鼠标在 PCB 的适当位置点击一下，用键盘输入技术说明的字符（输入回车可另起一行，进行多行输入）
4. 输入结束后右键 **Done** 结束命令
5. 如果技术说明的位置不合适，选用移动的命令将字符移到合适的位置（注意移动的“Find”参数一定要选择“Text”选项），右键 **Done** 结束移动命令

逐个字符输入技术说明的具体步骤可参看实例： [输入技术说明. avi](#)

5.3.2 复制技术说明法

逐个字符输入法输入技术说明效率太低，有一个简单的方法就是把以前的板上的技术说明抄过来，根据现在这块板子的需要而进行适当的修改，这样就避免了每一块板都要逐个输入技术说明的麻烦，及省力又提高了效率，接下来就举例说明：

Allegro 有一项功能就是能够将 PCB 中的某些部分进行输入和输出，利用这一功能，我们就可以把以前 **Brd** 板中现成的技术说明输出出来，然后再输入到现在所需的板中，这样就可以达到省力的效果。其实，这项功能不仅仅可以用来复制技术说明，还可以用来复制走线、元件等等。

下面利用复制法在 PCB 板上添加技术说明，其步骤如下：

1. 选择命令 **File=>Export=>Sub-Drawing**
2. 右边“Find”参数仅将“Text”选项选中
3. 按住鼠标左键将目前 PCB 中的技术说明框选中
4. 在命令行输入：“**x 0 0**”确定粘贴的参考点（也可以用鼠标在技术说明的中心点击一下，就是以框选的中心为参考点，这种方法在对精度要求不高时使用）
5. 在弹出的“Clipboard Filename”窗口中输入文件名（使用默认的 **Standard** 名即可）
6. 选择命令 **File=>Exit**，关闭输出技术说明的板文件
7. 选择命令 **File=>open** 打开需要输入技术说明的板文件
8. 选择命令 **File=>Import=>Sub-Drawing**
9. 在弹出的“Select Subdrawing to Import”窗口中选择相应的文件名（默认的 **Standard**）
10. 在命令行输入：“**x 0 0**”进行粘贴（也可以用鼠标在 PCB 中找合适的位置放下来）
11. 关闭弹出的“Clipboard Log File”窗口

如果复制过来的技术说明中有一项不合适，如以前的板厚为 1.6mm，应该改为 2mm，其步骤如下：

1. 选择命令 **Edit=>Text** 或者点击工具栏图标 “”
2. 鼠标左键点击技术说明的第一行（即写明板厚的那一行）
3. 在命令行窗口中将光标移动到 1.6mm 处，将“1.6”改成“2”，回车结束
4. 右键 **Done** 结束命令

复制技术说明方法的操作步骤（包括更改技术说明）可参看实例：[复制技术说明. avi](#)

5.3.3 添加库内技术说明

如果技术说明已做到标准库中，我们只要调入到 PCB 中即可，然后按要求进行修改。归档文件外框的位置如下：

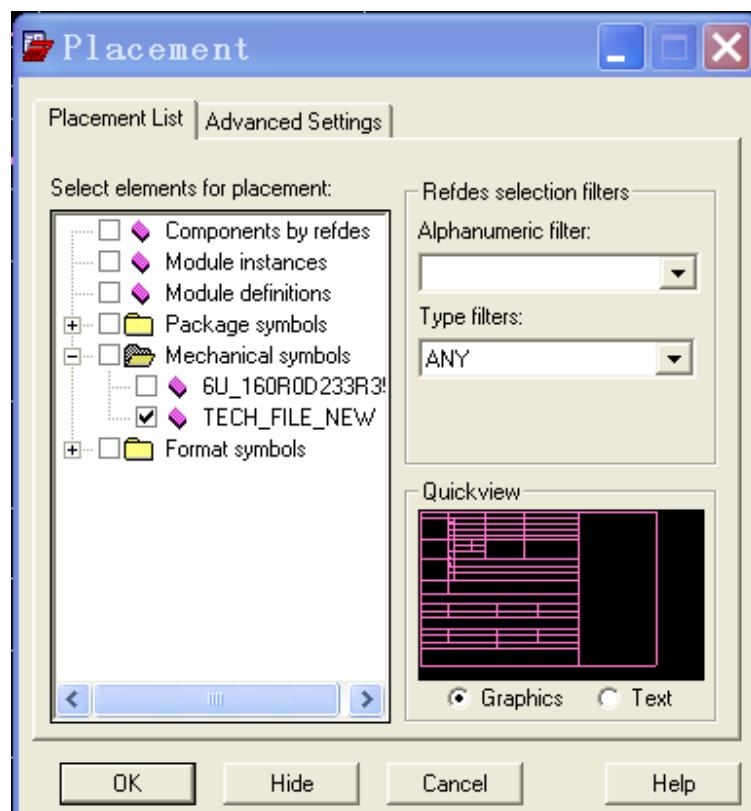


图 5.5 技术说明所在的目录

添加技术说明的步骤如下：

1. 将颜色设置窗口的 Group:Manufacturing 下的 Drawing Format 子类全部打开
2. 运行命令 Place=>Manually 或者点击工具栏图标 “ ”
3. 在 Mechanical Symbols 的列表中找到技术说明。
4. 将技术说明调入板内，选择合适的位置放下来
5. 点击 Ok 按钮，关闭 Placement 窗口
6. 选择命令 Edit=>Text 或者点击工具栏图标 “ ”
7. 鼠标点击技术说明，将技术说明按要求进行修改

5.4 添加归档文件外框

PCB 将来小批量生产的时候需要归档，归档就需要添加归档文件外框，归档文件外框已经做到库中，我们只要调入到 PCB 中即可，然后将归档的板名编码、输出比例和页数等参数修改一下即可。归档文件外框的位置如下：

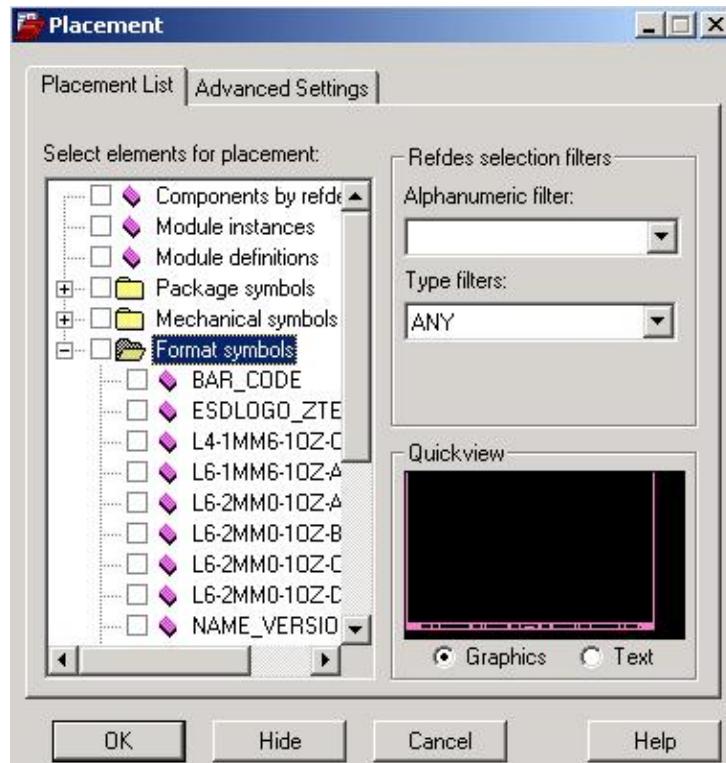


图 5.6 归档文件框所在的目录

添加归档框的步骤如下：

1. 将颜色设置窗口的 Group:Manufacturing 下的 Drawing Format 子类全部打开
2. 运行命令 Place=>Manually 或者点击工具栏图标 “”
3. 在 Format Symbols 的列表中找到归档框，纸张大小根据实际情况而定，这里选择 TITLE_A4 即可（A4 纸大小）
4. 将归档框调入板内，选择合适的位置放下来
5. 点击 Ok 按钮，关闭 Placement 窗口选择命令 Edit=>Text 或者点击工具栏图标 “”

鼠标点击板名的编码和技术说明，将编码和技术说明改成合适的相应的编码和要求（注意有多层编码，需要用移动命令将编码错开，改完之后再移动回原位）

具体操作步骤可参看实例： 添加归档文件框. avi

5.5 Valor 检查

丝印调整之后就可以进行 Valor 检查了，由于该检查比较复杂，将由专门的人员进行讲解，这里不再详述了，一般每块板到要进行多次检查和改错才能最终达到无错状态，最终的 Valor 报告还要保留并提交。

第六章 光绘输出和检查

6.1 添加钻孔表

在铺铜之后就可以进行光绘输出了，在光绘输出之前，先将钻孔表放置到板边上，这样在光绘输出时就可以将钻孔表一起输出。添加钻孔表的菜单命令是：Manufacture=>NC=>Drill Legend 或者点击工具图标“”，弹出的窗口如下图：

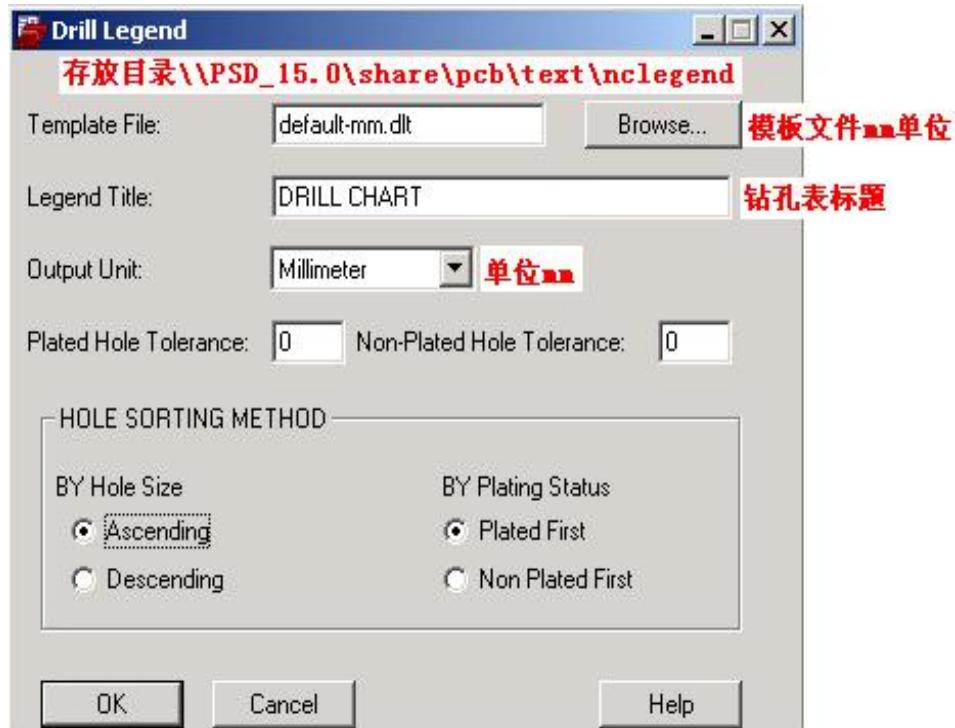


图 6.1 钻孔参数设置窗口

添加钻孔表的具体步骤为：

1. 通过屏幕右边的 **Visibility** 选项的 **Views** 列表，将 Drill 层打开
2. 将 **Visibility** 选项中的 **PIN** 和 **Via** 选项都选中，见下图所示：



图 6.2 钻孔打开窗口

3. 运行命令 **Manufacture=>NC=>Drill Legend** 或者点击工具栏图标 “”
4. 参数设置参照图 6.1 进行设置，然后点击 **OK** 按钮关闭窗口
5. 将动态显示的钻孔表放到板边

关于输出钻孔表的具体步骤可参看实例：[加钻孔表. avi](#)

6.2 添加钻孔文件

钻孔表放到板边之后还要输出一个数控机床的钻孔文件，在输出该文件之前还要将输出参数设置一下，参数设置的命令菜单是：**Manufacture=>NC=>Drill Parameters...**或者点击工具栏图标 “”，弹出的窗口如下图：

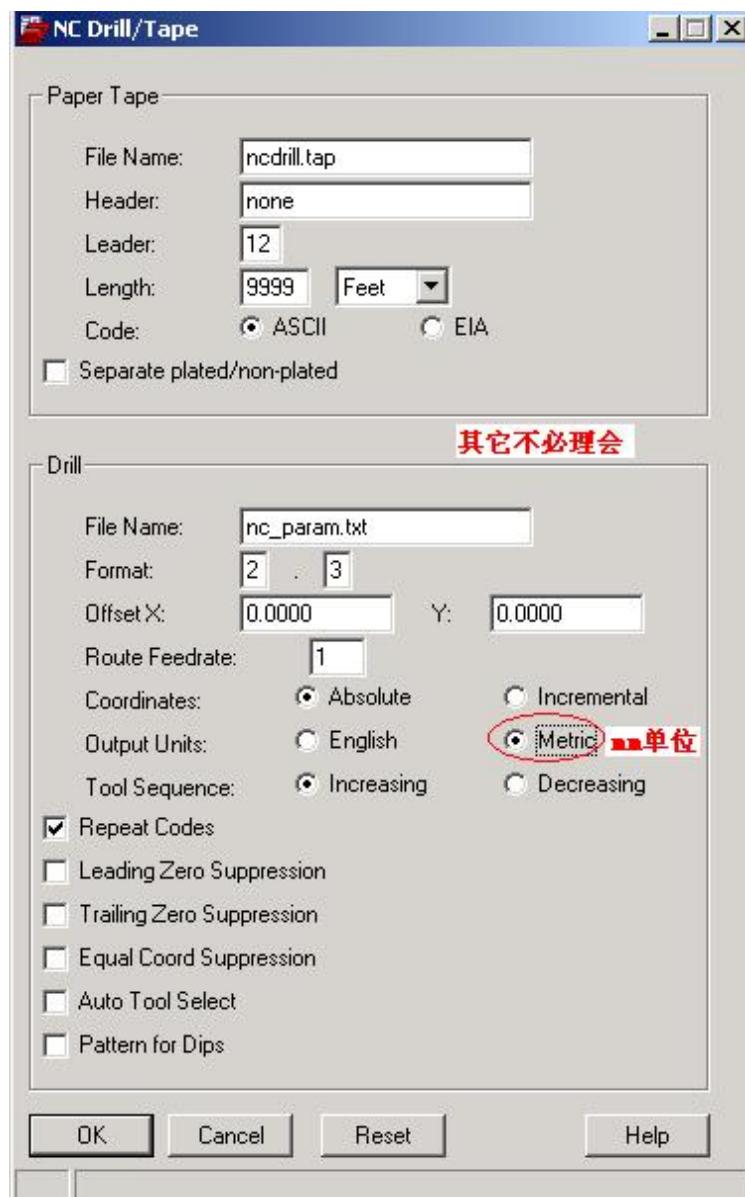


图 6.3 数控机床钻孔输出参数设置窗口

参数设好之后关闭 NC Drill/Tape 窗口，输出数控机床钻孔文件的命令菜单为：Manufacture=>NC=>Drill Tape…，打开的窗口如下：



图 6.4 数控机床钻孔输出窗口

输出数控机床钻孔文件的具体步骤为：

1. 运行命令 **Manufacture=>NC=>Drill Parameters...** 或者点击工具图标 “”
2. 参数设置参照图 6.3 进行设置，然后点击 **OK** 按钮关闭窗口
3. 运行命令 **Manufacture=>NC=>Drill Tape...**
4. 点击 “**RUN**” 按钮进行钻孔输出

该命令生成的两个文件存放在 **physical** 目录下，这两个文件是： **ncdrill11.tap** 和 **nctape.log**。

具体操作步骤可参看实例：[数控机床钻孔文件. avi](#)

6.3 输出光绘文件

6.3.1 手工添加光绘层

输出光绘的命令在菜单 **Manufacture=>Artwork** 下或者点击工具栏图标 “” 也可以，打开的窗口如下：

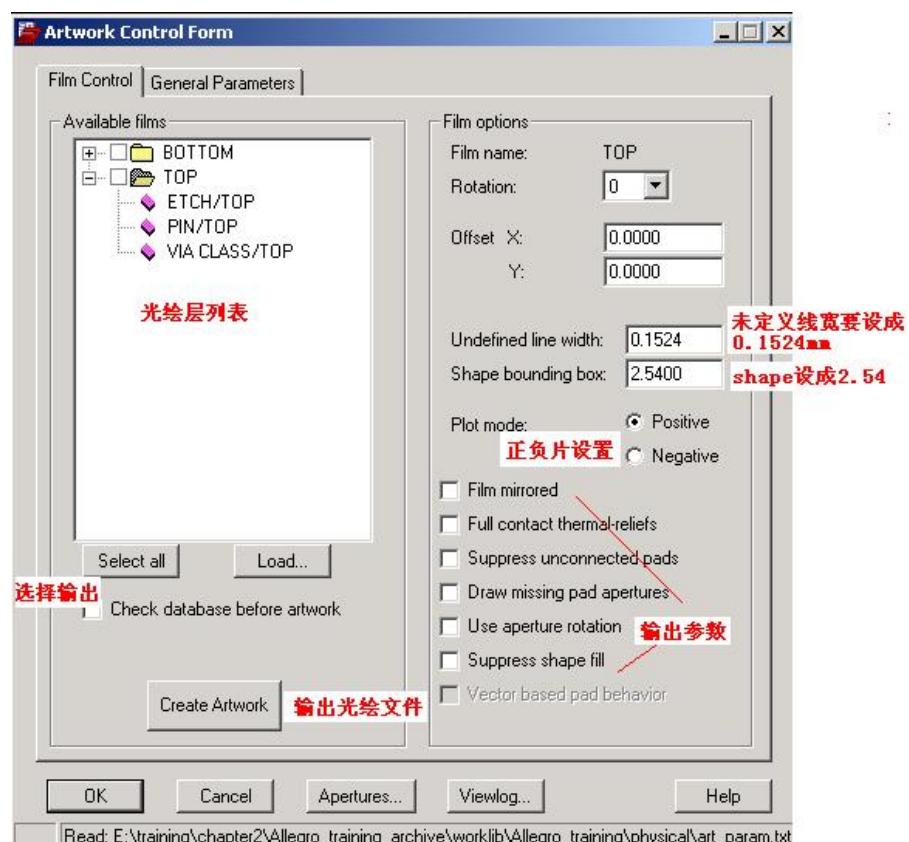


图 6.5 光绘输出的层控制窗口

上图是光绘输出的层控制窗口，还有一个窗口是输出参数的控制窗口，我们通过点击上图的第二个列表项 **General Parameters** 来打开该窗口，打开的窗口如下，注意输出格式选 RS274X。

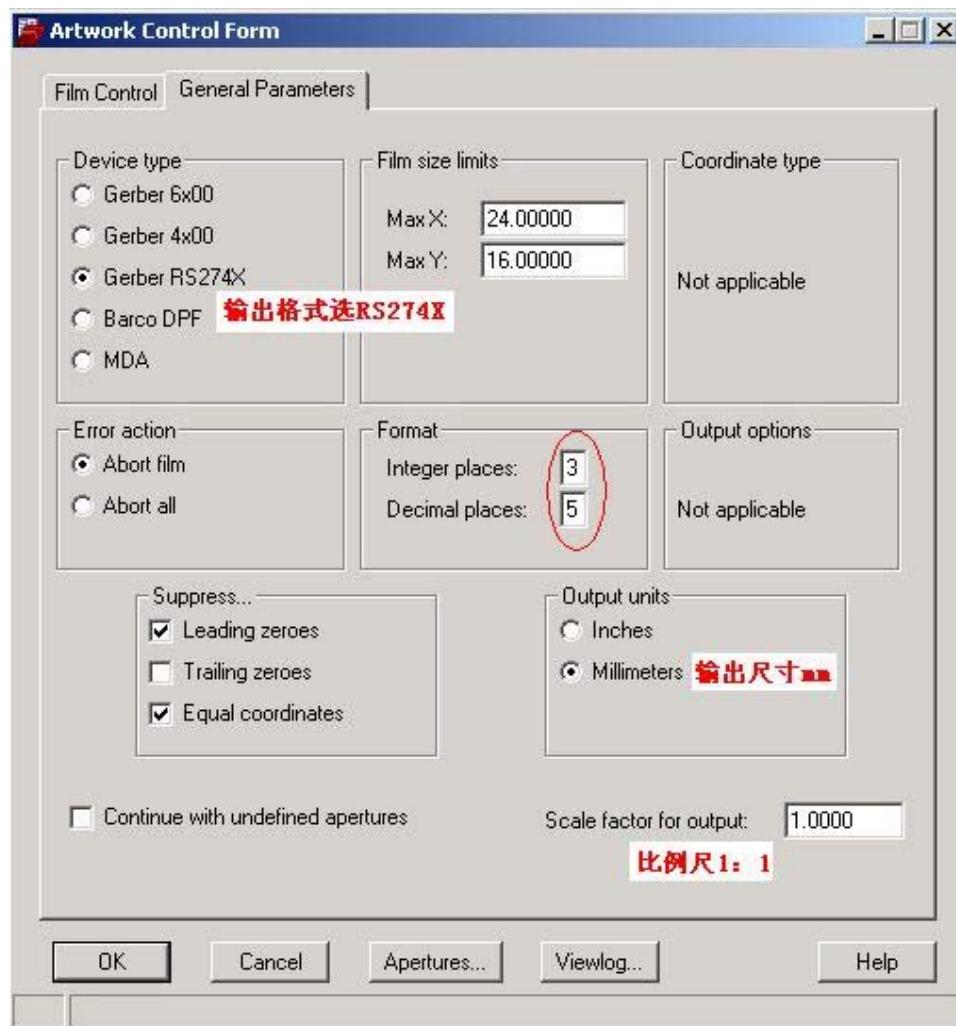


图 6.6 光绘输出的参数控制窗口

Allegro 软件默认的输出光绘层列表就两项：TOP 和 BOTTOM，我们需要根据相应的板层进行添加，以一个四层板为例，当底层没有摆放元件的时候需要出 8 张光绘文件（实际为 7 张 Film，钻孔在 PCB 加工商那里不算），这八个光绘文件由上到下分别为：

- 顶层丝印 (Topsilk)
- 顶层阻焊 (Topmask)
- 顶层走线 (Top)
- GND 层 (Gnd)
- VCC 层 (Vcc)
- 底层走线 (Bottom)
- 底层阻焊 (Botmask)
- 钻孔层 (Drill)

如果底层摆放元件的话，还需要一层底层丝印 (Botsilk)，通过上边的描述相信大家对如何计算输出的光绘文件的数目有一定的认识了，下面针对这块板将每层光绘文件输出时需要打开的相关层说明一下：

1. 顶层丝印 (Topsilk)
 - REF DES/SILKSCREEN_TOP
 - PACKAGE GEOMETRY/SILKSCREEN_TOP

- BOARD GEOMETRY/OUTLINE
- 2. 顶层阻焊 (Topmask)
 - VIA CLASS/SOLDERMASK_TOP
 - PIN/SOLDERMASK_TOP
 - PACKAGE GEOMETRY/SOLDERMASK_TOP
- 3. 顶层走线 (Top)
 - ETCH/TOP
 - PIN/TOP
 - VIA CLASS/TOP
- 4. GND 层 (Gnd)
 - ETCH/GND
 - PIN/GND
 - VIA CLASS/GND
- 5. VCC 层 (Vcc)
 - ETCH/VCC
 - PIN/VCC
 - VIA CLASS/VCC
- 6. 底层走线 (Bottom)
 - ETCH/BOTTOM
 - PIN/BOTTOM
 - VIA CLASS/BOTTOM
- 7. 底层阻焊 (Botmask)
 - VIA CLASS/SOLDERMASK_BOTTOM
 - PIN/SOLDERMASK_BOTTOM
 - PACKAGE GEOMETRY/SOLDERMASK_BOTTOM
- 8. 钻孔层 (Drill)
 - MANUFACTURING/NCDRILL_LEGEND
 - MANUFACTURING/NCDRILL FIGURE
 - BOARD GEOMETRY/OUTLINE
 - BOARD GEOMETRY/DIMENSION

下面我们就参照上述列表将各个层的光绘设置好，具体的操作步骤如下：

1. 运行命令 **Manufacture=>Artwork** 或者点击工具栏图标 “”
2. 鼠标右键点击光绘输出列表中的“ TOP”的“TOP”字符处，在弹出的菜单中选择 **Add** 命令
3. 在弹出的窗口中输入 “**Topsilk**”，按 **OK** 按钮关闭窗口（添加顶层丝印）
4. 点击 Topsilk 层前端的“+”号打开列表项如下图：

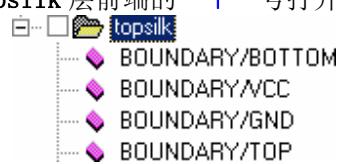


图 6.7 顶层丝印的层列表

5. 用鼠标右键菜单的“**Cut**”和“**Add**”命令将无用的层删除，将与丝印有关的层添加上，即 **REF DES/SILKSCREEN_TOP**、**PACKAGE GEOMETRY/SILKSCREEN_TOP** 和 **BOARD GEOMETRY/OUTLINE**
6. 用同样的方法将其它各层光绘也设置好，相关的层参考上面的列表

7. 将所有层的 Undefined line width 设成 0.1524
8. 将所有层的 shape bounding box 设成 2.54
9. 将 GND 和 VCC 层设置成负片, Plot mode 的 Negative 选中
10. 将最下端的输出参数 Vector based pad behavior 选中
11. 将 General Parameters 的参数照图 3.20 设置一下
12. 点击 OK 按钮关闭 Artwork Control Form 窗口

这时, 我们再看右边 Visibility 参数中的 views 选项, 可以看到如下图所示的光绘输出层列表:

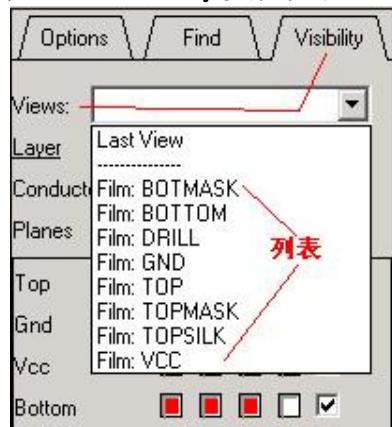


图 6.8 Visibility 中 views 列表

其实应该在走线之前就把光绘的输出先设置好, 这样, 在以后的走线过程中或者其它过程中, 可以通过 Allegro 的右边 Visibility 参数下的 views 列表来快速切换相关层, 比方说, 我要在 Bottom 层走线, 其它的层我想要关闭显示, 这时我们就可以通过在 views 列表中选择 Bottom, 其它层就全部被关闭了, 仅仅保留 Bottom 层。

关于光绘文件的输出设置可参看实例: 光绘输出设置. avi

6.3.2 用 Script 添加层

我们也可以做一个 script 文件, 将所要的层加上:

1、Script 的库目录在\\PSD_15.0\\share\\pcb\\text\\script 目录中, 可以在 library 中调用 Script 文件。运行菜单: File=>Script, 出现如下界面:

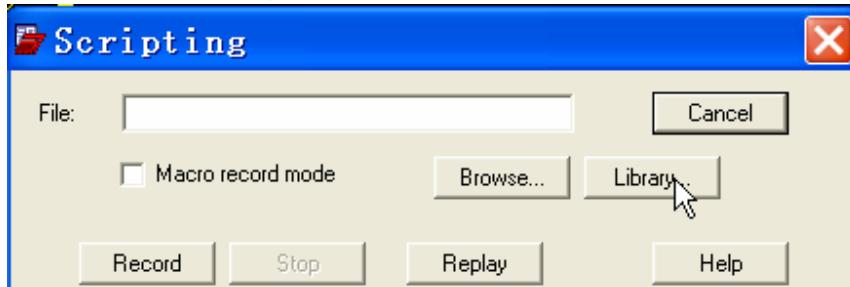


图 6.9 Script 界面

2、在 Library 中选择 artwork 如下图所示:

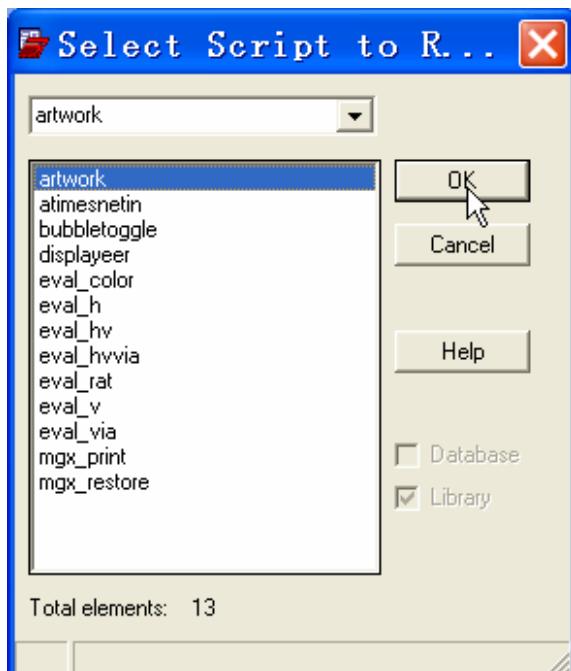


图 6.10 打开 artwork.script

3、按下 OK，出现如下界面，再按下 Replay，自动运行 artwork script：

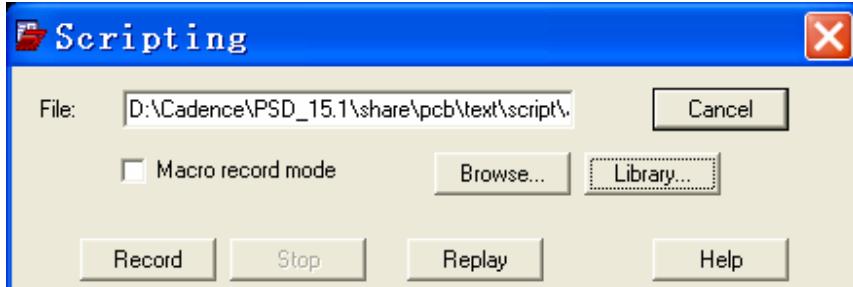


图 6.11 运行 artwork.script

4、运行后，板所需的层全部都自动加上了：

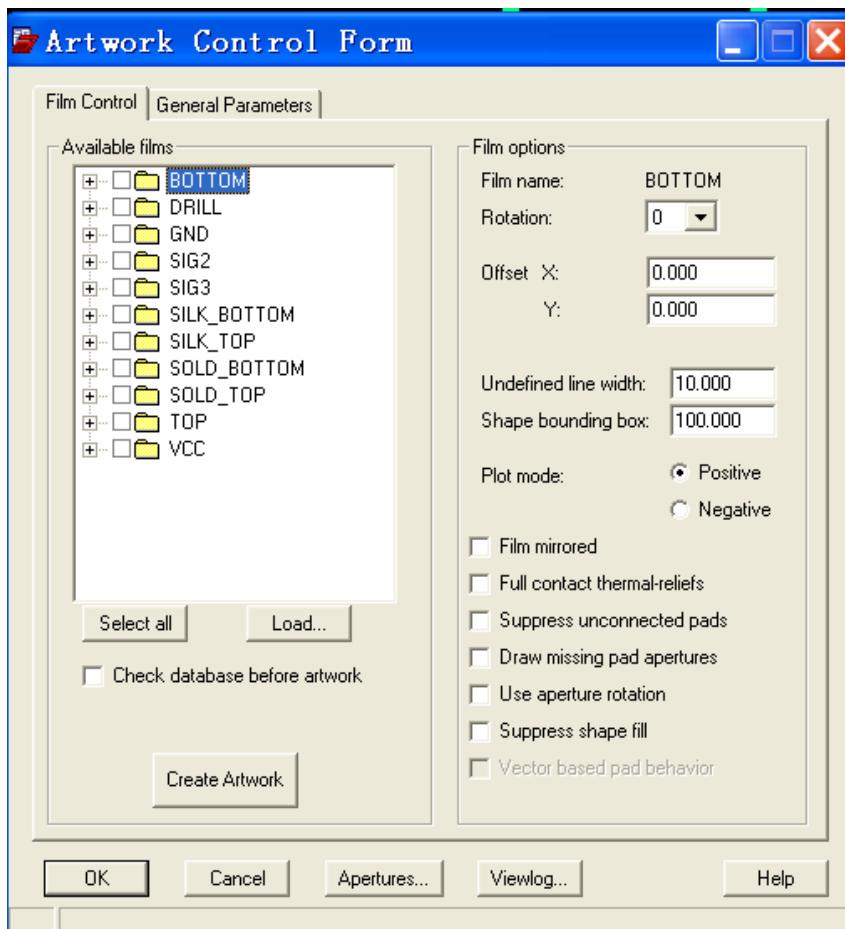


图 6.12 添加层后的界面

大家再看一下上边的图 3.30，在 Available films 列表下边还有一个“Load...”按钮，我们可以把这些光绘的列表层写到一个文件中，用这个命令调一下预存的列表文件，就可以马上将光绘列表设好，如果调进来的光绘列表与现在的板层不一致，则需要将不用的层删除（注意调进来后一定不要忘记其它的参数设置，比如 Undefined line width 设成 0.1524、shape bounding box 设成 2.54 等等），需要的层加上。

6.3.3 输出光绘文件

接下来就可以输出光绘文件了，检查一下参数设置，如果参数没问题的话，点击“Select all”按钮选择所有的层，然后再点击“Create Artwork”按钮开始光绘输出，生成的光绘文件的扩展名是“art”，文件都存放在 physical 目录下，我们把这些 ART 文件还有钻孔 ncdrill1.tap 和 nctape.log 文件压缩成 RAR(压缩软件)文件，用这个压缩之后的 RAR 文件就可以送到康讯供应部进行 PCB 加工了。

压缩的光绘文件和钻孔文件列表为：

 BOTTOM.art	303,532	50,967	ACDSee ART 图像	2004-2-13 12:53
 DRILL.art	120,420	25,194	ACDSee ART 图像	2004-2-13 12:53
 GND.art	18,661	4,440	ACDSee ART 图像	2004-2-13 12:53
 TOP.art	438,526	71,923	ACDSee ART 图像	2004-2-13 12:53
 TOPMASK.art	15,580	3,290	ACDSee ART 图像	2004-2-13 12:53
 TOPSILK.art	199,222	42,026	ACDSee ART 图像	2004-2-13 12:53
 VCC.art	11,828	3,293	ACDSee ART 图像	2004-2-13 12:53
 BOTMASK.art	3,498	950	ACDSee ART 图像	2004-2-13 12:53
 ncdrill1.tap	5,668	1,799	文件 tap	2004-2-13 12:51
 nctape.log	2,045	705	文本文档	2004-2-13 12:51

图 6.13 发往康讯供应部的光绘文件列表

输出之后的光绘文件建议大家使用 Cam350 等专门编辑和查看光绘文件的软件检查一下，看一看输出的光绘文件是否有错误。

输出光绘的具体步骤可参看实例： 光绘输出. avi

附录 1 Allegro 菜单对应的 command 命令

File 菜单

File-New	new
File-Open	open
File-Save	save
File-Save As	save_as
File>Create Symbol create symbol (in Symbol Editor only)	
File-Import-Logic	netin param
File-Import-Artwork	load photoplot
File-Import-Stream	load stream
File-Import-IPF	load plot
File-Import-DXF	dxf in
File-Import-IDF	idf in
File-Import- IFF	iff in
File-Import-SPECCTRA	specctra in
File-Import-Redac	redac in
File-Import-Visula	visula in
File-Import-PADS	pads in
File-Import-PCAD	pcad in
File-Import-Sub-Drawing	clppaste

File-Import-Techfile	techfile in
File-Import-Active Times	signal atimes
File-Import-Placement	plctxt in
File-Annotations	annotation in
File-Export-Logic	feedback
File-Export-Netlist w/Properties	netout
File-Export-IPF	create plot
File-Export-DXF	dxf out
File-Export-IDF	idf out
File-Export-SPECCTRA	specctra_out
File-Export-Sub-Drawing	clpcopy
File-Export-Libraries	dlib
File-Export-Techfile	techfile out
File-Export-Placement	plctxt out
File-Export-Annotations	annotation out
File-Export-IPC 356	ipc356 out
File-Export-Valor ODB ++ inside	odb_out
File-Export-Save design to 14.0	downrev
File-Viewlog	viewlog
File-File Viewer	No corresponding command
File-Plot Setup	plot setup
File-Plot Preview (Windows NT only)	plot preview
File-Plot	plot
File-Properties	

File-Change Editor	file_property
File-Script	toolswap
File-Exit	script
	exit
Edit 菜单	
Edit-Move	move
Edit-Copy	copy
Edit-Mirror	mirror
Edit-Spin	spin
Edit-Change	change
Edit-Delete	delete
Edit-Shape	shape edit
Edit-Z-Copy	zcopy shape
Edit-Delete Unconnected Shapes	delete unconnected
Edit-Split Plane-Parameters	split plane params
Edit-Split Plane-Create	split plane create
Edit-Split Plane-Locate Islands	locate islands
Edit-Compose Shape	compose shape
Edit-Decompose Shape	decompose shape
Edit-Vertex	vertex
Edit-Delete Vertex	delete vertex
Edit-Boundary (Shape editor only)	boundary
Edit-Change Net (Pick) (Shape editor only)	changenet pick
Edit-Change Net (Name) (Shape editor only)	

Edit-Text	changenet name
Edit-Chamfer (in Designer and Studio series)	text edit
Edit-Fillet (in Designer and Studio series)	draft chamfer
Edit-Groups	draft fillet
Edit-Properties	groupedit
View 菜单	property edit
View-Zoom By Points	zoom points
View-Zoom Fit	zoom fit
View-Zoom In	zoom in
View-Zoom Out	zoom out
View-Zoom World	zoom center
View-Zoom Center	zoom center
View-Zoom Previous	zoom previous
View-Color View Save	colorview create
View-Color View Restore Last	colorview restore
View-Refresh	No corresponding command
View-Customization-Display	display param
View-Customization-Toolbar	No corresponding command

Add 菜单

Add-Line	add line
Add-Arc w/Radius	add rarc
Add-3pt Arc	add arc

Add-Circle	add circle
Add-Rectangle	add rect
Add-Frectangle	add frect
Add-Text	add text
Add-Shapes-Solid Fill	add fshape
Add-Shapes-Unfilled	add ufshape
Add-Shapes-Cross Hatch Fill	add xshape

Display 菜单

Display-Color/Visibility	color
Display-Color Priority	color priority
Display-Element	show element
Display-Measure	show measure
Display-Parasitic	show parasitic
Display-Property	show property
Display-Highlight	hilight
Display-Dehighlight	dehilight
Display-Show Rats-All	rats all
Display-Show Rats-Components	rats component
Display-Show Rats-Net	rats net
Display-Blank Rats-All	unrats all
Display-Blank Rats-Components	unrats component
Display-Blank Rats-Nets	unrats net

Setup 菜单

Setup–Drawing Size	drawing param
Setup–Drawing Options	status
Setup–Text Sizes	define text
Setup–Grids	define grid
Setup–Subclasses	define subclass
Setup–Cross–section	define xsection
Setup–Vias–Define B/B Via	define bbvia
Setup–Vias–Auto Define B/B Via	auto define bbvia
Setup–Constraints	cns
Setup–Electrical Constraint Spreadsheet	cmgr
Setup–Property Definitions	define property
Setup–Define Lists	define list
Setup–Areas–Package Keepin	keepin package
Setup–Areas–Package Keepout	keepout package
Setup–Areas–Package Height	package_height
Setup–Areas–Route Keepin	keepin router
Setup–Areas–Route Keepout	keepout router
Setup–Areas–Via Keepout	keepout via
Setup–Areas–Probe Keepout	keepout probe
Setup–Areas–Gloss Keepout	keepout gloss
Setup–Areas–Photoplot Outline	keepin photo
Setup–User Preferences	env editor

Layout 菜单

Layout menu selections are available only in the Symbol Editor

Layout-Pins	add pin
Layout-Connections	add connect
Layout-Slide	slide
Layout-Labels-RefDes	label refdes
Layout-Labels-Device	label device
Layout-Labels-value	label value
Layout-Labels-Tolerance	label tolerance
Layout-Labels-Part Number	label part

Void 菜单

Void menu selections are available only in the Shape Editor

Void-Shape	void shape
Void-Circle	void circle
Void-Element	void element
Void-Auto	void all

Shape 菜单

Shape menu selections are available only in the Shape Editor

Shape-Parameters	shape param
Shape-Check	shape check
Shape-Fill	shape fill

Logic 菜单

Logic-Net Logic	net logic
Logic-Net Schedule	net schedule
Logic-Assign Differential Pair	

Logic-Identify DC Nets	diff pairs
Logic-Assign RefDes	identify nets
Logic-Auto Rename RefDes-Rename	assign refdes
Logic-Auto Rename RefDes-Design	rename param
Logic-Auto Rename RefDes-Room	rename area design
Logic-Auto Rename RefDes-Window	rename area room
Logic-Auto Rename RefDes-List	rename area window
Logic-Change Parts	rename area list
Logic-Terminator Assignment	partedit
	ecl param

Place 菜单

Place-Manually	place manual
Place-Quickplace	quickplace
Place-SPECCTRA	specctra
Place-Autoplace-Insight	place insight
Place-Autoplace-Parameters	place param
Place-Autoplace-Top Grids	place set topgrid
Place-Autoplace-Bottom Grids	place set bottomgrid
Place-Autoplace-Design	place area design
Place-Autoplace-Room	place area room
Place-Autoplace-Window	place area window
Place-Autoplace-List	place area list
Place-Interactive	place interactive
Place-Swap-Pins	

Place-Swap-Functions	swap pins
Place-Swap-Components	swap functions
Place-Autoswap-Parameters	swap components
Place-Autoswap-Design	swap param
Place-Autoswap-Room	swap area design
Place-Autoswap-Window	swap area room
Place-Autoswap-List	swap area window
Place-Evaluate-Parameters	swap area list
Place-Evaluate-Design	eval param
Place-Evaluate-Room	eval area design
Place-Evaluate-Window	eval area room
Place-Evaluate-List	eval area window
Place-Update Symbols	eval area list
Place-Replace SQ Temporary-Devices	refresh symbol
Place-Replace SQ Temporary-Symbols	replace temp_device
	replace temp_symbols

Route 菜单

Route-Connect	add connect
Route-Slide	slide
Route-Custom Smooth	custom smooth
Route-SPECCTRA-Run Router Checks	specctra checks
Route-SPECCTRA-Route by Pick	route_by_pick
Route-SPECCTRA-Route Automatic	auto_route
Route-SPECCTRA-Interactive Editor	

Route-Gloss-Parameters	specctra
Route-Gloss-Design	gloss param
Route-Gloss-Room	gloss area design
Route-Gloss-Window	gloss area room
Route-Gloss-Highlight	gloss area window
Route-Gloss-List	No corresponding command
Route-Testprep-Auto	gloss area list
Route-Testprep-CREATE Probe	testprep param
Route-Testprep-Delete Probe	probe create
Route-Testprep-Swap Probe	probe delete
Route-Testprep-NC Tape Probes	probe swap
	nctape

Analyze 菜单

Analyze-SI/EMI Sim-Initialize	signal init
Analyze-SI/EMI Sim-Library	signal library
Analyze-SI/EMI Sim-Model	signal model
Analyze-SI/EMI Sim-Model Dump/Refresh	signal model refresh
Analyze-SI/EMI Sim-Preferences	signal prefs
Analyze-SI/EMI Sim-Audit-Design Audit	signal audit
Analyze-SI/EMI Sim-Audit-Net Audit	signal audit net
Analyze-SI/EMI Sim-Audit-Audit One Library	signal lib audit
Analyze-SI/EMI Sim-Audit-Audit List of Libraries	

Analyze-SI/EMI Sim-Probe	signal libs audit
Analyze-SI/EMI Sim-Xtalk Table	signal probe
Analyze-EMI Rules-Initialize	signal xtalktable
Analyze-EMI Rules-Auto Setup	signal eminit
Analyze-EMI Rules-Manual Setup	signal emiautopropmain
Analyze-EMI Rules-Rule Select	signal emimanualpropmain
Analyze-EMI Rules-Audit	signal emiruleselect
Analyze-EMI Rules-Execute	signal emiverify
Analyze-EMI Rules-Results	signal emiexecute
Analyze-EMI Rules-Audit Report	signal emiresults
Analyze-EMI Rules-Execute Report	signal emiverifyreport
	signal emiexecutereport

Manufacture 菜单

Manufacture-Dimension/Draft commands in the Layout Editor are accessed under the Dimension menu item in the Symbol Editor
Manufacture-Dimension/Draft-Parameters

Manufacture-Dimension/Draft-LineFont	draft param
Manufacture-Dimension/Draft-Linear Dim	linefont
Manufacture-Dimension/Draft-Datum Dim	dimension linear
Manufacture-Dimension/Draft-Angular Dim	dimension datum
Manufacture-Dimension/Draft-Leader Lines	dimension angular
Manufacture-Dimension/Draft-Diametral Leader	leader only
Manufacture-Dimension/Draft-Radial Leader	leader diametral
Manufacture-Dimension/Draft-Balloon Leader	leader radial

Manufacture-Dimension/Draft-Chamfer Leader	leader balloon
Manufacture-Dimension/Draft-Chamfer	leader chamfer
Manufacture-Dimension/Draft-Fillet	draft chamfer
Manufacture-Dimension/Draft>Create Detail	draft fillet
Manufacture-Artwork	create detail
Manufacture-Stream Out	film param
Manufacture-NC-Drill Parameters	stream out
Manufacture-NC-Drill Legend	ncdrill param
Manufacture-NC-Drill Tape	ncdrill legend
Manufacture-NC-Route	nctape_full
Manufacture-Cut Marks	ncroute
Manufacture-DFA Check	cut marks
Manufacture>Create Coupons	dfa
Manufacture-Silkscreen	create coupons
Manufacture-Variants>Create Assembly Drawing	silkscreen param
Manufacture-Variants>Create Bill of Materials	variant assembly
	variant bom

Tools 菜单

Tools>Create Module	create module
Tools>Padstack>Modify Design Padstack	paddeditdb
Tools>Padstack>Modify Library Padstack	paddeditlib
Tools>Padstack>Replace	replace padstack
Tools>Padstack>Group Edit	multpaddedit

Tools-Padstack-Refresh	refresh padstack
Tools-Pad-Boundary	editpad boundary
Tools-Pad-Restore	editpad restore
Tools-Pad-Restore ALL	editpad restore all
Tools-Silkscreen	silkscreen param
Tools-Derive Connectivity	derive connectivity
Tools-Reports	reports
Tools-Technology File Compare	techfile compare
Tools-Setup Advisor	setup advisor
Tools-Database Check	dbcheck
Tools-Update DRC	drc update

Help 菜单

Help-Allegro Help	help
Help-Product Notes	No corresponding command
Help-Known Problems and Solutions	No corresponding command
Help-Web Resources-Sourcelink	No corresponding command
Help-Web Resources-Education	No corresponding command
Help-Web Resources-pcb.cadence.com	No corresponding command
Help-Manuals	cdsdoc
Help-Design Flow	No corresponding command
Help-About Allegro	No corresponding command

目录

前 言	3
第一章 高速设计与 PCB 仿真流程	4
1. 1 高速信号与高速设计	4
1.1.1 高速信号的确定.....	5
1.1.2 边缘速率引发高速问题.....	5
1.1.3 传输线效应.....	6
1. 2 高速 PCB 仿真的重要意义	9
1.2.1 板级 SI 仿真的重要意义.....	9
1.2.2 系统级 SI 仿真的重要意义.....	10
1. 3 高速 PCB 仿真设计基本流程	12
1.3.1 PCB 仿真设计的一般流程:	12
1.3.2 基于 CADENCE Allegro 工具的板极仿真设计的流程.....	13
第二章 仿真设置	16
2. 1 打开 BRD 文件	16
2. 2 调用并运行设置向导	17
2.2.1 编辑叠层参数和线宽以适应信号线阻抗.....	19
2.2.2 输入 DC 网络电平.....	22
2.2.3 分立器件和插座器件的标号归类设置.....	23
2.2.4 器件赋上相应的模型.....	24
2.2.5 使用 SI Audit 进行核查.....	32
2. 3 设置 IO 管脚的测试条件和逻辑门限值	32
2. 4 差分驱动器的设置	34
2. 5 仿真分析参数设置	36
第三章 提取和建立拓扑进行仿真	45
3. 1 自动提取拓扑	45
3.1.1 通过 Signal Analysis 提取拓朴	46
3.1.2 在 PCB SI 的 Constraint Manager 中抽取拓扑.....	47

3. 2 改变 SIGXPLORER 中的电路参数.....	49
3. 3 SIGXPLORER 中的仿真参数设置:	51
3. 4 SIGXPLORER 中的仿真过程:	54
3. 5 SIGWAVE 的使用简介	59
3. 6 手工建立和调整拓扑	61
3.6.1 手工建立和调整拓扑的作用.....	61
3.6.2 手工建立和调整拓扑的过程.....	61
3. 7 仿真不同的参数值	65
第四章 时序仿真.....	68
4. 1 时序(TIMING)的一些参数	68
4. 2 传统的时钟同步系统仿真的过程.....	72
4.2.1 共同时钟同步系统的时序计算.....	72
4.2.2 共同时钟同步系统的仿真过程.....	73
4. 3 源同步接口仿真过程	79
4.3.1 源同步时序公式.....	79
4.3.2 源同步时序仿真过程.....	81
4. 4 时钟信号的说明	83
第五章 设置约束及赋予 PCB	85
5. 1 启动约束条件设置界面.....	85
5. 2 加约束的步骤	86
5. 3 各个约束标签栏的作用.....	86
5. 4 将约束加到 PCB 文件上	91
第六章 后仿真过程及参数设置	93
6. 1 后仿真前的几个准备步骤.....	93
6. 2 针对目的的后仿真	93

6.3 针对目的二的后仿真	94
6.3.1 进行仿真设置.....	95
6.3.2 进行反射仿真验证.....	97
第七章 点到多点的仿真和多板间仿真	100
7.1 点到多点的拓扑仿真	100
7.2 多板间的仿真.....	102
7.2.1 多板的拓朴拆分.....	104
7.2.2 创建一个连接两板的 <i>Design Link</i>	106
7.2.3 仿真通过 <i>Design Link</i> 连接的网络.....	111

前 言

Cadence 软件是我们公司统一使用的原理图设计、PCB 设计、高速仿真的 EDA 工具。进行仿真工作需要有很多方面的知识，须对高速设计的理论有较全面的认识，并对具体的单板原理有一定的了解，还需具备仿真库的相关知识等。

在这个分册中仅对仿真软件的使用进行较详细的阐述，还介绍高速设计的一些相关理论，仿真过程是基于 Allegro SPB 15.2 的 PCB SI 模块进行的。

其他知识，如仿真库的知识、约束管理器等请参阅专门的使用手册。

在此非常感谢网络南研 EDA 和本部 EDA 对此手册的支持。

第一章 高速设计与 PCB 仿真流程

本章介绍高速 PCB 仿真设计的基础知识和重要意义，并介绍基于 Cadence 的 Allegro SPB15.2 的 PCB 仿真流程。

1.1 高速信号与高速设计

随着通信系统中逻辑及系统时钟频率的迅速提高和信号边沿不断变陡，PCB 的走线和板层特性对系统电气性能的影响也越发显著。对于低频设计，走线和板层的影响要求不高甚至可以完全忽略不计。当频率超过 50MHz 时，PCB 走线则必须以传输线考虑，而在评定系统性能时也必须考虑 PCB 板材的电参数影响。当系统时钟频率达到 120MHz 及更高时，就只能使用高速电路设计方法，否则基于传统方法设计的 PCB 将无法工作。因此，高速电路设计技术已经成为电子系统设计师必须采取的设计手段，只有通过使用高速电路设计师的设计技术，才能实现设计过程的可控性。高速系统的设计必须面对互连延迟引起的时序问题以及串扰、传输线效应等信号完整性问题。

通常认为如果数字逻辑电路的频率达到或者超过 45MHz~50MHz，而且工作在这个频率之上的电路占整个电子系统的一定份量（比如说 1 / 3），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于 1/2 数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应，见图 1-1 所示。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的延迟时间，如果传输延迟时间小于 1/2 的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端，如果反射信号很强，叠加的波形就有可能会改变逻辑状态。

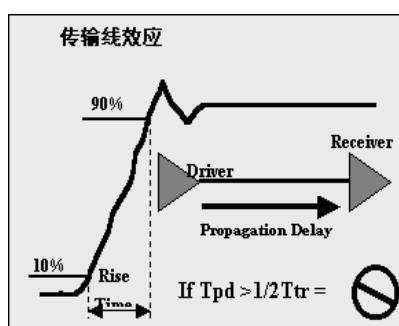


图 1-1 传输线效应

1.1.1 高速信号的确定

上面我们定义了传输线效应发生的前提条件，但是如何得知线延时是否大于 $1/2$ 驱动端的信号上升时间呢？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播时间在 PCB 设计中由实际布线长度决定。图 1-2 为信号上升时间和允许的布线长度(延时)的对应关系。

PCB 板上每单位英寸的延时为 0.167ns 。但是，如果过孔多，器件管脚多，网线上设置的约束多，延时将增大。通常高速逻辑器件的信号上升时间为 0.2ns 。如果板上有 GaAs 芯片，则最大布线长度为 7.62mm 。

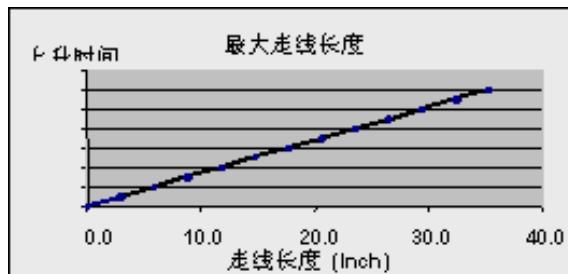


图 1-2 信号上升时间与允许布线长度的对应关系

设 Tr 为信号上升时间， Tpd 为信号线传播延时(见图 1-3)。如果 $\text{Tr} \geq 4\text{Tpd}$ ，信号落在安全区域。如果 $2\text{Tpd} \leq \text{Tr} \leq 4\text{Tpd}$ ，信号落在不确定区域。如果 $\text{Tr} \leq 2\text{Tpd}$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速布线方法。

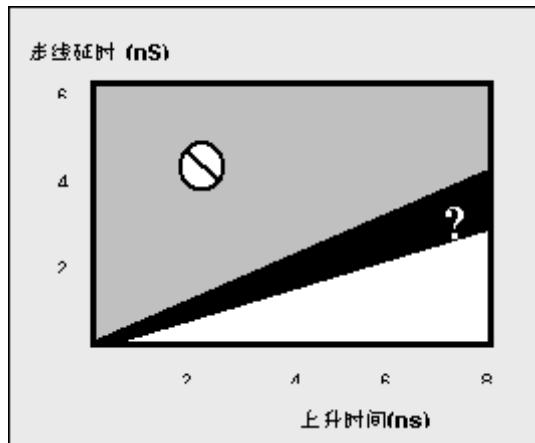


图 1-3 信号传播线延时与上升时间的关系

1.1.2 边缘速率引发高速问题

EDA 设计工程师发现 SI 问题的起因不仅仅是高速设计。真正的原因不是系统时钟速率的提高，而是驱动器上升和下降时间的缩短。随着芯片制造工艺技术的进步及 IC 制造商转向采用 0.25 微米或更小工艺，他们所生产的标

准元件的裸片尺寸越来越小；边缘速率越来越快，最终会导致 PCB 设计中高速问题的产生，而传统的高速分析是不考虑这类问题的。

此外，当 IC 制造商转向可在更小面积上封装更多功能的高密度器件时，需要开发新型的封装技术。现在，BGA、CSP 和 MCM 等封装技术都可根据设计要求，在小型封装内提供更多的引脚和更少的封装寄生参数。尽管这些新型器件体积极小，但它们也有其自身的问题。例如，互连线较长。

即便不考虑系统时钟速率，高的上升时间和更长的走线长度也让电路板设计工程师面临着严峻的挑战。只要传输线长度引起的延迟超过驱动器上升/下降时间有效长度的六分之一，就会引起传输线问题。例如，若上升时间为 1 ns，走线边缘速率为每英寸 2ns，只要走线长度超过 1 英寸，就会发生传输线问题。众所周知，走线长度小于 1 英寸的电路板极为少见。因此，采用上升时间为 1ns 的设计肯定会出现高速设计问题。随着新型 IC 工艺的出现，情况会变得越来越糟。因为上升时间将很快发展到 1ns 以下。实际上，大约每隔三年晶体管门长度就会缩短，而其相应的开关速率会增长约 30%。

SI 问题的表现方式很多。当边缘速率上升时，时序问题首先暴露出来。传输线效应造成的阻尼振荡(Ringing)、正尖峰(overshoot)和负尖峰(undershoot)有可能超过规定的噪音容限。在低速系统中，互连延迟和阻尼振荡可以忽略不计，因为在这种系统中信号有足够的时间达到稳定。但是当边缘速率加快，系统时钟速率上升时，信号在器件之间的传输时间以及同步准备时间都缩短了。

当边缘速率低于 1ns 时，串扰问题也出现了。通常串扰问题出现在高边缘速率、高密度的电路板上，其成因是走线之间的耦合。亚纳秒级边缘速率会引起高频谐振，很容易耦合到邻近的互连线中，从而造成串扰，拥有大量高速互连的电路板特别容易产生此类问题。

当高速器件的边缘速率低于 0.5ns 时，电源系统稳定性和 EMI 等问题也随之产生。来自大容量数据总线的数据交换速率特别快，当它在电源层中产生足以影响信号的强波纹时，就会产生电源稳定性问题。高速信号也可能产生辐射，EMI 因而也成为要关注的另一个设计问题。

1.1.3 传输线效应

PCB 板上的走线可等效为下图所示的串联和并联的电容、电阻和电感结构。串联电阻的典型值 0.25-0.55 ohms/foot，因为绝缘层的缘故，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中之后，连线上的最终阻抗称为特征阻抗 Z_0 。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产

生反射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应被称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。

注：关于传输线的等效电路请参照电气篇中的“相关计算”。

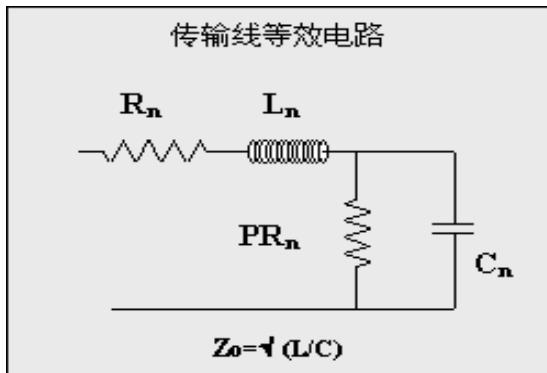


图 1-4 传输线的等效电路

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- 反射信号 Reflected signals
- 延时和时序错误 Delay & Timing errors
- 多次跨越逻辑电平门限错误 False Switching
- 过冲与下冲 Overshoot/Undershoot
- 串扰 Induced Noise (or crosstalk)
- 电磁辐射 EMI radiation

反射信号 Reflected signals

如果一根走线没有被正确终结(终端匹配)，那么来自于驱动端的信号脉冲在接收端被反射，从而引发不预期效应，使信号轮廓失真。当失真变形非常显著时可导致多种错误，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果上述情况没有被足够考虑，EMI 将显著增加，这就不单单影响自身设计结果，还会造成整个系统的失败。

反射信号产生的主要原因：过长的走线；未被匹配终结的传输线，过量电容或电感以及阻抗失配。

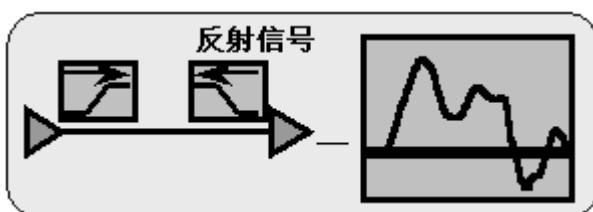


图 1-5 反射信号

延时和时序错误 Delay & Timing errors

信号延时和时序错误表现为：信号在逻辑电平的高低门限之间变化时保持一段时间信号不跳变，过多的信号延时可能导致时序错误和器件功能的混乱。

通常在有多个接收端时会出现问题，电路设计师必须确定最坏情况下的时间延时以确保设计的正确性。

信号延时产生的原因：驱动过载，走线过长。

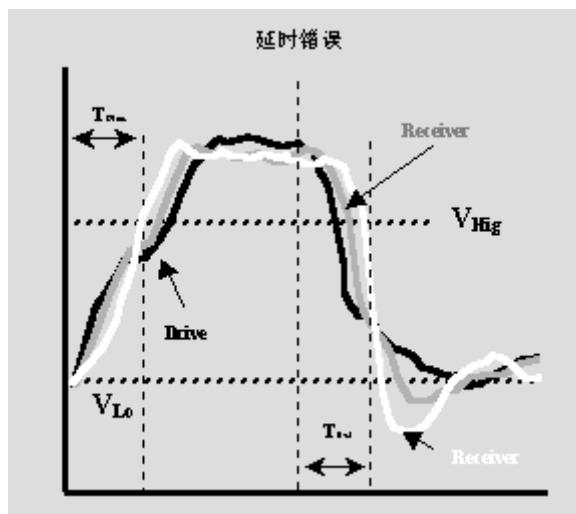


图 1-6 信号延时错误

多次跨越逻辑电平门限错误 False Switching

信号在跳变的过程中可能多次跨越逻辑电平门限从而导致这一类型的错误。多次跨越逻辑电平门限错误是信号振荡的一种特殊的形式，即信号的振荡发生在逻辑电平门限附近，多次跨越逻辑电平门限会导致逻辑功能紊乱。

反射信号产生的原因：过长的走线，未被终结的传输线，过量电容或电感以及阻抗失配。

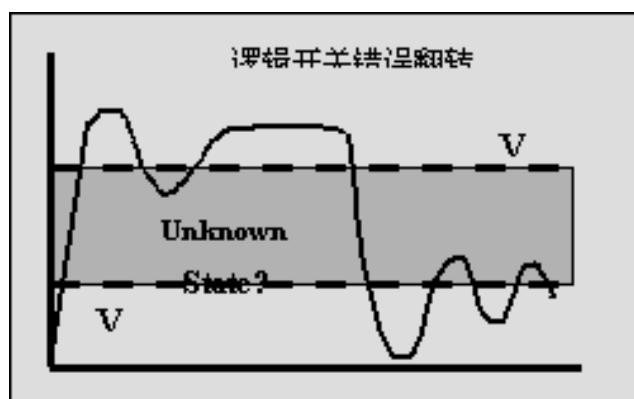


图 1-7 逻辑开关错误翻转

过冲 Overshoot/Undershoot

过冲来源于走线过长或者信号变化太快两方面的原因。虽然大多数元件接收端有输入保护二极管保护，但有时这些过冲电平会远远超过元件电源电压范围，损坏元器件。

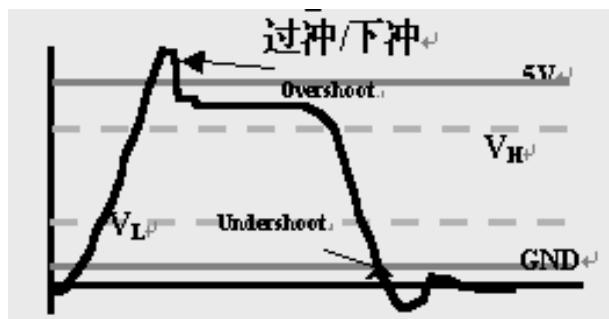


图 1-8 信号的上冲与下冲

串扰 Induced Noise (or crosstalk)

串扰表现为在一根信号线上有信号通过时，在 PCB 板上与之相邻的信号线上就会感应出相关的信号，我们称之为串扰。

信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此消除串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

电磁辐射 EMI radiation

EMI(Electro-Magnetic Interference)即电磁干扰，产生的问题包含本身产生过量的电磁辐射及受周围电磁辐射干扰两方面。EMI 表现为当数字系统加电运行时，会对周围环境辐射电磁波，从而干扰周围环境中电子设备的正常工作；或者是对周围电磁干扰过于敏感。

1.2 高速 PCB 仿真的重要意义

1.2.1 板级 SI 仿真的重要意义

过去，PCB 性能要采用一系列仪器测试电路板原型(通常接近成品)来评定。电路的复杂性增加之后，多层板和高密度电路板出现了，人们开始用自动布线工具来处理日益复杂的元器件之间的互联。此后，电路的工作速度不断提高，功能不断翻新，元器件之间连线的物理尺寸和电路板的电特性日益受到关注。

从根本上讲，市场是电路板级仿真的强劲动力。在激烈竞争的电子行业，快速地将产品投入市场至关重要，传统的 PCB 设计方法要先设计原理图，然后放置元器件和走线，最后采用一系列原型机反复验证/测试。修改设计意味着时间上的延迟，这种延迟在产品快速面市的压力下是不能接受的。

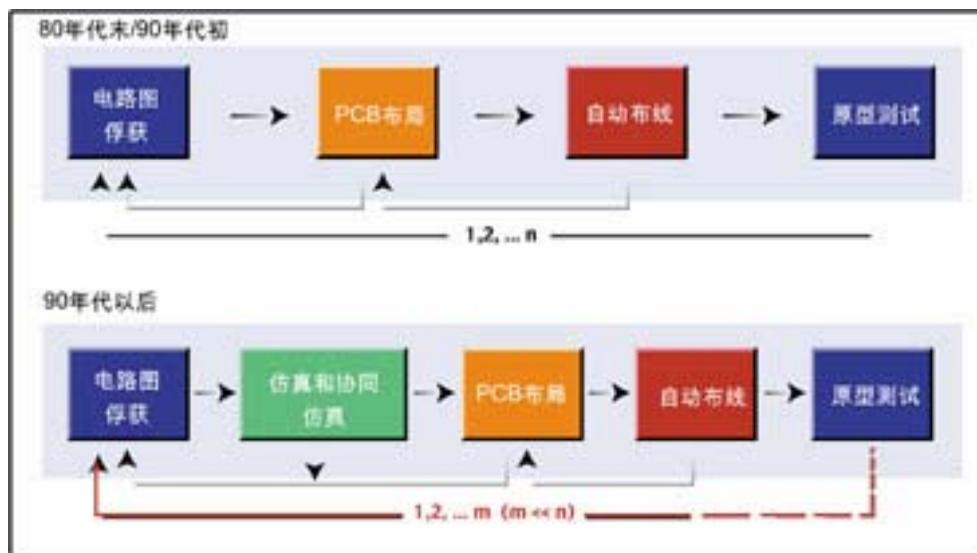


图 1-9 PCB 设计流程比较

“第一时间推出产品”的设计目标不只是一句广告词，事实上，这是生死攸关的竞争需要。在产品设计初期识别、预防和改正设计错误，可以防止电路板出错，这种操作模式比以往任何时候都至关重要，PCB 仿真就是最好的方法之一。板级仿真工具的作用就是在电路板制造前后帮助设计人员更快地开展调试工作。

Cadence 公司的 PCB SI 和 SigXplor 设计工具为我们高速 PCB 的仿真提供了强有力的手段，在系统方案设计与决策的时候，通过仿真往往能解决很多悬而未决的棘手问题，增加了对系统设计方案的可预见性，配合后端的 PCB 设计与后仿真，能使我们从根本上解决高速信号的分析与处理问题。

1.2.2 系统级 SI 仿真的重要意义

新一代的 EDA 信号完整性工具主要包括布线前/布线后 SI 分析工具和系统级 SI 工具等。使用布线前 SI 分析工具可以根据设计对信号完整性与时序的要求在布线前帮助设计者选择元器件、调整元器件布局、规划系统时钟网络和确定关键线网的端接策略。SI 分析与仿真工具不仅可以对一块 PCB 板的信号流进行分析，而且可以对同一系统内其它组成部分如背板、连接器、电缆及其接口进行分析，这就是系统级的 SI 分析工具。针对系统级评价的 SI 分析工具可以对多板、连接器、电缆等系统组成元件进行分析，并可通过设计建议来帮助设计者消除潜在的 SI 问题，它们一般都包括 IBIS 模型接口、2 维传输线与串扰仿真、电路仿真、SI 分析结果的图形显示等功能。这类工具可以在设计包含的多种领域如电气、EMC、热性能及机械性能等方面综合考虑这些因素对 SI 的影响及这些因素之间的相互影响，从而进行真正的系统级分析与验证。

对已经设计完成的系统的 PCB 进行后仿真发现信号完整性问题常常是非常被动的事，即使后仿真找到了问题所在，解决这些 SI 问题往往要从头再来，这样一来，既增加了设计成本，也发挥不了 EDA 设计工具对设计的指导作用，通过前仿真来决定系统的设计方案，可以有效的解决困扰我们的高速设计中的 SI 问题，将后续 PCB 设计的风险降到最低，这就是 PCB SI 和 SigXplor 工具需要完成的任务。Cadence 公司的 PCB SI 和 SigXplor 设计工具可以仿真实际物理设计中的各种参数，对系统中的信号完整性和时序(timing)、串扰(Crosstalk)、EMI 问题进行定量的分析。

运用 PCB SI 和 SigXplor 设计工具进行系统级前仿真可以验证设计方案的可实现性，根据设计对 SI 与时序的要求来选择关键元器件、优化系统时钟网络及系统各部分的延迟、选择合理的拓扑结构，调整 PCB 的元器件布局、确定重要网络的端接方案。PCB SI 和 SigXplor 设计工具不仅可以对一块 PCB 板的信号流进行分析，而且可以通过设置 Design Link 对同一系统内其它组成部分如背板、接线器、Interconnect 线缆及其各个功能模块或插板进行综合分析，完成系统级的 SI 分析。针对系统级的 SI 分析工具可以对多板、接线器等系统组成部分进行分析，得出一系列的约束条件(Constraint)给系统的各个组成部分。在验证系统设计方案的同时得出解决 SI 问题的最大设计空间(Solution space)，同样是我们 EDA 工程师的首要任务。

在系统级 SI 仿真和设计验证中，点到多点的拓扑分析一直是困扰 SI 工程师的难点之一，随着总线频率的提高和器件的驱动能力、上升和下降延的特性差异，这些问题的解决起来越发困难，在系统背板设计过程中，还要考虑的系统对不同功能单元的兼容性，互换性、系统的满载和空载(如空载时残余导线对 SI 的影响)时，不同拓扑结构对 SI 的影响，要考虑到各个功能单元的最大时序余量，给它们更大的时序空间，增加模块的可实现性。目前，高速串行总线的应用在某种程度上缓解了高速系统设计中现的 SI 问题，LVPECL, LVDS 已经在很多高速系统中广泛采用，采用点到点的简单拓扑结构也可以避免不少高速设计问题。

系统级仿真的设计过程往往是一个不断反复的过程，通过仿真提高系统的兼容性，给各个功能模块或子单元最大的时序空间是我们追求的目标，同时，还要考虑到器件工作在最恶劣情况下(Worst case)系统的时序(timing)，过冲(Overshoot, Undershoot), EMI 等方面的问题，这对于提高系统的稳定性和可靠性起到非常重要的作用。

1.3 高速 PCB 仿真设计基本流程

1.3.1 PCB 仿真设计的一般流程：

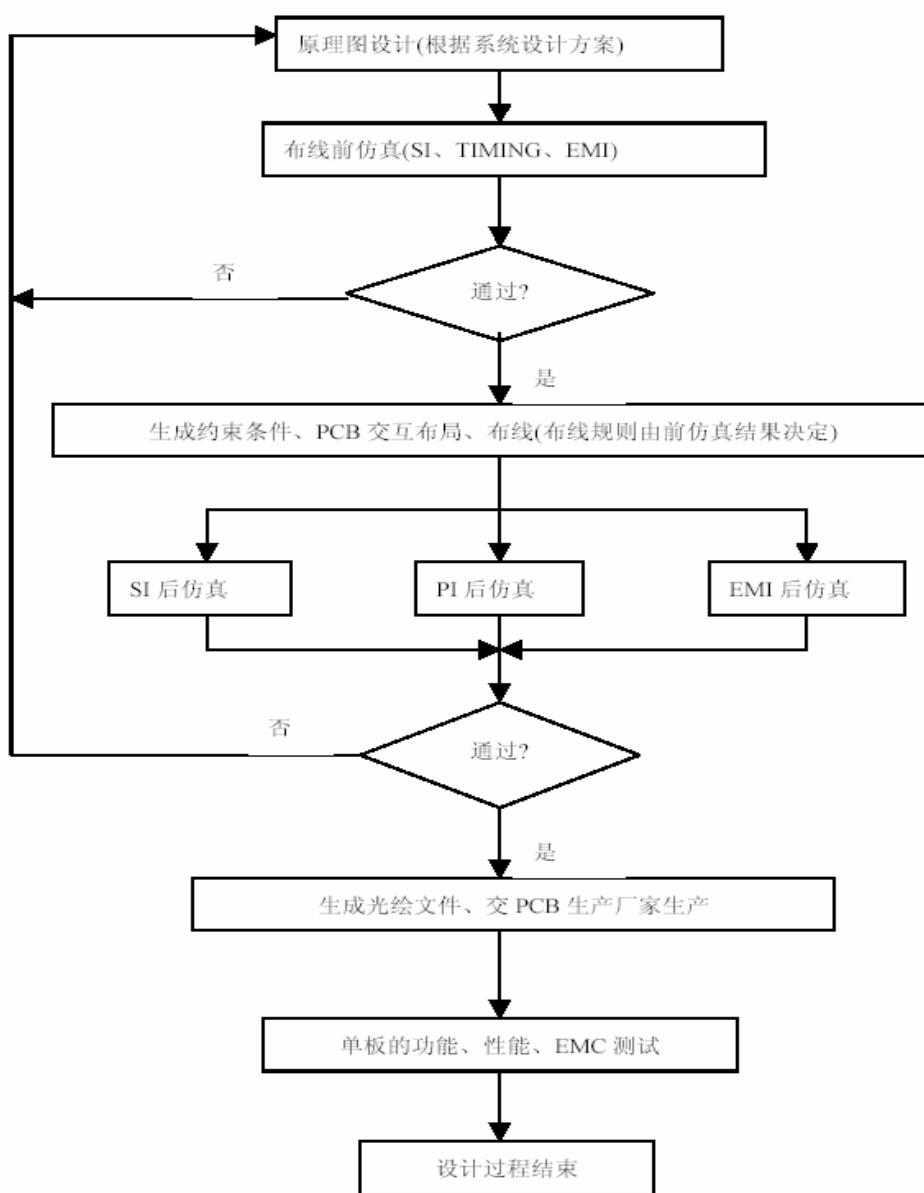


图 1-10 PCB 仿真设计的一般流程

原理图设计阶段：

编制元件表、建立连线网表、建立元器件封装库、确定电路逻辑符号与物理器件的映射（指定元器件封装）

PCB 前仿真

高速 PCB 的前仿真包括以下几个方面：

信号完整性(SI)仿真

时序(TIMING)仿真

电磁兼容性(EMI)仿真

PCB 布局布线:

模板设计、确定 PCB 尺寸、形状、层数及层结构、元件放置、输入网表、设计 PCB 布线规则、PCB 交互布局、PCB 走线、PCB 光绘文件生成、钻孔数据文件。

PCB 后仿真

高速 PCB 的后仿真包括以下几个方面:

信号完整性(SI)后仿真

电源完整性(PI)后仿真

电磁兼容性(EMI)后仿真

功能、性能、EMI 测试:

单板调试、性能测试、设计验证、温度试验、EMI 测试等。

1.3.2 基于 CADENCE Allegro 工具的板级仿真设计的流程

Cadence 板级系统设计的基本思路可用图 2.2 所示的完整流程给予描述，各部分内容如下：

1. 项目管理器 (Project Manager)

管理项目设计所使用的工具及工具所产生的数据。

2. 原理图输入 (Design Entry)

完成设计输入，由 Concept-HDL 工具实现，在这一环境中，可以灵活使用各种工具，快速高效的将原理图送入计算机，生成后续工具能够处理的设计数据。

3. 设计转换 (Transfer to PCB Design)

在原理图设计完成之后，要生成描述其连接关系的文件及元件的封装说明，以便能够进入布局布线设计，或者在布局、布线完成之后，要将其最终的 PCB 信息反馈到原理图上，以保证原理图与 PCB 设计的一致性。这种由前到后或由后到前的设计数据的转换与传递都是由 Design Sync 工具完成的，它是连接前端原理图设计与后端 PCB 设计的不可缺少的桥梁，完成原理图到 PCB 或 PCB 到原理图的数据传输。

4. 板级设计（Board design）

实现元器件的自动与交互布局、信号自动与交互布线、生成后续制造与装配所需的各种数据文件，由 Allegro 工具实现。

5. 高速 PCB 规划设计（Floor Planner）

PCB SI 工具实现，在该环境中能够完成高速 PCB 设计的性能分析，并将发现的问题传递到前端的 Concept-HDL 或后端的 PCB Design，以便能够得到纠正。在该环境中可以对 PCB 版图进行电磁兼容性（EMC）和信号完整性分析，并将分析结果传递到 Concept-HDL 和 Allegro，从而不断修改和完善 PCB 版图，这一工具在信号频率较高的 PCB 版图设计中尤为有用。

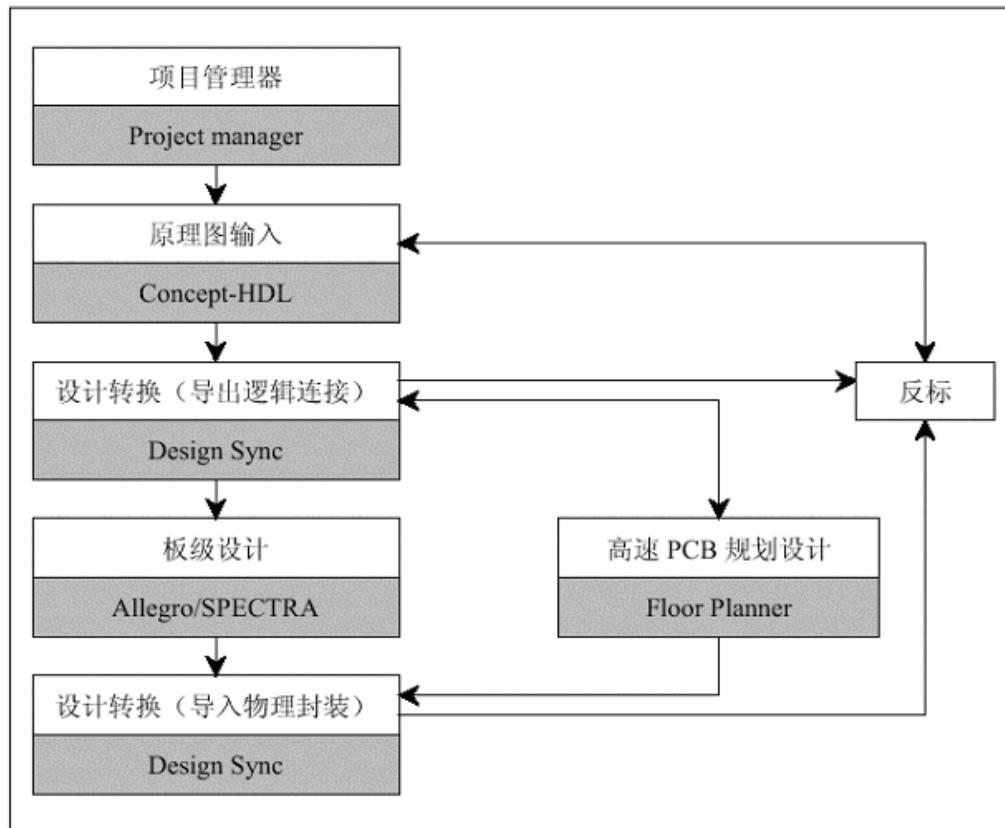
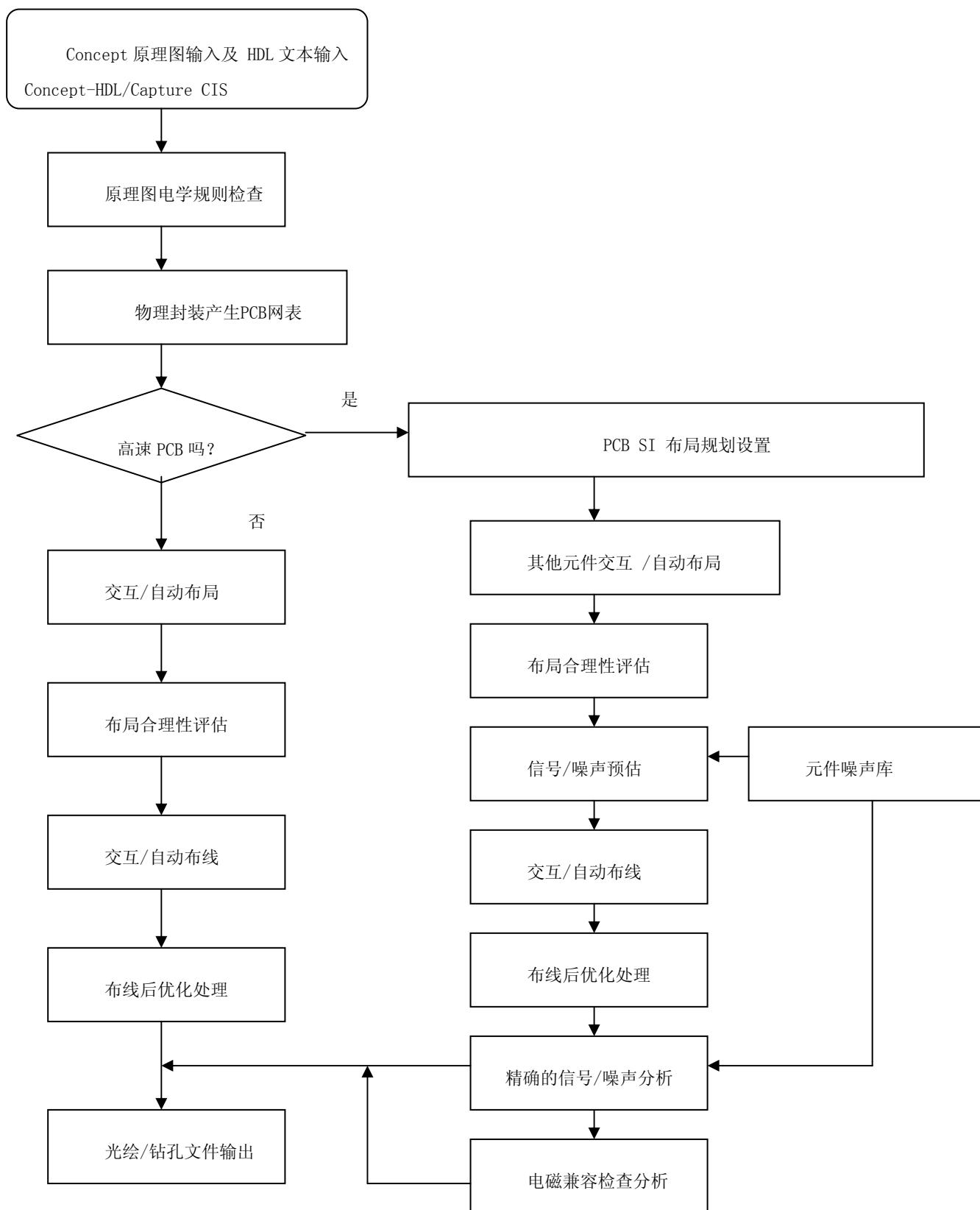


图 1-11 Allgero 板级设计流程

基于 Cadence Allegro 设计工具的 PCB 设计流程图



第二章 仿真设置

从这一篇开始，我们进入到仿真过程。在仿真之前，必须对需仿真的 PCB 一些参数进行设置。

2.1 打开 BRD 文件

打开 PCB SI，启动 Cadence Product Choices 界面，如图 2-1，一般我们选择 Allegro PCB SI 630(SPECCTRAQuest)：

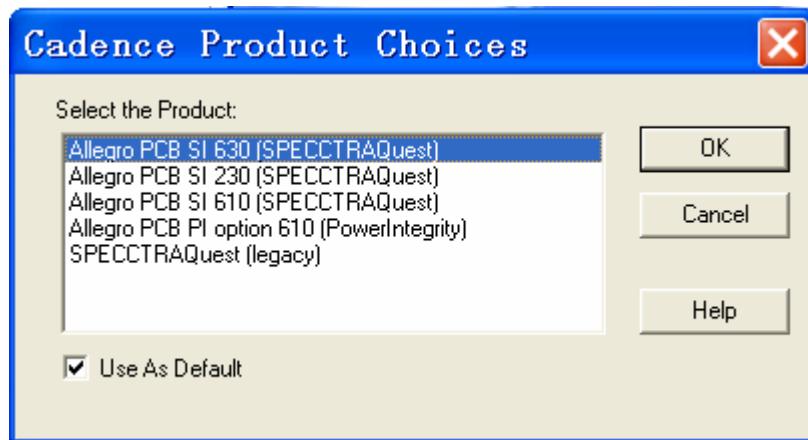


图2-1 仿真选择窗口

在打开的Allegro PCB SI 630(SPECCTRAQuest)窗口中选择菜单File=》Open命令，通过浏览器打开所要仿真的BRD文件，出现如下界面：

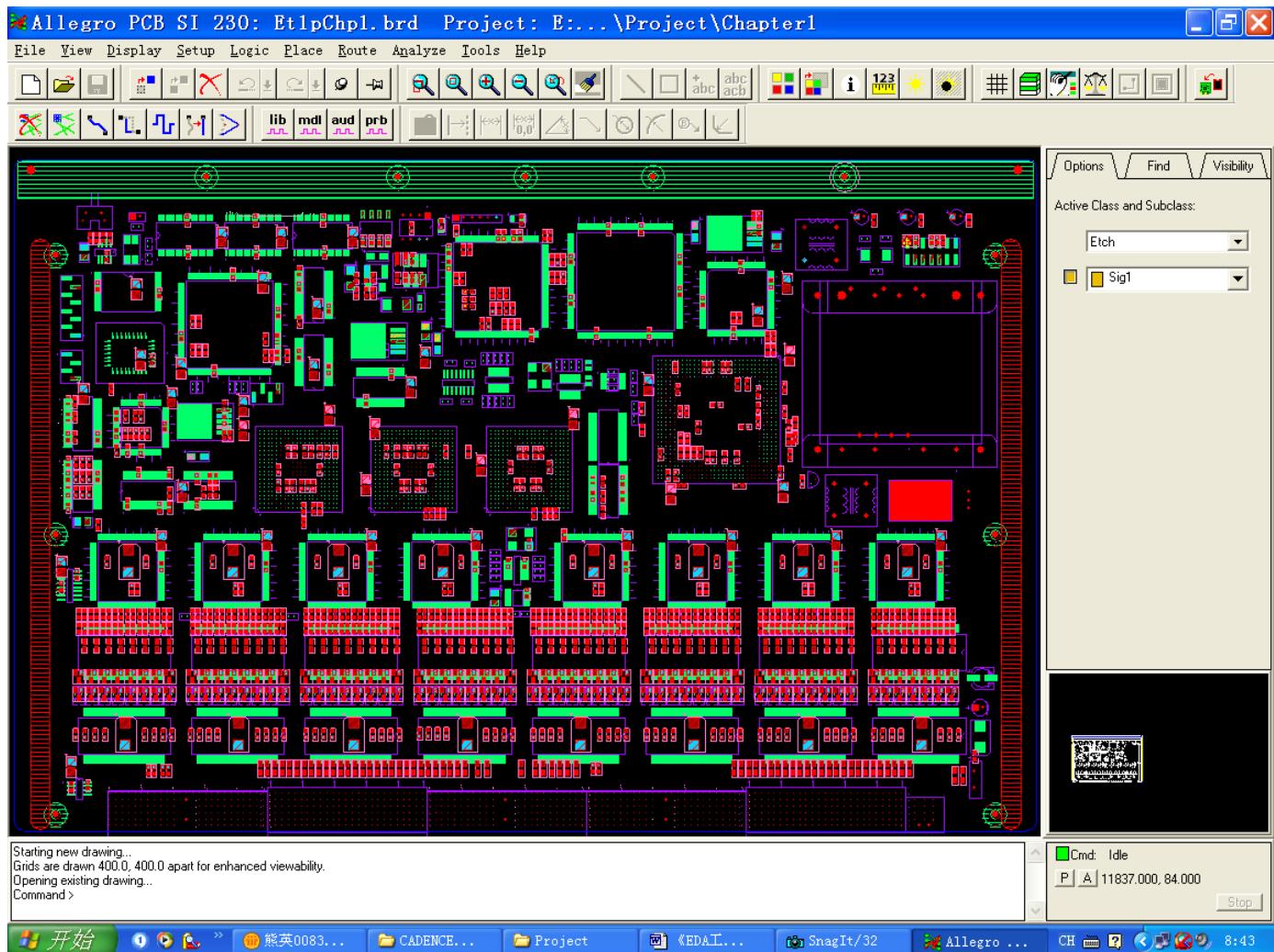


图2-2 Allegro PCB SI 界面

2.2 调用并运行设置向导

PCB SI 在进行拓扑抽取和仿真时，对要求仿真的 PCB 板必须正确包含以下信息：

- 网表（Netlist）

正确描述了板中的器件和连接关系。

- PCB 叠层信息（PCB stackup data）

为了抽取较精确的传输线模型必须提供的参数。

- DC 电压设置

为了确定在拓扑结构中终端电压值。

■ 器件类属性 (Device CLASS)

要求仿真的器件的 IC, IO or DISCRETE 属性正确, 如集成电路为 IC 属性, 接插件为 IO 属性, 电阻为 DISCRETE 属性等。

■ 仿真模型分配

对于要求仿真网络所涉及到的器件的仿真模型要正确分配。

■ 正确的 PINUSE 属性

器件的 PINUSE 属性包括 BI, GROUND, IN, NC, OCA, OCL, OUT, POWER, TRI, UNSPEC, 必须对该属性正确设置。

根据上述要求, PCB 参数的设置主要包括: PCB 板叠层参数设置、DC 网络的属性设置、器件属性设置(CLASS 和 PINUSE 属性)、信号模型分配等。其中 PCB 板叠层参数设置在前仿真中, 由于没有布线信息, 可以在前仿真时不设置, 但在后仿真时, 由于此时要对实际布线结果进行仿真, 因此必须对板叠层参数进行设置。

PCB 参数的设置可以手工单步设置也可以采用 Database Setup Advisor 自动引导设置, 手工单步设置与自动引导设置每一步执行后的功能界面是一样的。下面我们讲述自动引导设置的步骤, 手工设置就不再重复。在进行参数设置之前应对所仿真的 PCB 有较详细的了解。

通过菜单**Tools=》Setup Advisor**命令打开**Database Setup Advisor** 窗口, 打开的窗口如下图所示:



图2-3 Database Setup Advisor 窗口

2.2.1 编辑叠层参数和线宽以适应信号线阻抗

在上图中2-3点击“**Next >**”按钮会弹出**Database Setup Advisor—Cross—Section**窗口，在这个窗

口中会出现一个“**Edit Cross-section**”按钮，点击这个按钮将会弹出**Layout Cross Section**窗口，在这个窗口里就可以按照上边PCB加工厂家提供的叠层参数将该PCB板的叠层所需的参数设置好，其窗口和设置好的参数入下图：



图2—4 Layout Cross Section 特征阻抗设置窗口

参数设置好了之后，点击该窗口左下角的“OK”按钮关闭 Layout Cross Section 窗口，这样叠层就设置完了。

上图的 Impedance 列表不必输入，它是根据前面输入的介质厚度、线宽和铜厚自动计算出来的，我们每改动一个参数的时候，按一下键盘的 Tab 键，Impedance 值就会动态的改变，这样也可以验证 PCB 加工厂家提供的叠层参数是否正确。通常计算出的阻抗值与期望值只要差别不是太大，我们都认为其是正确的，因为每个 PCB 加工厂家的工艺水平不同，实际生产出的 PCB 的阻抗值与 Cadence 理论计算出来的阻抗值肯定是有一定的偏差的。

Layout Cross Section 窗口左下角还有关于板厚的动态显示，板厚为 2mm \pm 10%，最大不能超过 2.2mm，如果板厚超厚了或者没有达到 2mm，还需要调整一下介质或者铜厚，使最终板厚满足 2mm 的要求。

如果需要对差分信号进行仿真，则将 **Layout Cross Section** 窗口右下角的 **Differential Mode** 复选框“”上，这样参照下图的设置将差分信号的线宽和线距设置正确，将 **Coupling Type** 的选项选成 **EDGE** 模式（信号线的边缘 vs. 信号线边缘）。参数设置结果如下图所示：

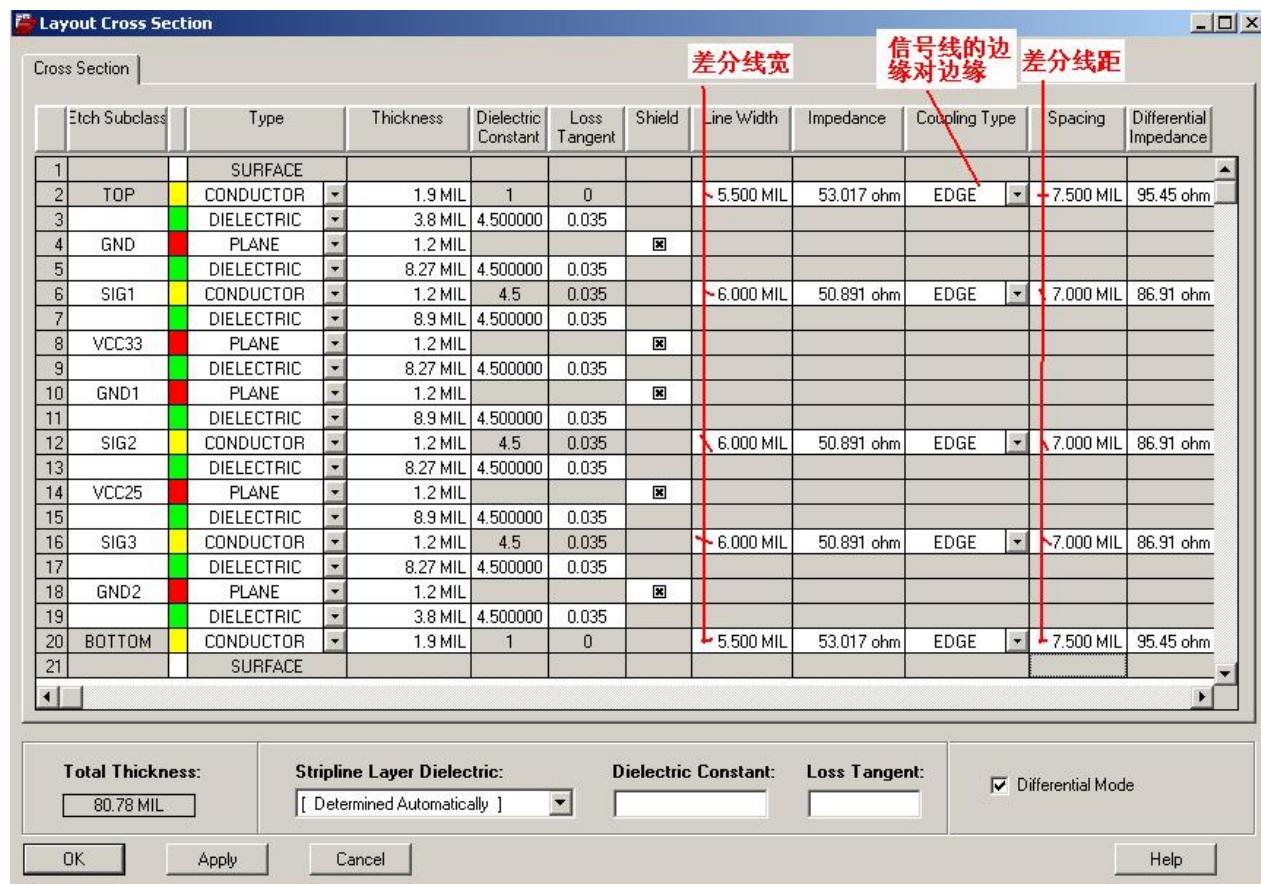


图2-5 Layout Cross Section 差分模式设置窗口

在上图中，如果我们改变线宽，在键盘上按 **Tab** 键或者将光标移开时，将会弹出如下的窗口：



图 2-6 选择计算的目标窗口

上图的意思是选择重新计算的目标，即是，如果选择 **Differential Impedance** 那么就是线间距不变，重新计算一下阻抗值；反之，则是阻抗不变，调整线间距。我们通常是线间距不变重新计算阻抗值。

同样，在我们改动线间距的时候也要弹出一个类似图 2-7 的窗口来，照样是线宽不变而重新计算阻抗值。其弹出的窗口如下：



图 2-7 选择计算的目标窗口

2.2.2 输入 DC 网络电平

在上一步骤（叠层参数设置）进行完之后，接下来点击“**Next >**”按钮，下面就是对DC网络的电平值进行设置了。鼠标点击**Database Setup Advisor—DC Nets**窗口内的“**Identify DC Nets**”按钮，就会弹出**Identify DC Nets**窗口（在弹出该窗口之前，如果出现某某DC网络没有Power和GND 焊盘的时候，关闭提示窗口即可）。打开窗口界面如下：



图 2-8 Identify DC Nets 窗口

参照上图2-8，将DC网络的电平值进行设置，例如：

- 选择GND网络，右边电平值输入“0”
- 选择+3.3v网络，右边电平值输入“3.3”
- 选择VCC网络，右边电平值输入“5”

- 选择VCC18网络，右边电平值输入“1.8”
- 选择VCC25网络，右边电平值输入“2.5”

点击**OK**按钮，关闭**Identify DC Nets**窗口

上边有一些电源接的芯片可能由于找不到IBIS模型，这样就不能对该芯片接的网络进行仿真，也就没有必要指定该芯片电源的电平值了，大家在以后的仿真过程中具体问题具体对待，没有必要指定电平的时候，可以不必指定。如果你对芯片接的网络不是很清楚，那么就把所有DC网络的电平值都输入全。

通过上边的操作步骤可以看出，电源网络命名比较规范能方便寻找电源并输入电平值，而且不会遗漏。所以希望硬件工程师对于电源网络起名一定要有规律。

关于电源网络指定电平的操作有不清楚的地方参看操作实例：[设定电平值. avi](#)

2.2.3 分立器件和插座器件的标号归类设置

在**Database Setup Advisor**窗口中点击“**Next >**”按钮，将进入**Database Setup Advisor—Device Setup**窗口，点击该窗口的中下部“**Device Setup**”按钮，**Device Setup**窗口弹出，需要设置的内容主要是分立元件，即连接器、电阻、排阻、电容、电感、二极管和三极管等等。具体的填写情况和含义见下图2—9：

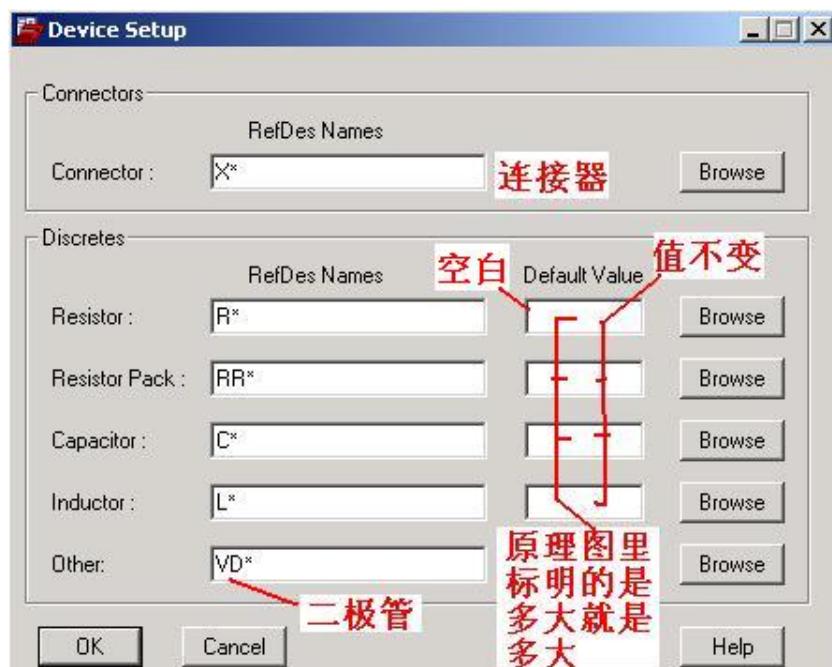


图2—9 Device Setup窗口

参照上图设置完之后，点击“**OK**”按钮关闭Device Setup窗口，这时会弹出**Device Setup**

Changes 报告窗口，这个窗口详细的列出了**PINUSE** 和**CLASS**属性变化。点击**Close**关闭**Device Setup Changes** 报告窗口，报告中把上边选中的R*、C*等分立元件都罗列了出来。

2.2.4 器件赋上相应的模型

在进行仿真前，要将器件赋上相应的模型，CADENCE 应用 DML 模型，这种模型可以从 IBIS 转换而来。

在Database Setup Advisor—Device Setup窗口中点击“**Next >**”按钮，将进入Database Setup Advisor—**SI Models**窗口，点击该窗口的中央的“**SI Model Assignment**”按钮，**Signal Model Assignment** 窗口弹出（如果弹出警告的窗口，选择**Yes**继续）。这个窗口的功能主要是对器件赋相应的模型，以及对分立元件生成Espice模型。窗口界面见下图：

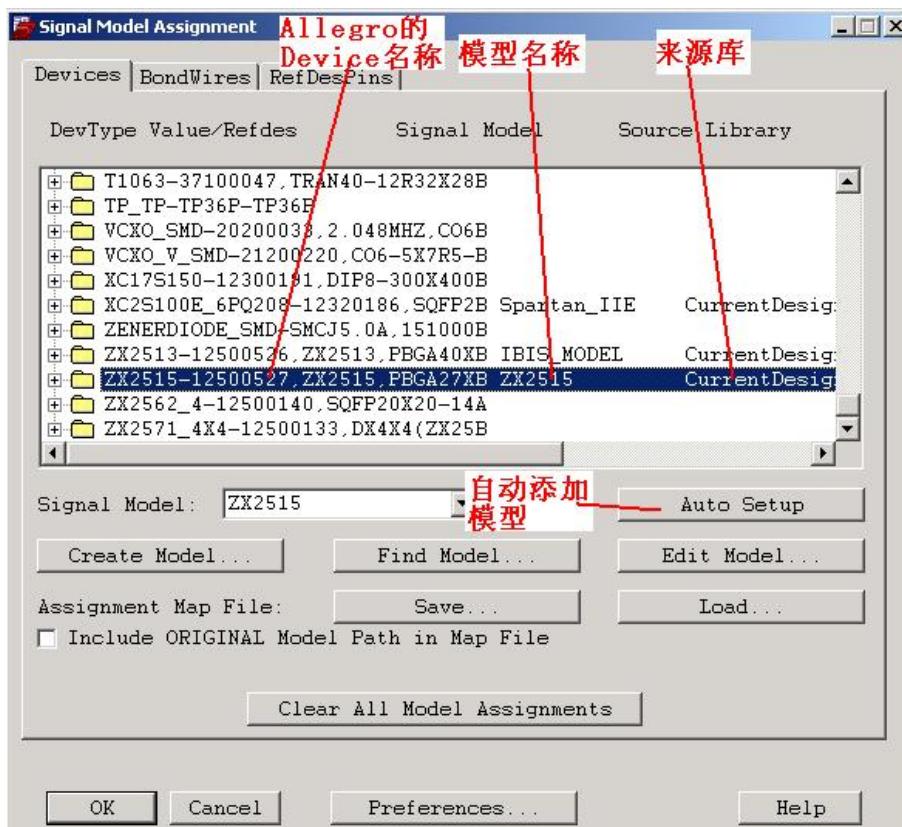


图2-10 Signal Model Assignment窗口

该界面有三个标签栏，提供了三种不同的列表方式进行模型分配，作用是一样的：

- **Create Model...** 可以用来产生 IBIS Device Model 和 Espice Device Model。一般阻容器件模型和接插件模型使用该功能产生。

- **Find Model...** 模型分配。例如给电阻 R706 分配模型：首先选中电阻 R706 (Device 名称 RESISTOR_SMD-31160025, 1206R, 51B)，然后执行 Find Model...命令，出现 Model Browser 界面。在 Model Type Filter 中选中 Espice Device，在 Model Name pattern 中输入通配符*，列出库中的所有 Espice Device 模型。选中 50 或者 resistor50 后模型将自动分配给器件 R706。
- **Edit Model...** 编辑模型参数
- **Auto Setup** 自动分配模型。当模型名与器件的 Refdes 名相同时，执行 Auto Setup 命令可以自动将模型分配给该器件。
- **Save...** 保存模型分配映射文件。
- **Load...** 调入模型分配映射文件。
- **Preference...** 仿真参数设置。

在赋器件模型之前要将模型所在的路径赋正确（一般器件的IBIS模型都集中放在一个目录下），模型

的路径管理菜单是：Analyze=》SI/EMI Sim=》Library或者点击工具栏图标“”都可以打开如下的 Signal Analysis Library Browser 窗口：

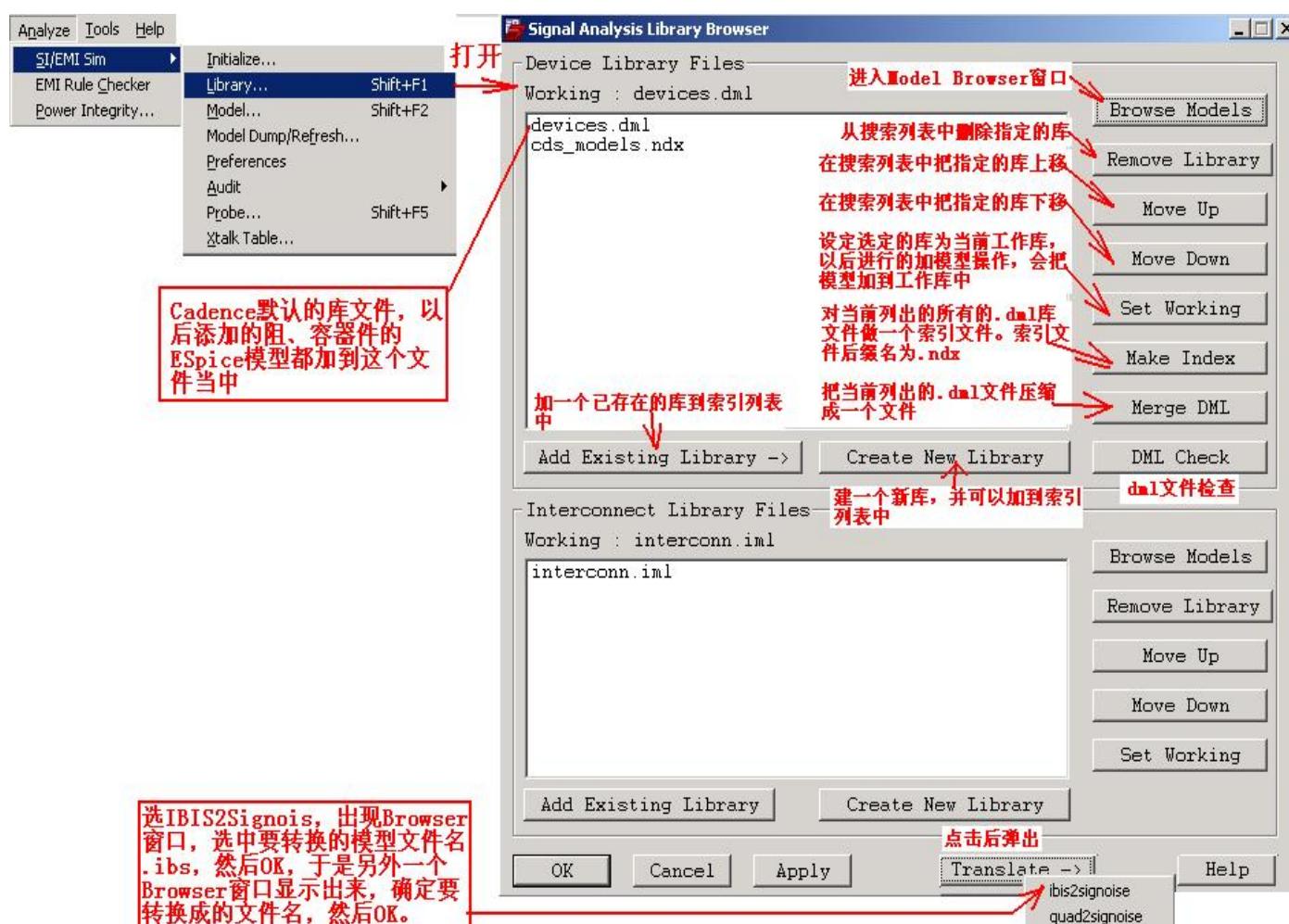


图2-11 Signal Model Library Browser 窗口

3.2.4.1 用公司仿真库给器件赋模型

我们公司有统一的仿真库，所以要求用统一的仿真库流程进行模型配置。公司的仿真库由专人进行维护和管理。在使用仿真库时直接调用总库的 NDX 进行浏览或查询，自动给器件赋上模型，然后在 PCB 仿真设计环境下直接调用 dml 文件（模型）进行仿真。关于仿真库的具体使用可参照《仿真库使用手册》。

公司的仿真库放在服务器 10.12.18.61\ztelib\SigNoiseLib 下，公司统一库根据模型的分布和管理分成十个 ndx 文件，如下图 2-12：

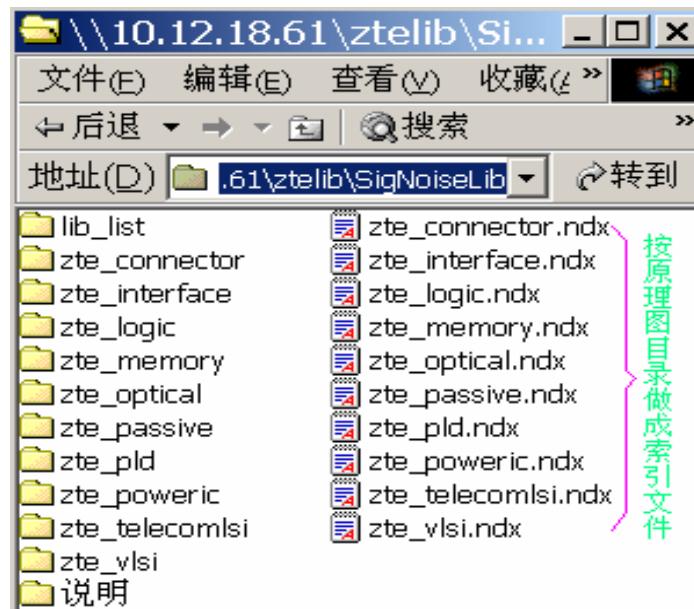


图 2-12 公司仿真库

在给 PCB 的元件赋模型前，先进行路径设置：

在 PCB 设计环境下，[Setup→User Preferences...→Design_paths→signoisepath:→选择 NDX 文件所在目录，如映射盘 Z:\SigNoiseLib](#)，如下图所示：

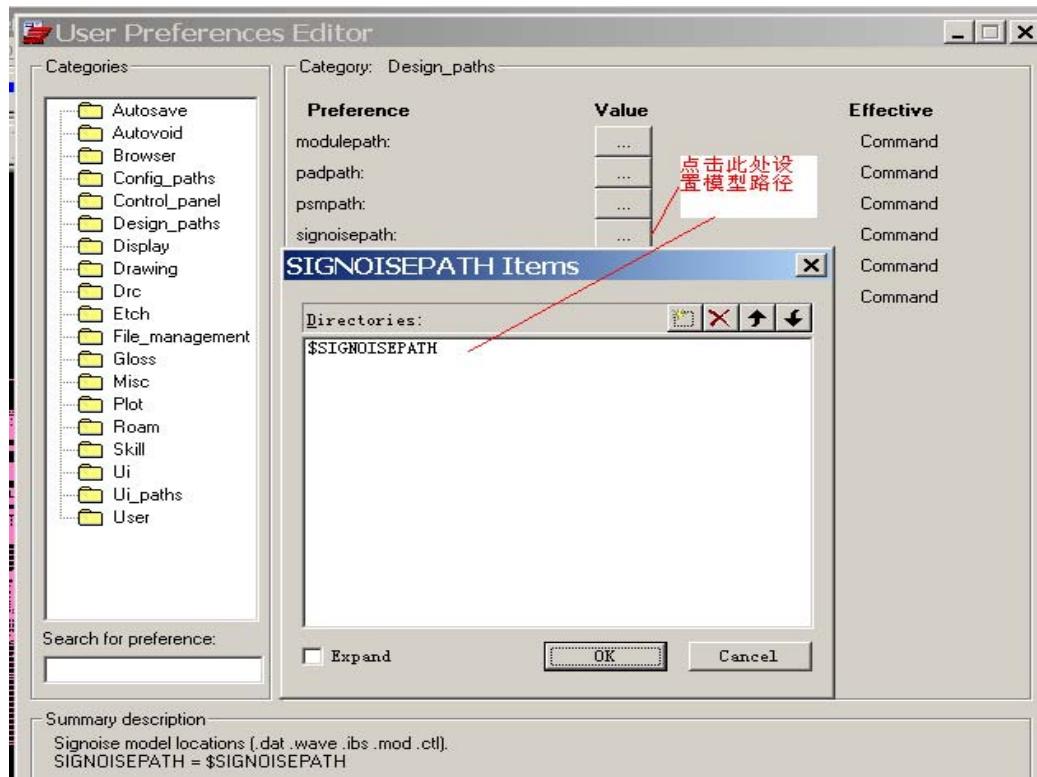


图 2-13 设置公司仿真库路径

一块经过仿真的单板的文件管理，应该有其对应的模型配置文件 DAT，根据单板要仿真的器件先估计一下模型的分布情况，确定要调用的 NDX 文件，在 PCB 仿真设计环境下，把所用到的 NDX 调出来，如图 2-14：

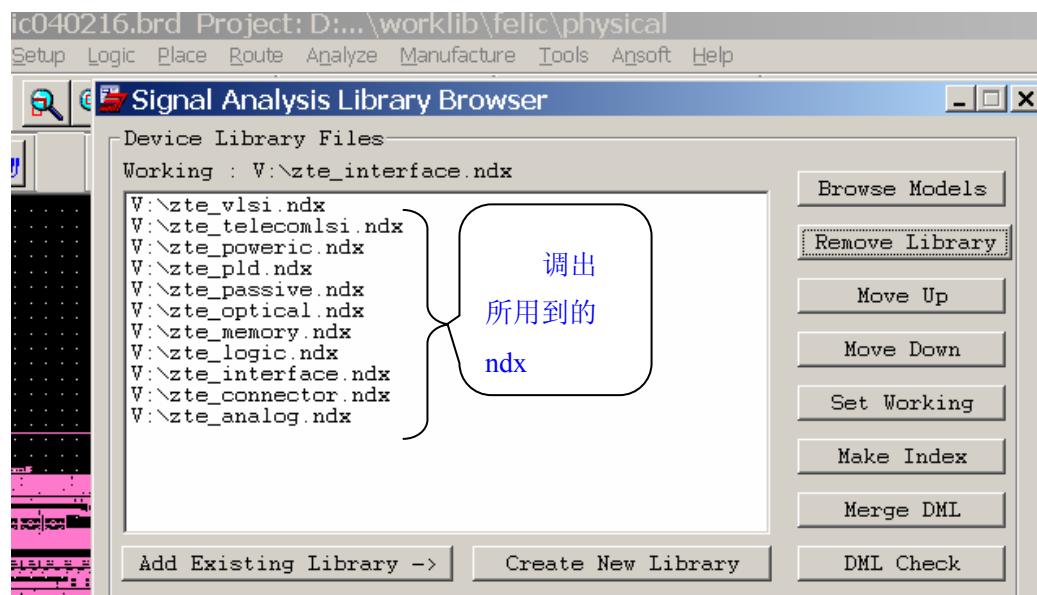


图 2-14 调出所用到的 ndx

然后可以查看模型的自动配置情况，操作如图 2—15：

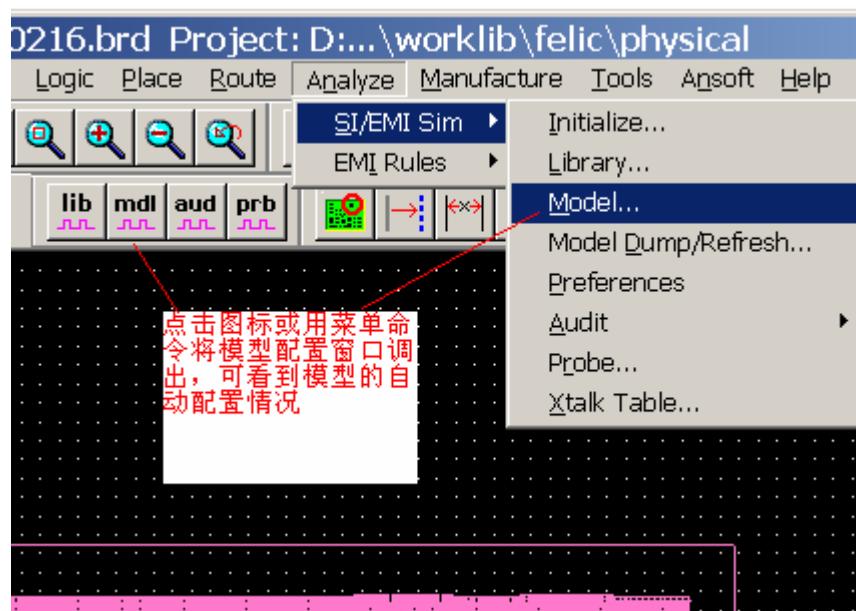


图 2—15 按仿真库自动配置模型

从图 2—16 可以看到模型的自动配置情况，在这过程，如果前面没有对电源网络进行定义，会有一个提问，按“YES”继续。

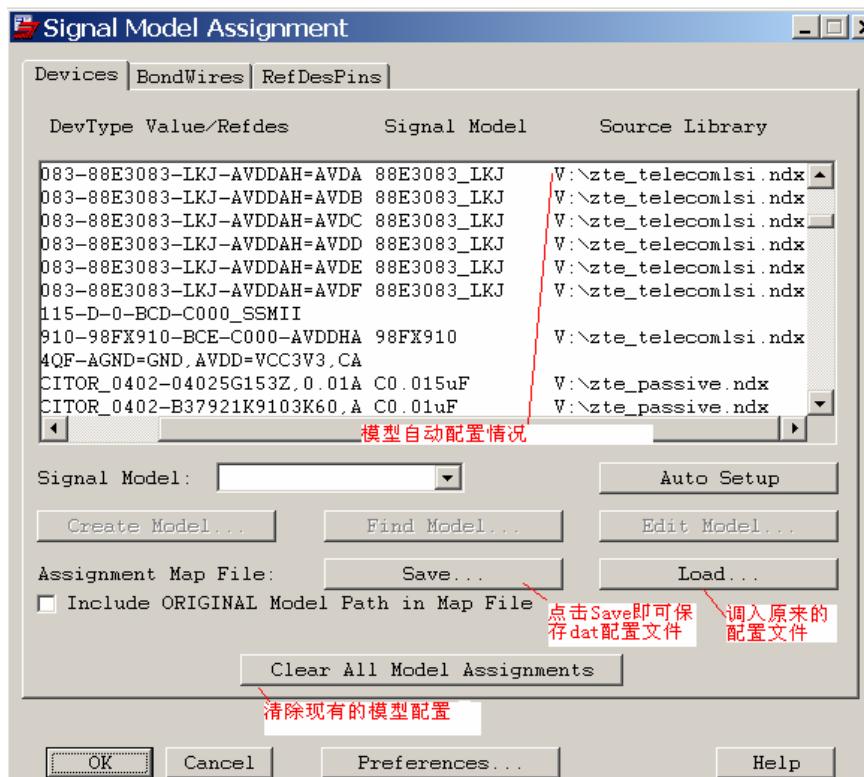


图 2—16 模型配置情况

具体内容请参见专门的《仿真库使用手册》和仿真库管理流程。

3.2.4.2 手工给器件赋模型

如果需要手工调用模型，请按下面的步骤进行：

由于Cadence软件不能直接使用IBIS模型，所以IBIS模型必须转换成Cadence可识别的DML文件才可以，转换的菜单在上图3-11最下端的**Translate=》ibis2signoise**，转换之后的DML文件可以与IBIS文件放在

同一目录下，转换的操作实例为： 生成DS90CP22的DML文件. avi

如果，你转换IBIS模型报错的话，用IBIS模型的语法检查程序：**开始=>程序=>Allegro SPB 15.2=>Model Integrity**，进行语法检查，检查结束后将正确的[File name]改成所需模型名即可。

DML文件转换完成之后，下面就将这些文件所在的路径加到**Device Library Files**列表下边，点击**Add Existing Library->**按钮，在下拉列表中选择**Local Library Path** 选项，然后通过浏览器将DML文件所在的

路径指上去即可，具体的操作实例为： 添加DML库路径. avi

这时再看**Device Library Files**下边的列表里将多出来许多Dml的路径文件，如下图所示：

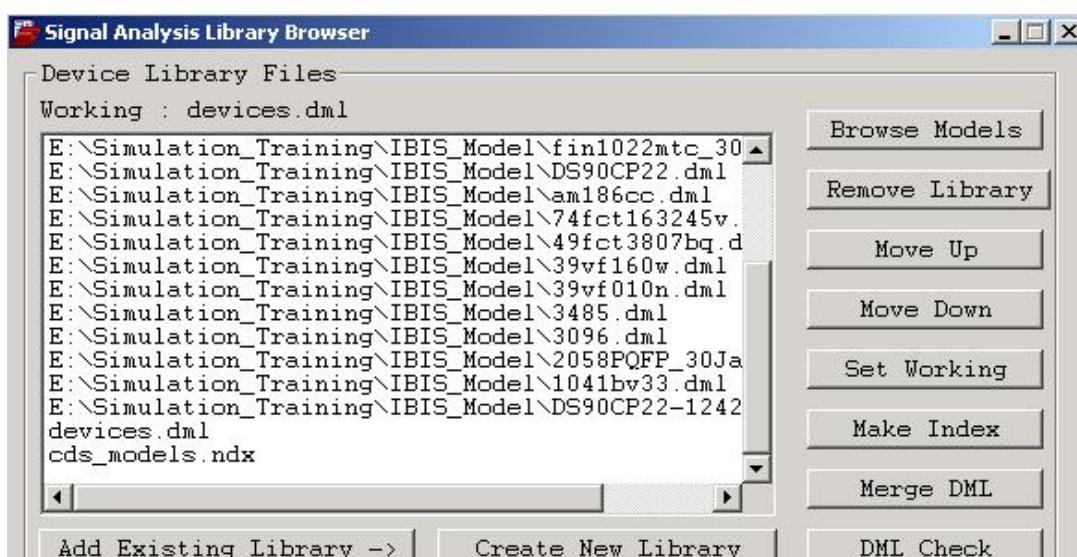


图2-17 添加DML文件之后的**Signal Model Library Browser**窗口

上图3-16的意思是DML模型的路径是：**E:\Simulation_Training\IBIS_Model**，阻、容和连接器件的**Espice**模型将加到与BRD文件同一目录的**devices.dml**文件当中，你现在可以打开**devices.dml**文件看看，文件是空的。

到此，模型库的路径算是连接起来了，关闭**Signal Model Library Browser**窗口。接下来的工作就是将库路径里面的模型加到相应的器件上即可，赋元件的模型的具体的操作步骤为：

- 在图2-10所示的**Signal Model Assignment**窗口中找到要赋模型的器件并用鼠标点击该元件的Device名字
- 鼠标点击下边的“**Find Model...**”按钮
- 在弹出的**Model Browser**窗口里面找到相应的模型（注意上边的三个模型过滤参数分别为：**All Libraries**、**Ibis Device**和*****）
- 选择**Close**按钮关闭**Model Browser**窗口

赋该元件的模型的图解说明如下：

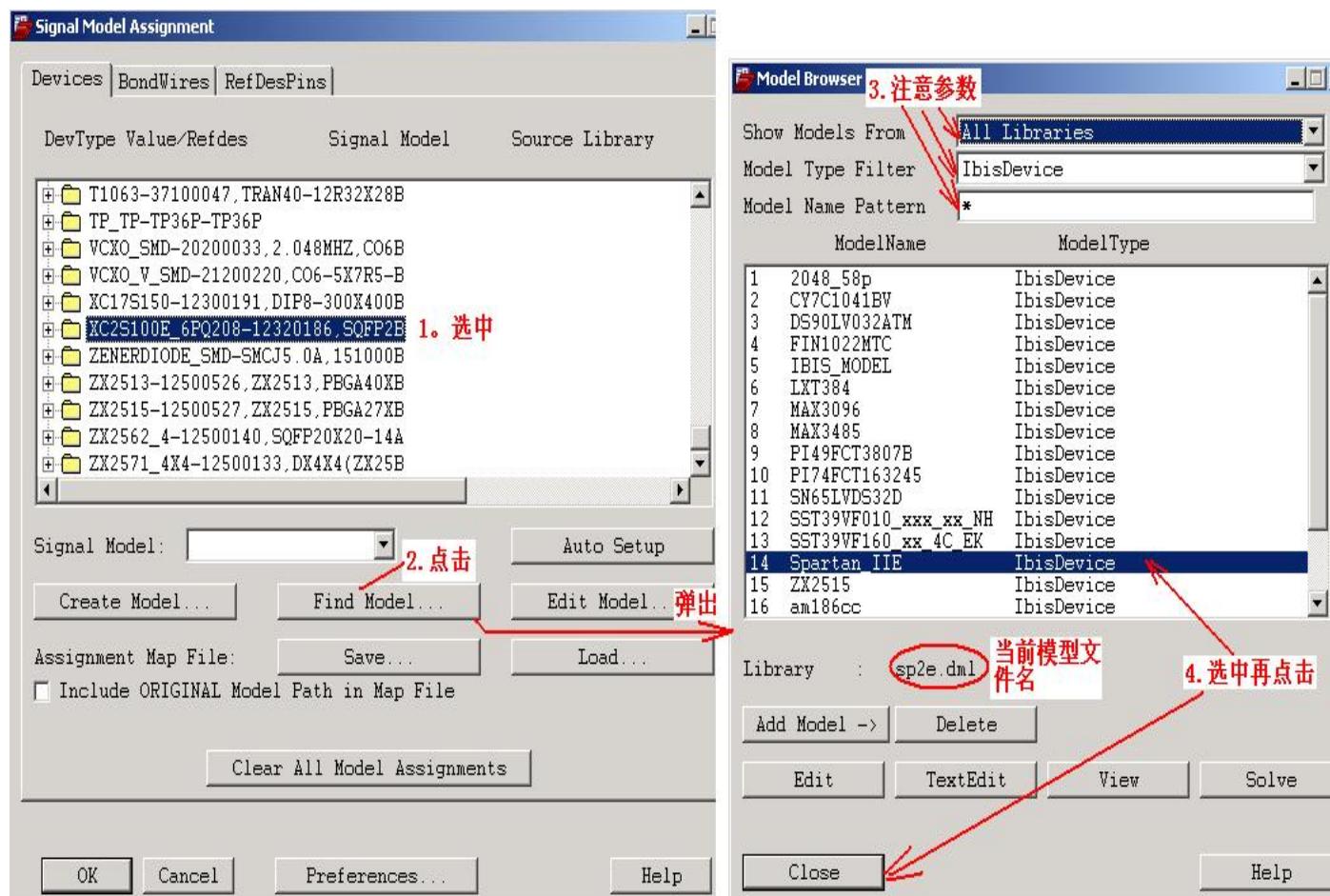


图2-18 添加模型的图解说明窗口

按照此方法就可以将其它有**IBIS**模型的器件都赋上模型，对于阻、容器件，通常是没有**IBIS**模型的，我们需要根据其值的大小创建一个**Espice**模型，创建的过程见下图：

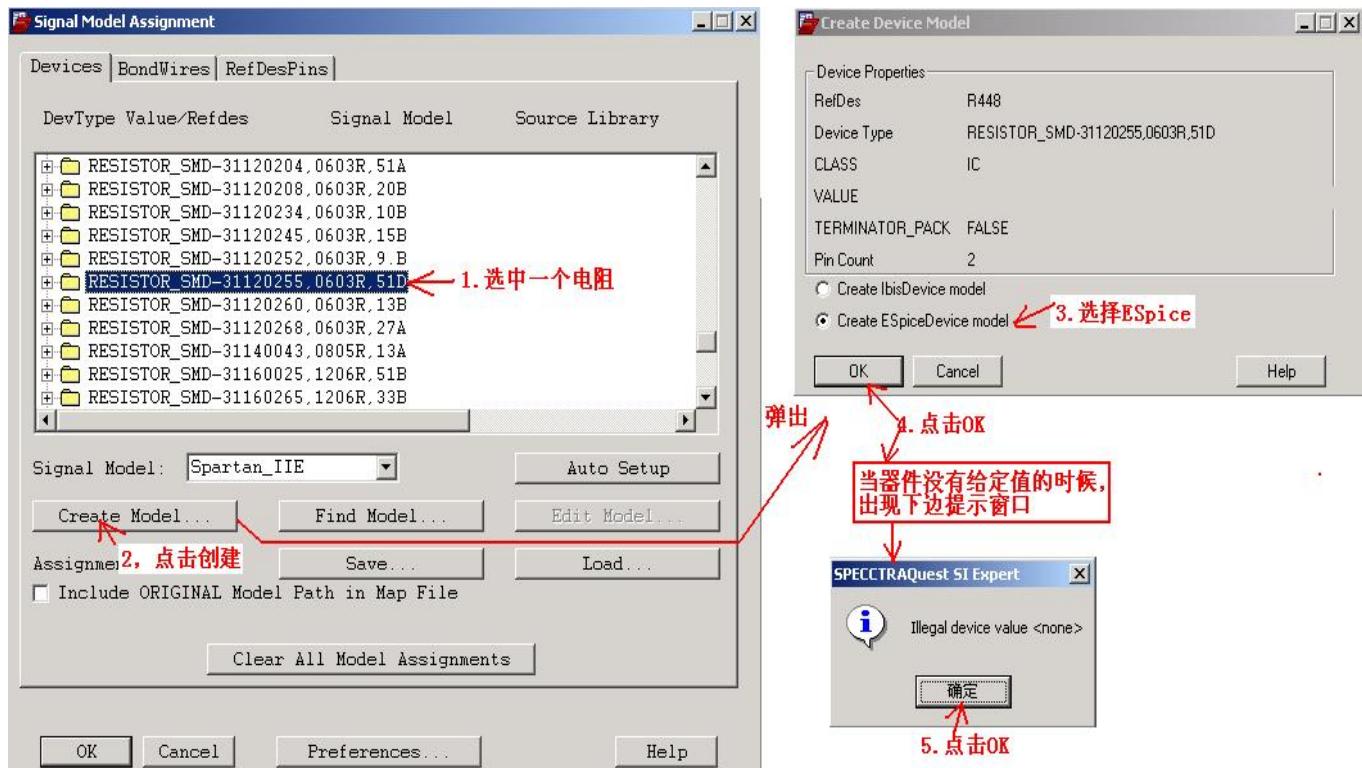


图2-19 添加电阻E Spice模型的图解说明窗口

在上图1-13中点击“**OK**”按钮之后就会弹出如下图3-19所示的窗口，照下图2-20的参数设好之后点击“**OK**”按钮结束。



图2-20 添加电阻E Spice模型的图解说明窗口（续）

生成电阻模型的实例如下：[生成2k电阻的E Spice模型. avi](#)

对于与仿真无关的阻、容器件可以不必都生成并赋上E Spice模型，仿真哪个信号或者哪组信号，主要与这些信号相关的器件都有模型就可以了，到此，赋模型的工作结束了。这时再打开**devices.dml**文件，可以看到，已经有添加的电阻的E Spice模型。

查找电阻模型的实例如下： 查找电阻模型. avi

2.2.5 使用 SI Audit 进行核查

在 Database Setup Advisor—SI Models 窗口中点击“**Next >**”按钮，将进入 Database Setup Advisor—SI Audit 窗口，点击该窗口的中央的“**SI Audit**”按钮，Net Audit 窗口就会弹出，该窗口主要的功能就是检查要仿真的网络设置情况，相应网络的器件模型是否赋全，叠层设置的参数信息等等。假设需要对 TC 总线有仿真要求，我们对 TC*信号检查一下，在网络过滤器中输入 TC*，按键盘 Tab 键，选择 TC1 网络并点击

Audit selected net 按钮，弹出的窗口如下：

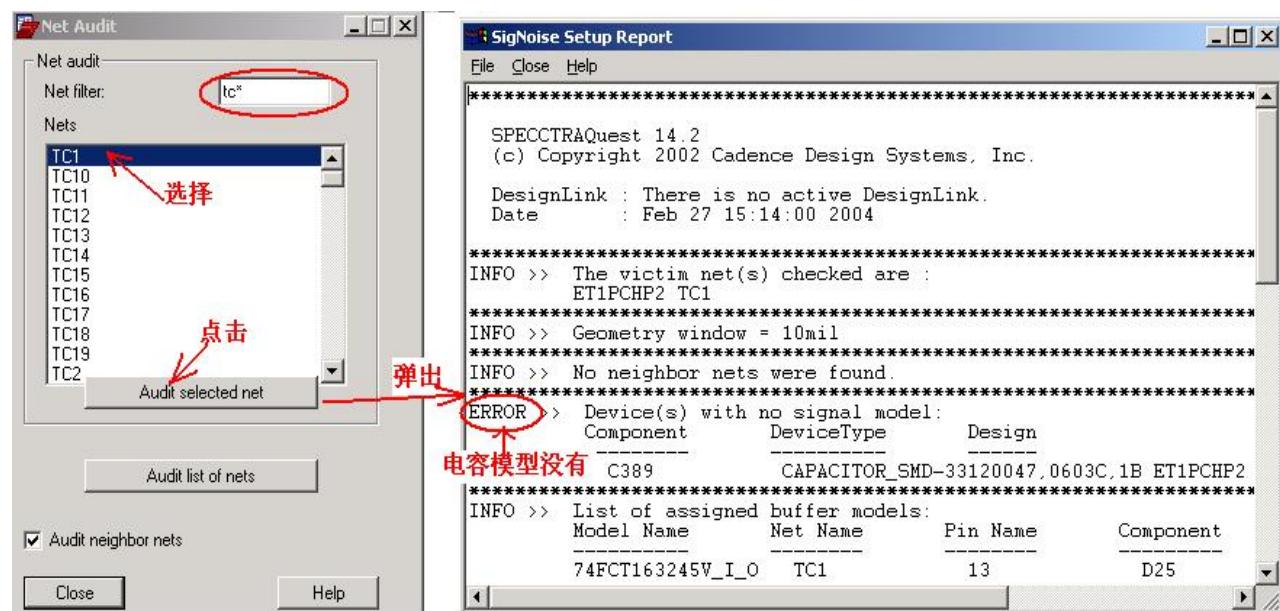


图 2—21 Net Audit 图解说明窗口

对于缺少模型的元件，需要返回上一步骤**赋模型**的窗口中进行添加，如果没有错误就可以关闭 Net Audit 窗口了，在 Database Setup Advisor—SI Audit 窗口中点击“**Finish**”按钮结束仿真设置向导。

2.3 设置 IO 管脚的测试条件和逻辑门限值

在给器件赋好模型后，我们还有一个需要经常修改的地方，就是模型参数中的测试条件，这是因为同一器件的不同功能的 IO 管脚可能使用的是同一个 IOCell 模型，厂家在测试这些管脚的功能参数时可能使

用了不同的测试条件，因此我们在对不同的管脚所在的网络进行仿真时，必须根据该管脚实际测试条件进行设置。

执行 **Analyze ->SI/EMI Sim ->Library...** 启动 **Signal Analysis Library Browser** 界面，选中你所需设置的器件，再启动 **Model Browser** 界面。选中所需管脚，点击 **Editor**，启动 **IOCell Editor** 界面，如图 2-29 所示。其中有四个标签，我们会经常修改的是 **DelayMeasurement** 标签，该标签的内容必须根据 **DATASHEET** 的数据进行填写。

因为现在公司有统一的 IBIS 模型库，**DATASHEET** 有这些参数的已加上了，但往往有些粗糙的 **DATASHEET** 没有给出这些参数，此时使用该器件的设计人员必须向厂家咨询获得该参数，否则仿真将无法进行。

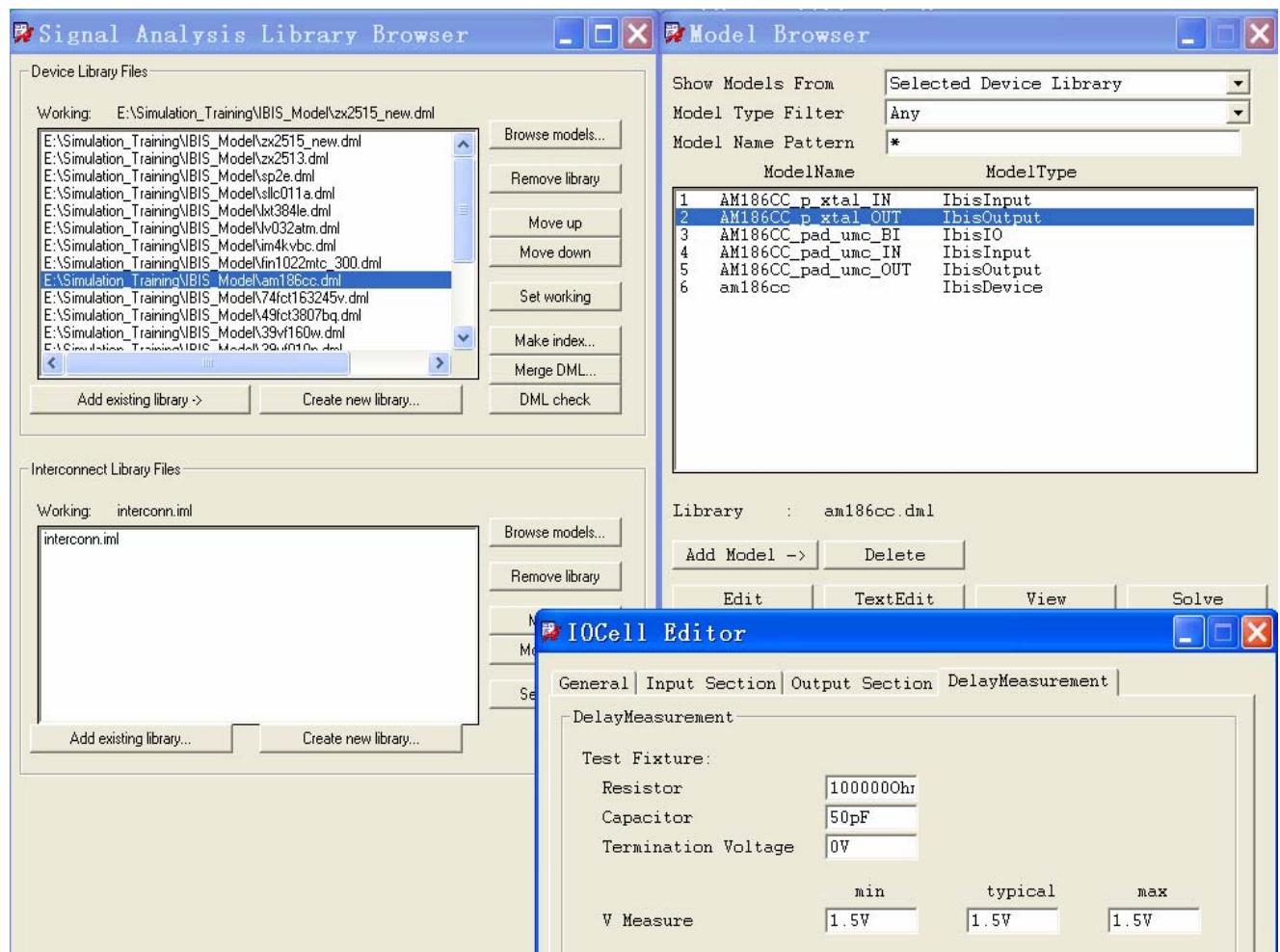


图 2-22 修改 IO 管脚的测试条件

另外，除了 **DelayMeasurement** 标签需要设置外，通常还需要设置输入缓冲器模型 **Input Section** 标签中 **Logic Thresholds** 的 High 和 low 值，如图 2-23 所示。

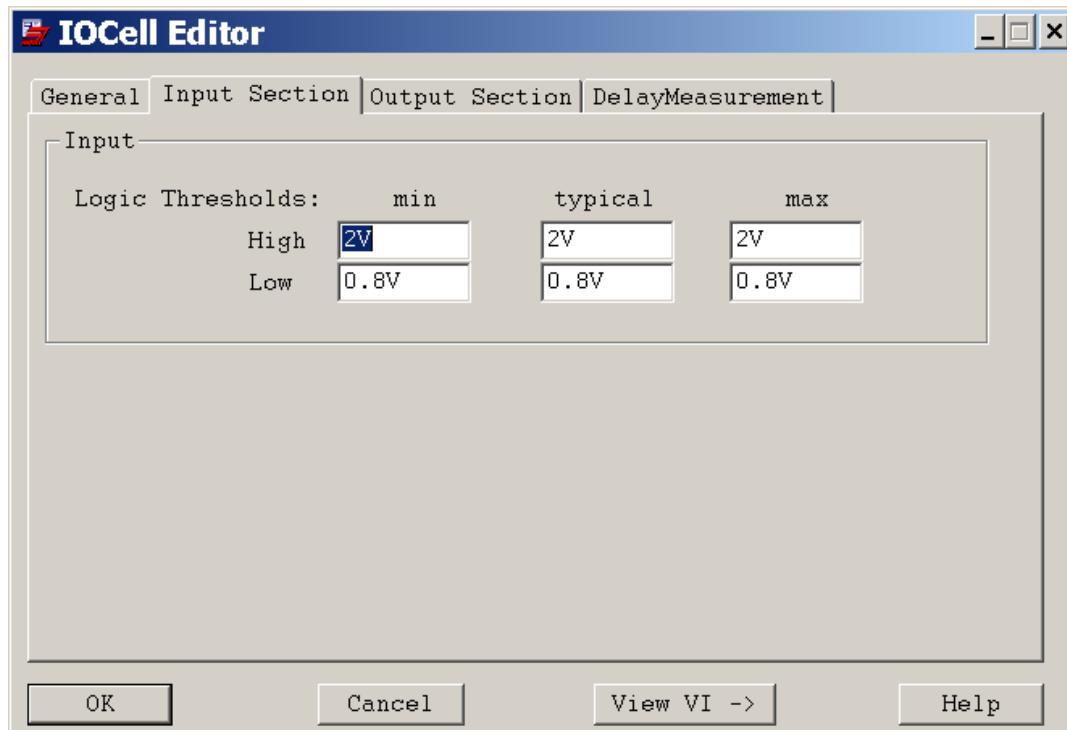


图 2-23 设置 IOCell 中的逻辑门限值

2.4 差分驱动器的设置

当仿真差分线时，可以将差分线一起提取拓扑，这就要将两个驱动器一起提取 IO 模型，这需要在模型中作些修改：

执行 **Analyze ->SI/EMI Sim ->Model**，启动 **Signal Model Assignment** 界面，如图 2-24 所示。选中你所需设置的器件，再启动 **IBIS Device Model Editor** 界面。点击需要设置成差分对的一个管脚，将自动弹出 **IBIS Device Pin Data** 界面，如图 2-25 所示。对于差分对，在 **Diff Pair Date** 下面，选择 **Type** 类型，如反向还是不反向，然后在 **Mate Pin** 中填入耦合管脚，如 3，图 2-26 所示，这样就将 2 和 3 两个管脚组成了一个对，提取拓扑时会一起提出。

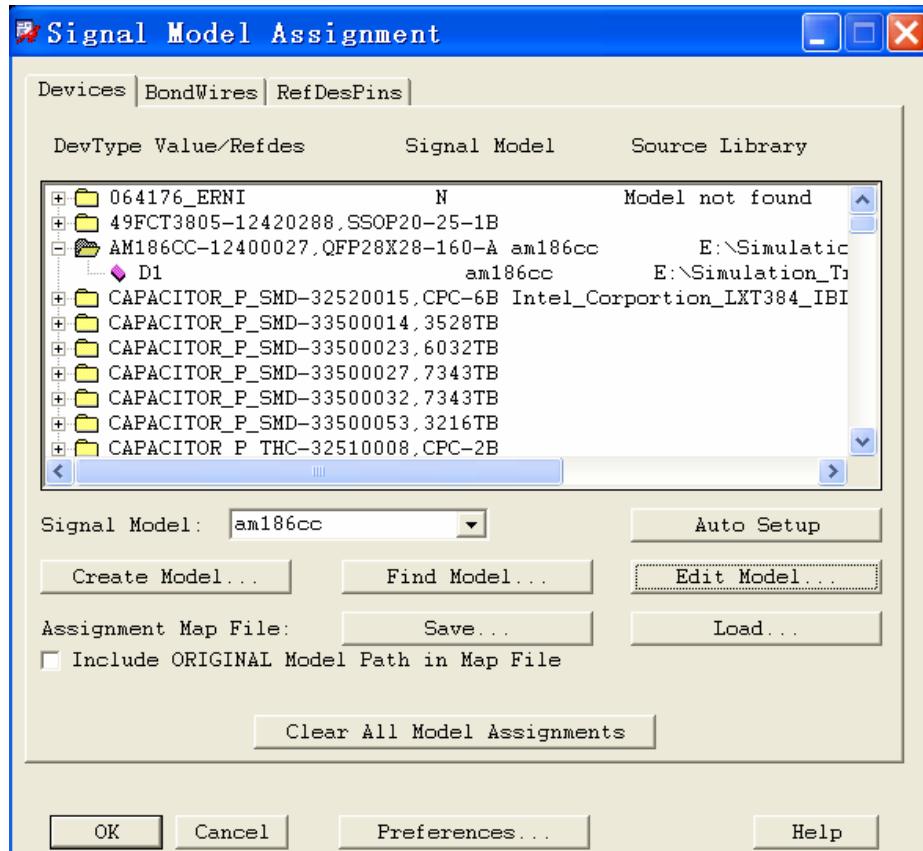


图 2-24 Signal Model Assignment 界面

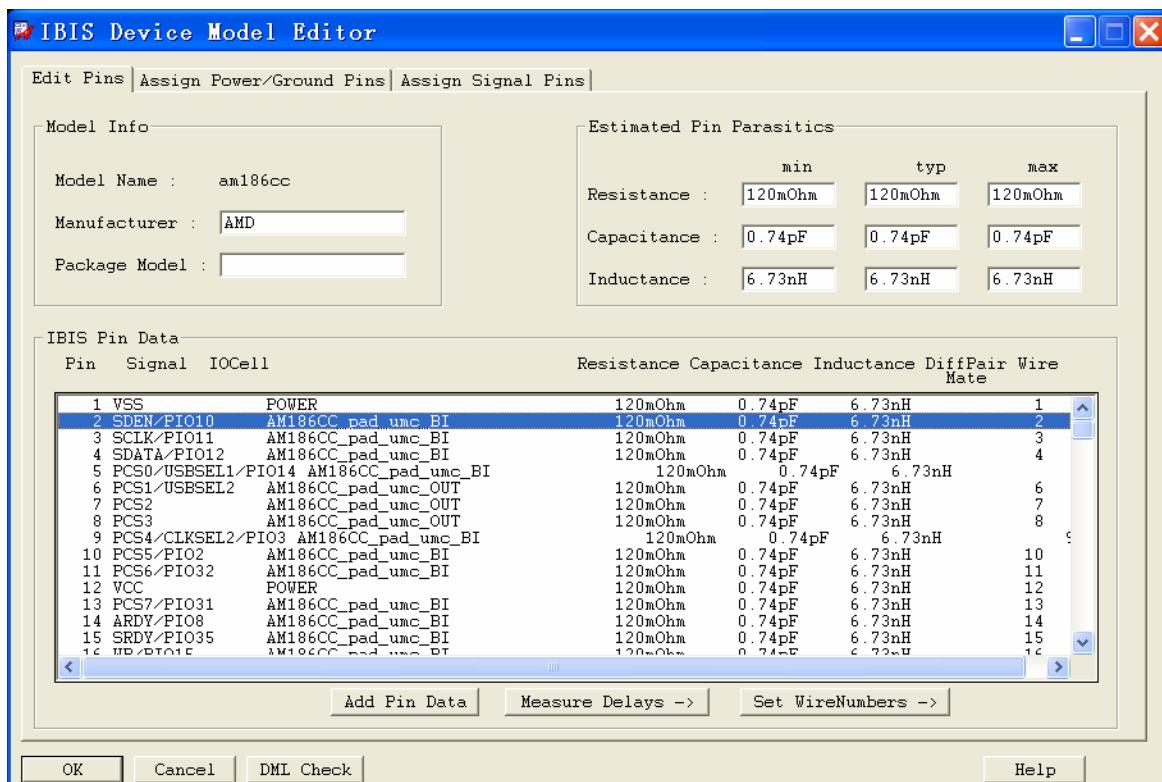


图 2-25 IBIS Device Model Editor 界面

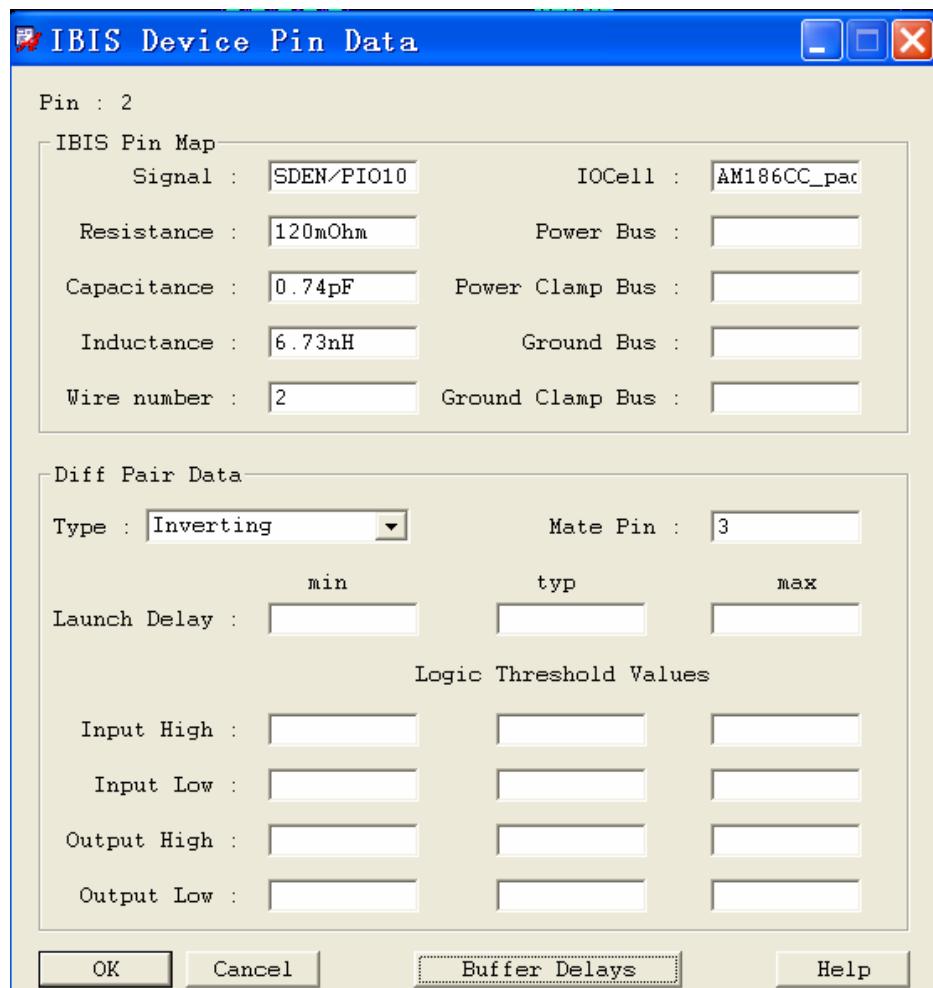


图 2-26 IBIS Device Pin Data 界面

2.5 仿真分析参数设置

在仿真之前，还需要对信号的仿真分析参数进行设置。

在PCB SI界面中选择**Analyze=》SI/EMI=》Preferences**菜单，弹出**Analysis Preferences**窗口。

1) 首先选择**DeviceModels**标签，如下图2-27所示：

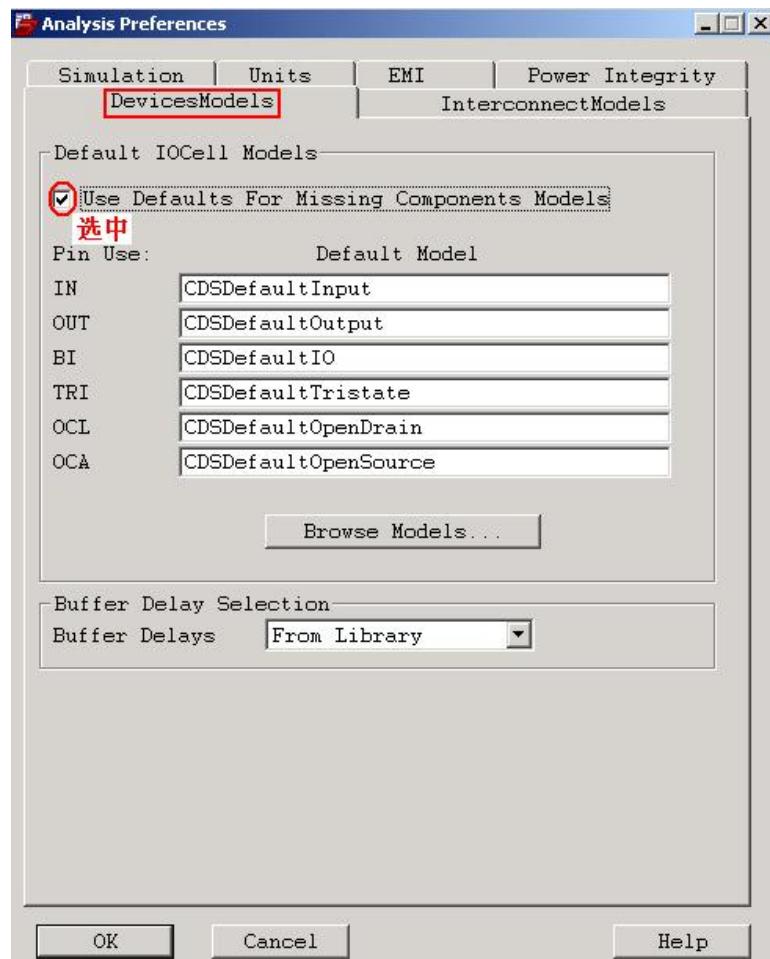


图2-27 Analysis Preferences窗口的DeviceModels标签栏

■ Default IOCell Models

缺省 IO 单元模型。使用该项用来决定仿真时，如果遇到未赋模型的器件时是否使用缺省的 IO 单元模型。如果将 **Use Defaults For Missing Component Models** 的复选框选中，表示将使用缺省的 IO 单元模型。一般说来，该项没有太大意义，缺省 IO 单元模型是 Cadence 的模型库中的 IO 模型，它与实际具体的器件模型相比误差较大，没有使用价值。

■ Buffer Delay Selection

缓冲器延时选择。缓冲器延时有两种选择：On-the-fly 和 From library。

On-the-fly 是根据测试负载的参数计算出 Buffer Delay 曲线，From library 是从库中获取。在实际应用时，我们均是通过器件的 DATASHEET 查出测试条件由软件自动计算出 Buffer Delay 曲线，因此该项通常设为 On-the-fly。

2) 再选择**InterconnectModels**标签，参照下图2-28设置（基本上传输的单板都控制特征阻抗 50Ω ，这里将默认阻抗改成 50Ω 即可）：

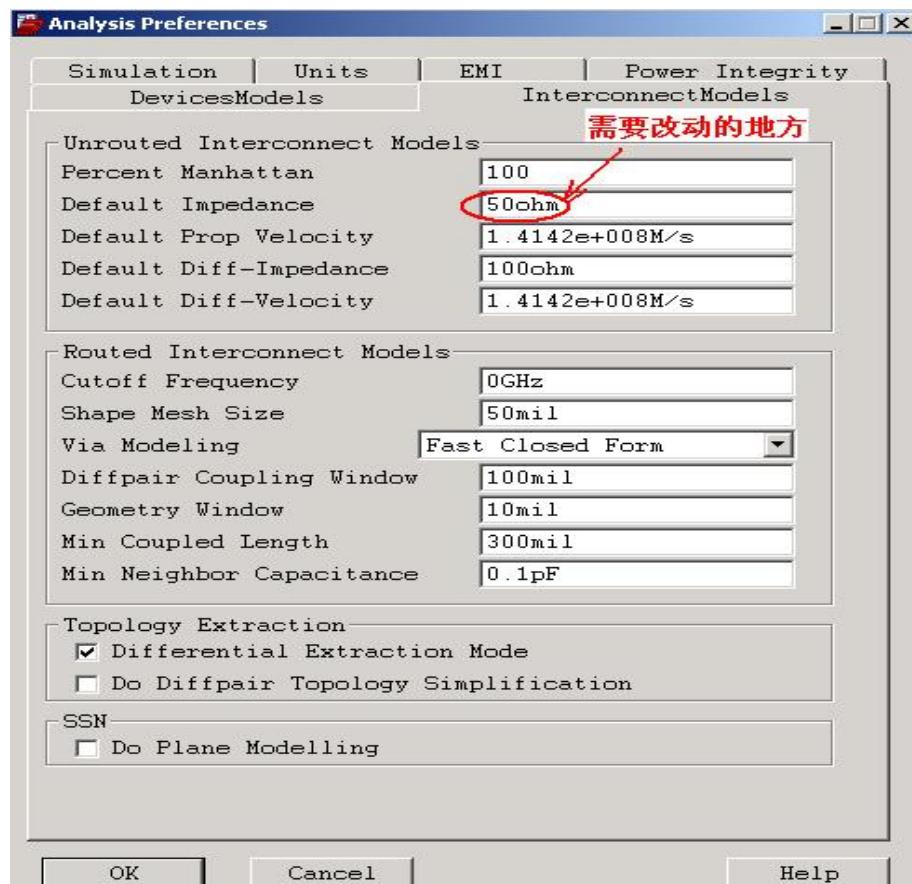


图2-28 Analysis Preferences窗口的InterconnectModels标签栏

其它标签栏内的参数不必改动，就按默认设置即可，点击“OK”按钮关闭 **Analysis Preferences** 窗口。

下面是图 2-28 的参数说明：

Unrouted Interconnect Models 组合框（对于 PCB 板中未连线的信号，采用以下参数）：

- **Percent Manhattan:** 设定未连接的传输线的曼哈顿距离的百分比，缺省为 100%。
- **Default Impedance:** 设定传输线特性阻抗，默认为 60ohm。
- **Default Prop Velocity:** 默认传输速度，默认值为 $1.4142e+008M/s$ ，此时对应 $\epsilon_r=4.5$ ，1ns 延时对应传输线长度为 5600mil。

信号在电路板上的传输速度的计算公式为: $Velocity = \frac{3 \times 10^8 m/s}{\sqrt{\epsilon_r}} = \frac{11.81 inch/ns}{\sqrt{\epsilon_r}}$

传输延时公式为: $PropDelay = \frac{length}{velocity}$

Routed Interconnect Models 组合框 (对于 PCB 板中已连线信号, 采用以下参数):

- **Cutoff Frequency:** 表明互连线寄生参数提取所适应的频率范围, 缺省为 0GHz。在对 IBIS 的 PACKAGE 等寄生参数进行 RLGC 矩阵提取时, 为了不考虑频率的影响将截止频率设为 0, 此时的矩阵不依赖于频率, 并且提取速度较快, 但精度稍差。当设置了截止频率后, RLGC 矩阵将是综合矩阵, 它将基于频率的参数影响, 考虑了频率参数影响的 RLGC 矩阵具有较高的精度, 但提取速度较慢。如果对该值设置, 一般建议设置该值不要超过时钟频率的三倍。
- **Shape Mesh Size:** 表明将线看成铜皮的边界尺寸范围, 即标明作为场分析的最大铜箔尺寸。如果线宽大于这个尺寸值, 则使用封闭形式公式进行模型提取, 缺省为 50mil。
- **Via Modeling:** 表明所采用的过孔模型。
 - **Fast Closed Form:** 场模拟程序实时产生一个过孔电路而并没有建立一个近似的 RC 电路, 这样节省了仿真时间, 但没有使用模型那么准确。
 - **Ignore Via:** 忽略过孔的影响。
 - **Detailed Closed Form:** 在互连模型库中寻找相近似的过孔模型, 如果没有合适的模型, 则由场模拟程序产生一个由近似 RC 矩阵组成的过孔模型并存储在模型库中。
- **Diffpair Coupling Window:** 差分对耦合窗口, 表明用来定位差分对相邻网络的基于最小耦合长度的研究窗口的尺寸, 缺省值为 100 mils。

Topology Extraction

- **Differential Extraction Mode:** 当选中时, 规定差分网络只能被当作一对线提取。当不选时, 差分网络能单独地提取。
- **Diffpair Topology Simplification :** 差分拓扑的简化模式, 规定首先用提取拓扑的所有耦合路径的最小距离计算, 然后不平衡的最大长度为这个最小距离的几倍 (默认为 8)

Crosstalk 对于串扰分析, 需要确定以下信息:

- **Geometry Window:** 用来说明在仿真时距离主网络的互连线边缘多少范围内（横向和纵向均考虑）的网络需要作为干扰源来考虑。如图 2-29 所示。

图中标出序号的线就是在线 X 的 Geometry Windows 范围内的相邻网络线，之外的线就不包括在分析所涉及范围内了。

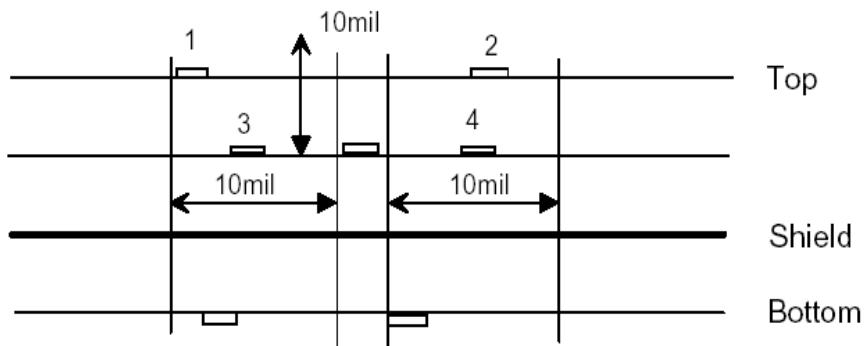


图 2-29 Crosstalk 说明

- **Min Coupled Length:** 最小耦合长度。用来说明在 Geometry Windows 范围内，两根相邻线至少需要有多长的平行走线距离才考虑它们之间的串扰。
- **Min Neighbor Capacitance:** 最小耦合电容。确定在 Geometry Windows 范围内，线与线之间的小电容耦合程度，在这个最小电容耦合度上进行串扰分析。

SSN

Do Plane Modelling: 此项用在对地平面进行分析时，选择该项，仿真器就将实平面当成分布电路来考虑。

3) 选择 **Simulation Tab**, 如图 2-30 所示:

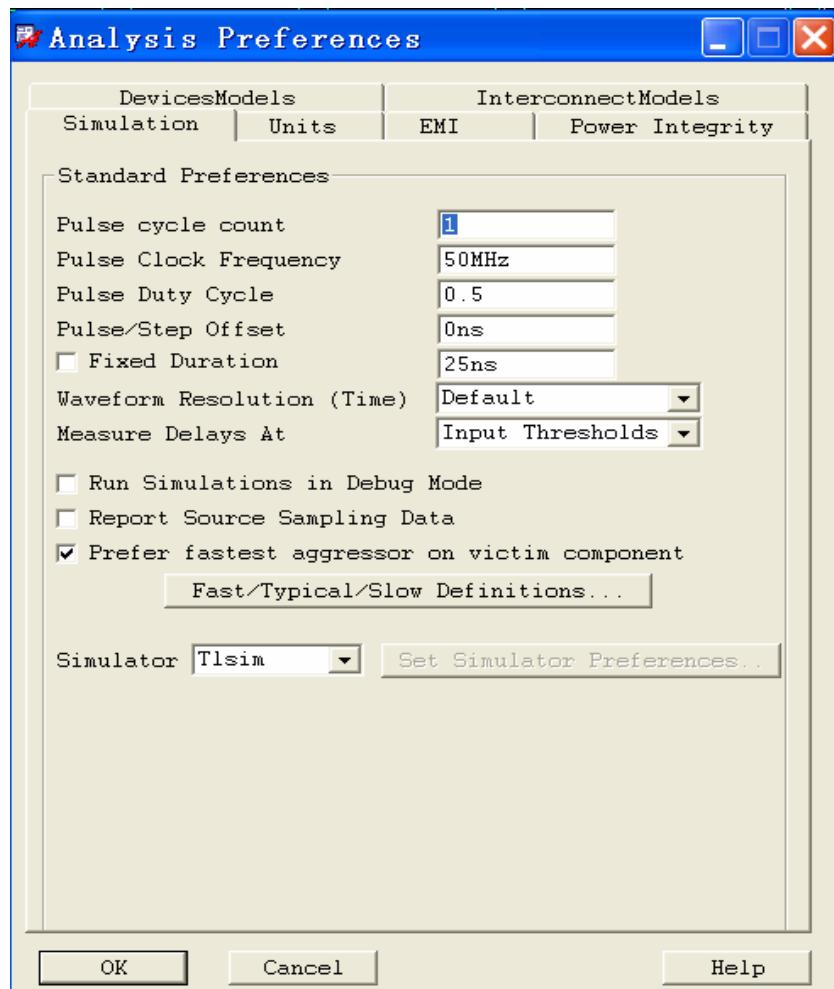


图 2-30 Analysis Preferences 窗口的 Simulation 标签栏

在运行仿真前，还需要对仿真的脉冲参数进行定义：

Pulse cycle count: 通过指定系统传输的脉冲数目来确定仿真的持续时间。

Pulse Clock Frequency: 确定仿真中用来激励驱动器的脉冲电压源的频率。

Pulse Duty cycle: 脉冲占空比。

Pulse/Step offset: 脉冲偏移量，用来控制主网络驱动器与相邻网络驱动器之间的激励时间差。如果该值为正，则相邻网络驱动器在主网络驱动器之后产生激励。

Fixed Duration: 指定仿真的持续时间长度。如果该值未确定，则仿真器动态的为每一次仿真选择时长。当该值确定时，仿真运行的时间就为该项中所确定的固定时间长度。此项值的大小与波形文件的大小成正比。

Waveform Resolution(Time): 波形分辨率，决定仿真过程中产生波形的采样数据点的多少。

Run Simulation in Debug mode: 当选择该模式时，在仿真前仿真器会执行该网络的正确性检查，在检查通过后才进行仿真。

4) Units Tab, 如图 2-31 所示:

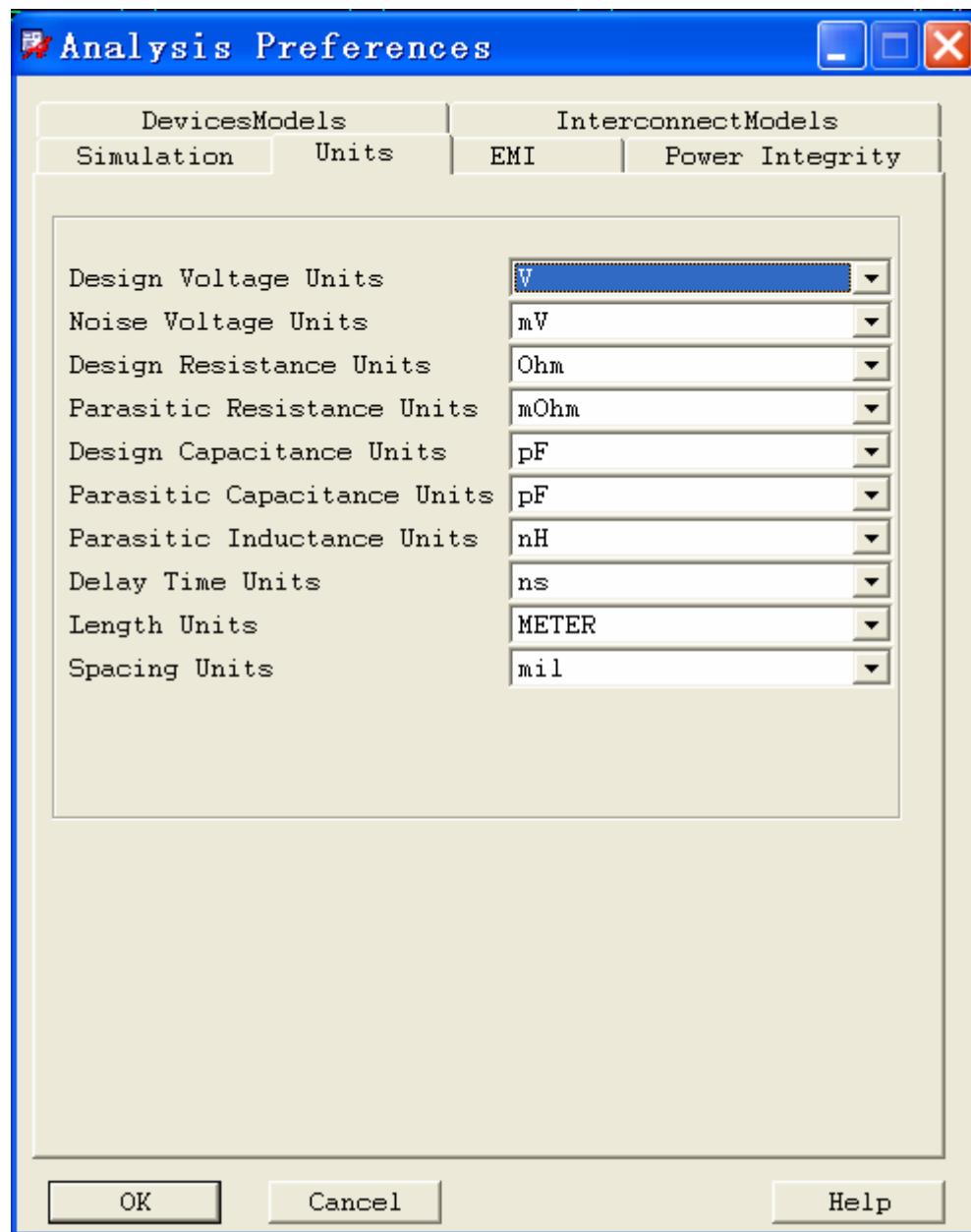


图 2-31 Analysis Preferences 窗口的 Units 标签栏

该项是用来对仿真所用到的各种参数的缺省单位进行设置的。一般使用默认设置。

5) EMI, 如图 2-32 所示。

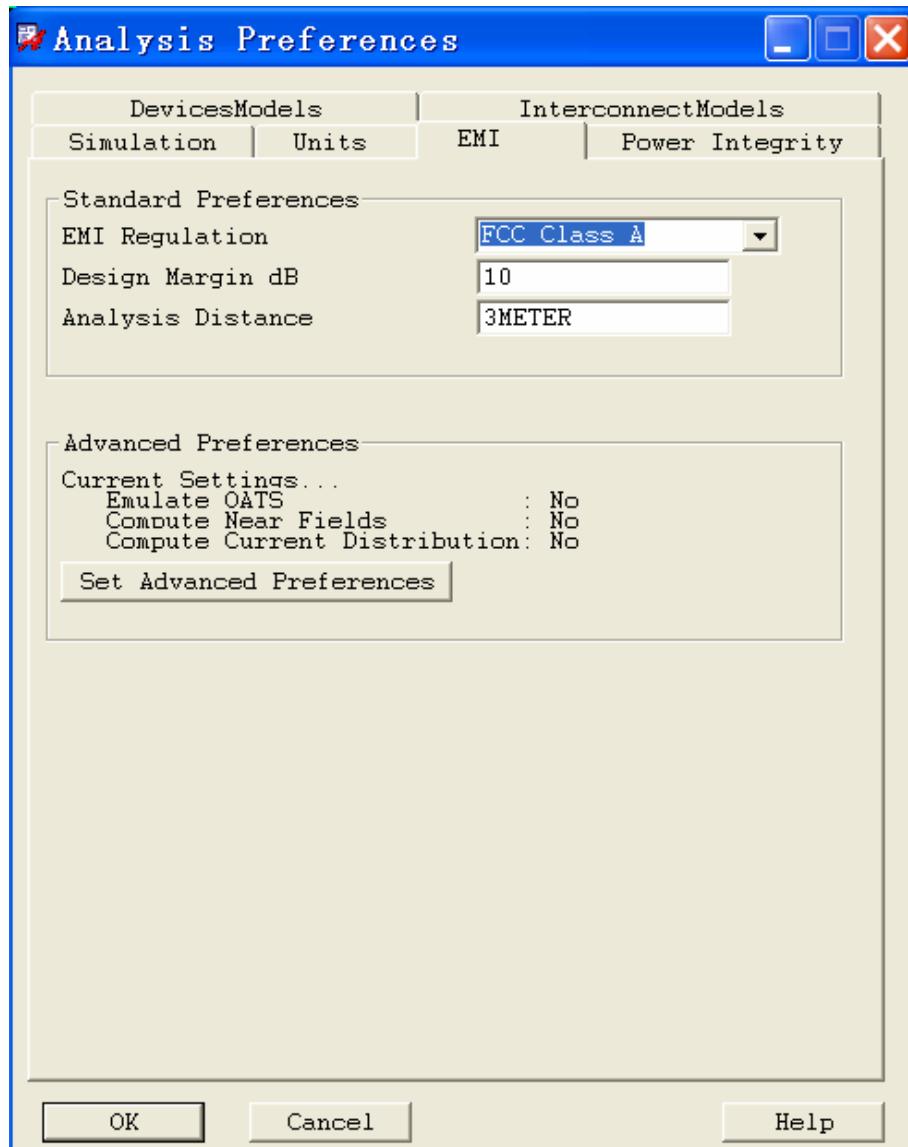


图 2-32 Analysis Preferences 窗口的 EMI 标签栏

该项是用来设置 EMI 仿真时的参数。

Standard Preferences 设置：

EMI Regulation：即国际上对 EMI 的一些规范。缺省是 FCC Class A 级。

Design Margin dB：要求的设计余量，单位 dB。缺省是 10dB。

Analysis Distance：分析设备 EMI 的测量距离。缺省是 3m。

Advanced Preferences 设置：

该项里主要对计算场的一些参数进行设置。使用缺省即可。

6) Power Integrity, 如图 2-33 所示。

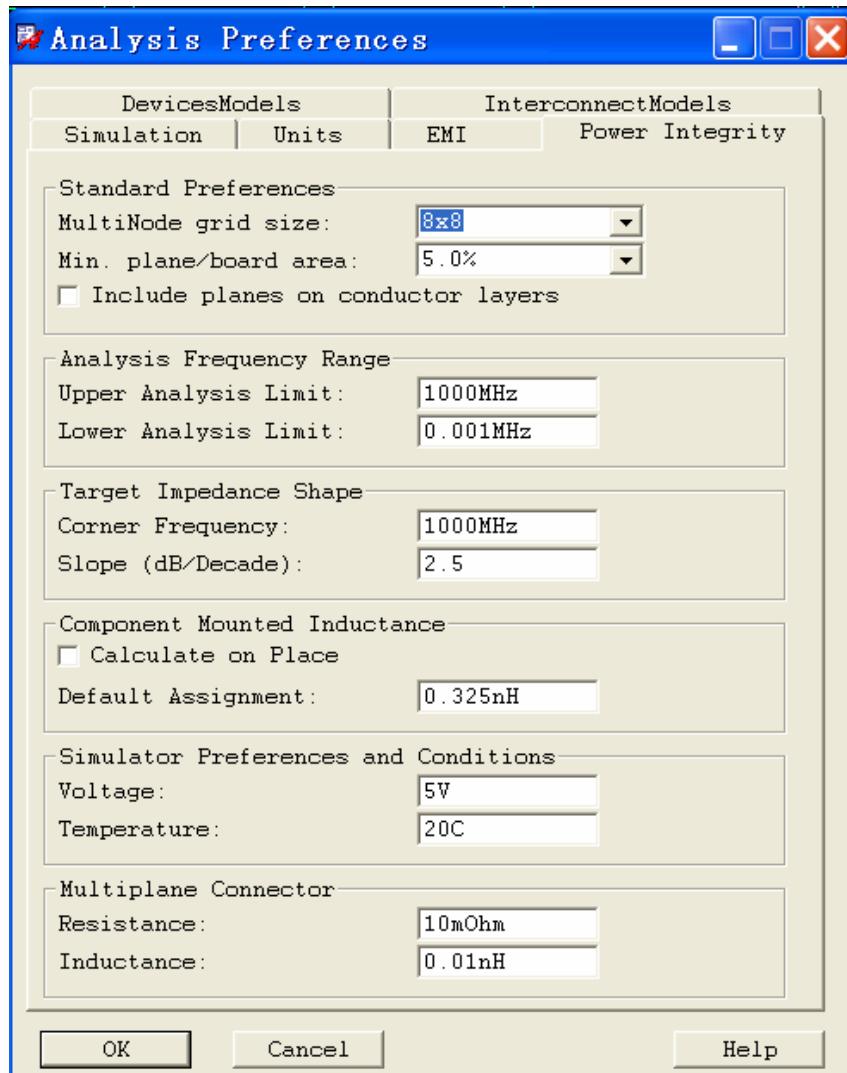


图 2-33 Analysis Preferences 窗口的 Power Integrity 标签栏

该项主要是对电源完整性参数的定义。使用缺省参数即可。

第三章 提取和建立拓扑进行仿真

在设置好仿真参数后，现在我们可以开始提取拓扑模型，并运用 **SigXplorer** 软件进行仿真。

3.1 自动提取拓扑

在介绍自动提取拓扑前，先介绍一下关于物理 net (Physical Net) 与 Xnet (Electrical Net) 的概念，如图 3-1 所示：

Physical net 也就是我们所说的 net，它指两个或更多个元件之间的连接。如图 3-1 中的网络 CLK0_1 和 CLK0R。

Xnet 是驱动器 (Drivers) 和接收器(Receivers)之间的连接。一个 Xnet 包含所有的通过电阻、电容或连接器连接的 Driver 和 Receiver。Xnet 是一种抽取的网络。如图 3-1 中的 Xnet CLK0R 网络。我们通常所说的拓扑结构均指 Xnet 的拓扑。

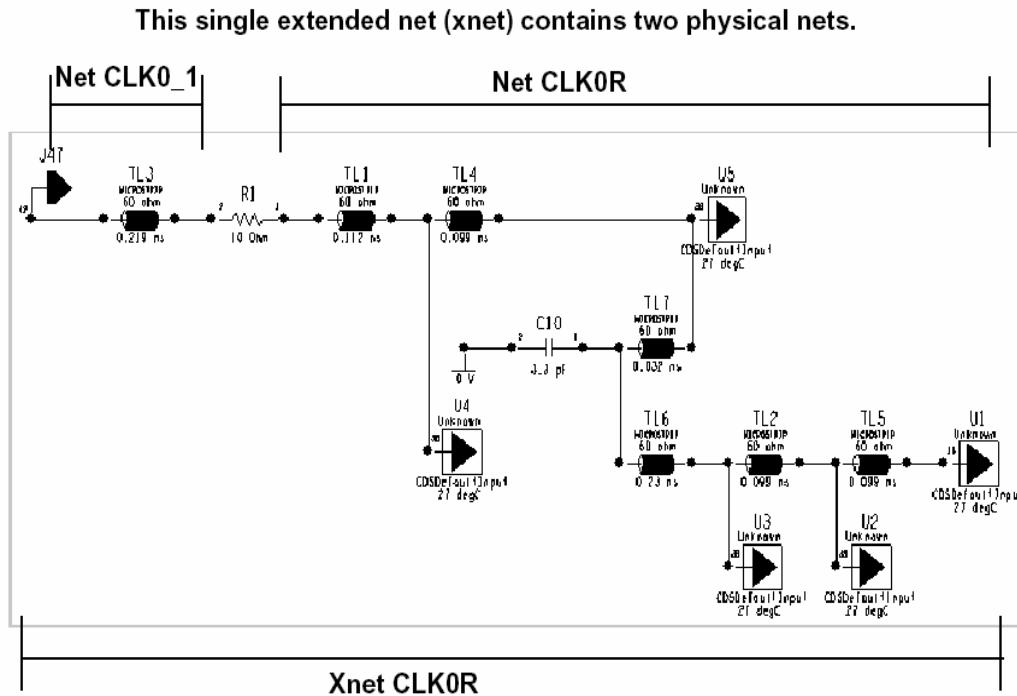


图 3-1 net (Physical Net) 与 Xnet (Electrical Net)

自动拓扑提取有两种方式实现：

3.1.1 通过 Signal Analysis 提取拓朴

1) 在 PCB SI 中执行 Analyze ->SI/EMI Sim ->Probe...启动 Signal Analysis 界面，如图 3-2 所示。

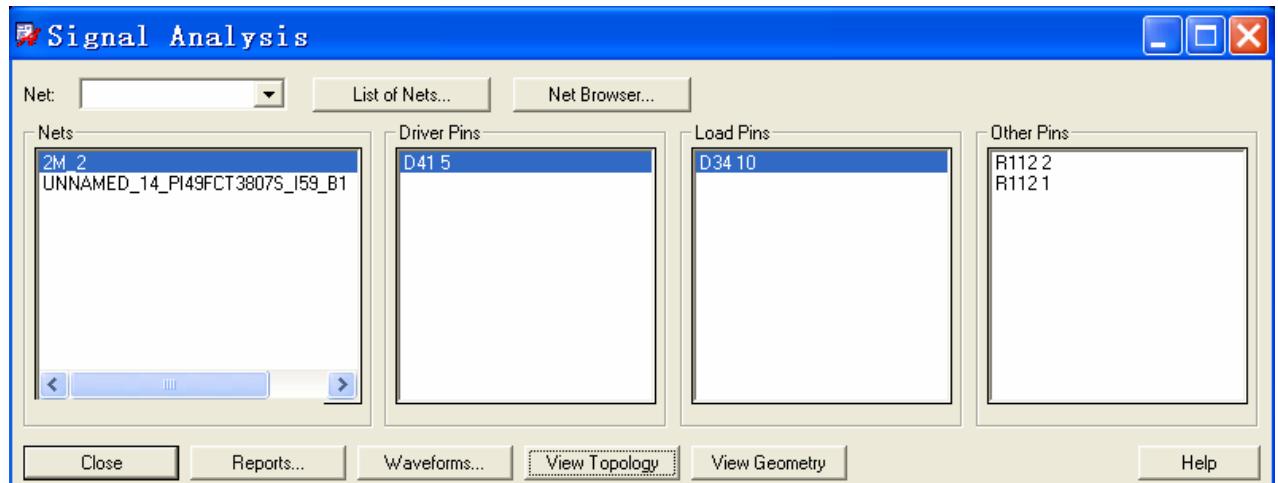


图 3-2 Singnal Analysis 界面

可以从以下几个途径来选择要进行仿真的网络：

1、Net 中直接输入网络名，同时该网络高亮。

2、点击 List of Nets...，选择你要仿真的*lst 文件，在 Nets 窗口出现所需仿真的网络名，同时该网络将高亮显示。

生成网络列表文件步骤如下：在 PCB SI 窗口中选择菜单 **Logic=> Create List of Nets**，弹出 **Create List of Nets** 窗口，如下图 3-3 所示。在 Create List of Nets 窗口的 **Net Filter** 栏中输入索引名，然后选择要加入的网络，在 **List file name** 栏输入网络列表的文件名，点击 **Save** 按钮，然后关闭 **Create List of Nets** 窗口。

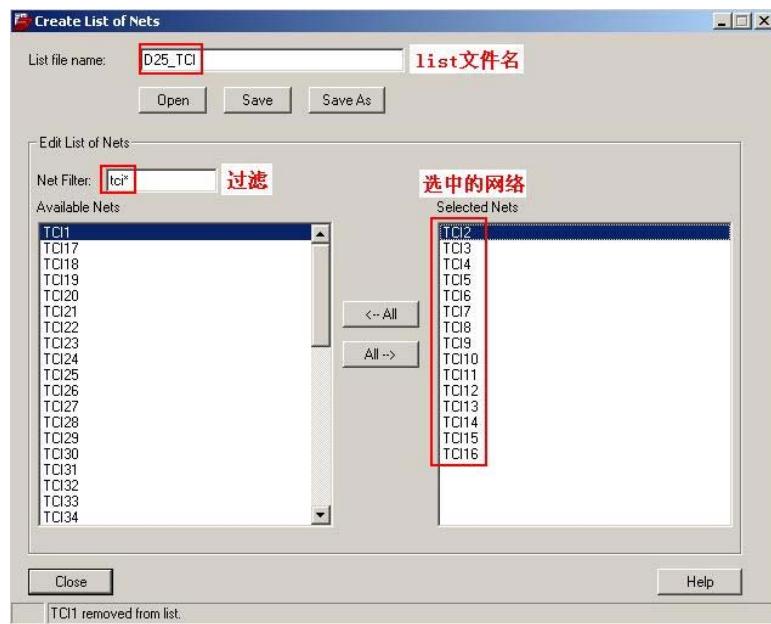


图 3—3 Create List of Nets 窗口

3、点击 Net Browser，出现网络过滤器，通过它可以选择网络。

4、最直接的方法是以鼠标点击所需仿真网络的飞线。

在选择所需的仿真网络后，所有的网络名出现在 net 窗口中，你需要选择当前仿真网络。对于某一个网络的仿真，你可以选择 Driver Pins（驱动脚）、Load Pins（负载脚）和 Other Pins（其它脚）。接下来就是选择仿真形式，你可以选择 Reports 报告形式、Waveforms 波形形式，也可以抽取拓扑到 **SigXplorer** 中对拓扑进行适当的编辑和仿真。在 **Signal Analysis** 窗口点击 **Report** 可以生成结果报告，点击 **Waveforms** 可以查看仿真波形，点击 **Topology** 可以提取拓扑结构进入 **SigXplorer** 中仿真。

对于 Report 和 Waveforms 这两种形式在后面的过程中有相关的讲述，下面是用抽取拓扑的方式到 **SigXplorer** 中仿真。

3.1.2 在 PCB SI 的 Constraint Manager 中抽取拓扑

1、选择菜单**Constraints=》Electrical Constraint Spreadsheet**或者点击工具栏图标“”打开约束管理器窗口。

2、左边的树状窗口选择 **Net=》Routing=》Wiring**，见下图所示：

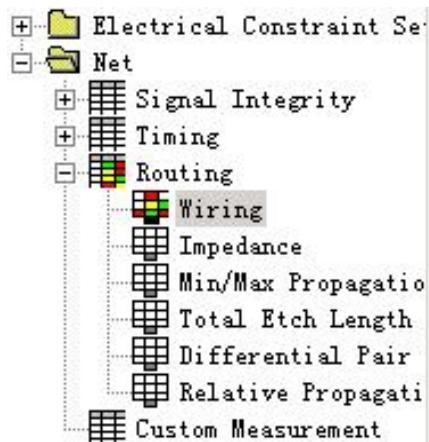


图 3-4 约束管理器窗口

3、选择菜单 **Tools=》 Options, Options** 的参数照下图设置（一般默认值就是如此）

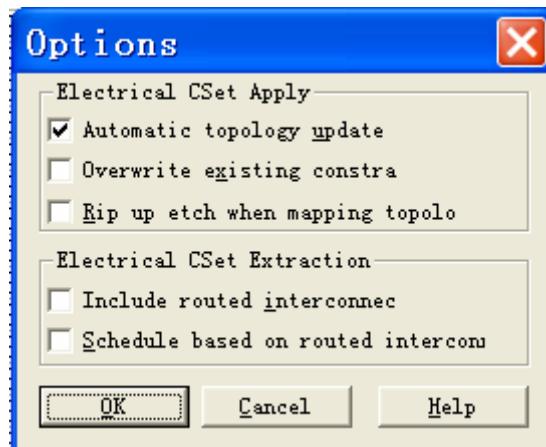


图 3-5 约束管理器的 Options 窗口

4、点击“**OK**”按钮关闭 Options 窗口。

5、在约束管理器右边的网络列表中找到并选择网络，点击右键在弹出的菜单中选择**SigXplorer**菜单选项，这样就用**SigXplorer**打开了所需仿真网络的拓扑模型，见下图：

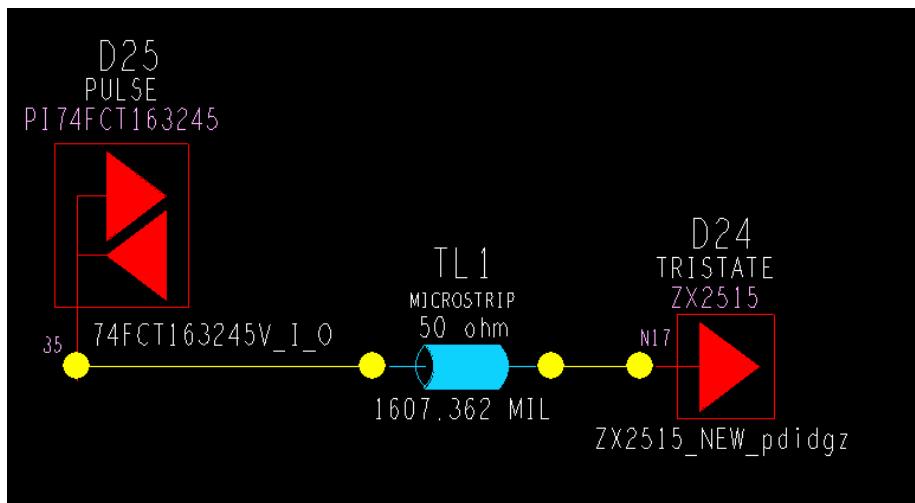


图3-6 仿真网络的拓扑模型

6、选择菜单 **File=》Save As**，输入文件名，保存一下提取的拓扑模型。

以上这 6 步骤的操作实例为： 拓扑提取. avi

3.2 改变 SigXplorer 中的电路参数

现在我们已经进入到 SigXplorer，它的界面如图 3-7 所示，在 SigXplorer 中我们开始进行拓扑结构的仿真。

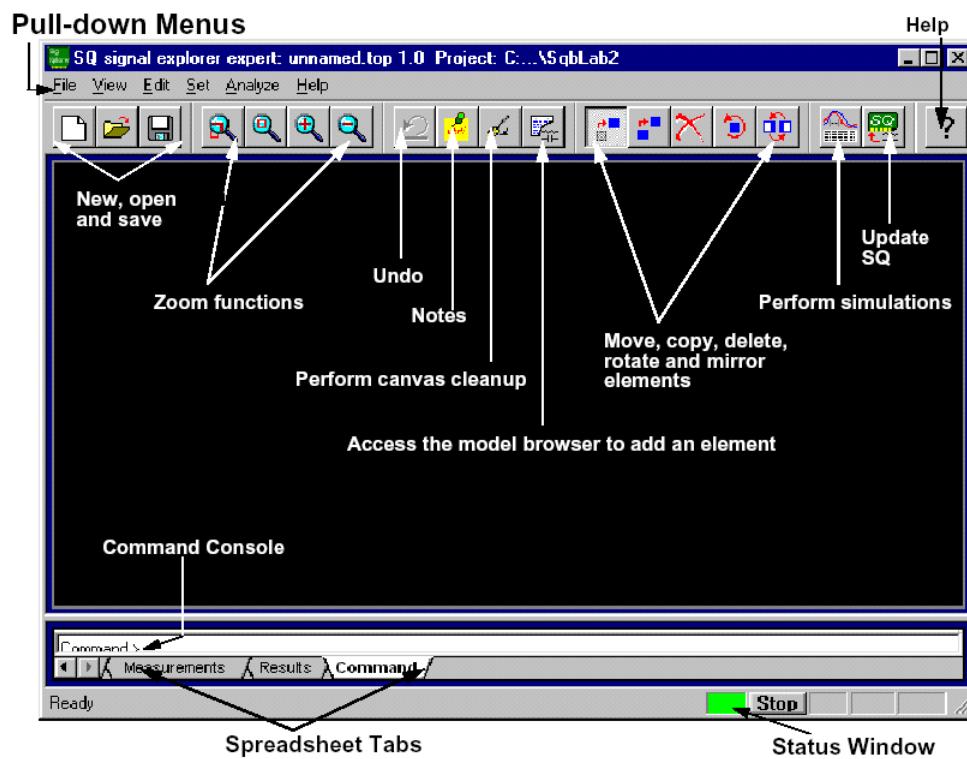


图 3-7 SigXplorer 630 界面

在界面的下方，有电子表格选项，包括 **Parameters**、**Measurement**、**Result**、**Command** 四个选项，可以根据需要在这四个选项中进行相应地选择。

拓扑图中的 **Parameters** 中的各个参数都是可以修改的，修改方法是在 **Peremeters** 标签栏中对相应的参数栏进行修改即可：

- 1、在**SigXplorer**的左下角的标签栏选取**Parameters**选项。
- 2、点击**CIRCUIT**前面的“+”号，打开下拉列表；点击板名前面的“+”号，打开下拉列表；点击传输线前面的“+”号，打开下拉列表，如下图3-8所示：

Name	Value	Count
CIRCUIT		1
tlineDelayMode	time	1
userRevision	1.0	1
ET1PCHF2		1
D24		1
D25		1
TL11		1
impedance	50 ohm	1
propDelay	0.288693 ns	1
traceGeometry	Microstrip	1
velocity	5567.72 mil/ns	1

Parameters Measurements Results Command

图3-8 拓扑参数 (ns单位)

Peremeters 标签栏中第一项 CIRCUIT 包含了两个参数：tlineDelayMode 和 userRevision。TlineDelayMode 表示在拓扑结构中传输线延时计算方式 time 和 length，time 表示以时间表示延时，length 表示以长度表示延时。

由于默认的信号延迟都是以时间ns为单位计算的，通常我们将它换算成长度看起来直接一些，鼠标左键点击**tlineDelayMode**行的**Value**值**time**，点击右边出现的小箭头选择**length**，然后按**TAB**键切换，这时拓朴参数变成下图所示的样子：

Name	Value	Count
CIRCUIT		1
tlineDelayMode	length	1
userRevision	1.0	1
ET1PCHP2		1
D24		1
D25		1
TL11		1
impedance	50 ohm	1
length	1607.362 MIL	1
traceGeometry	Microstrip	1
velocity	5567.72 mil/ns	1

Parameters Measurements Results

图 3-9 提取的拓扑参数（长度单位）

以上步骤的操作实例为：[改变拓扑的参数单位. avi](#)

在 Circuit 下的 userRevision 表示目前的拓扑版本，第一次一般是 1.0，以后修改拓扑时可以将此处的版本提高，这样以后在 Constraint Manage 里不用重新赋拓扑，只要升级拓扑即可。

3.3 SigXplorer 中的仿真参数设置：

同样，在SigXplorer中对具体的拓扑进行仿真时，还需要对一些相关参数进行设置，有些参数在PCB SI中已经设置了，在SigXplorer中要进行确认。

选择菜单>Analyze=》Preference打开Analysis Preferences窗口，参照下列图表对各个标签栏进行设置：

Pulse Stimulus标签栏：

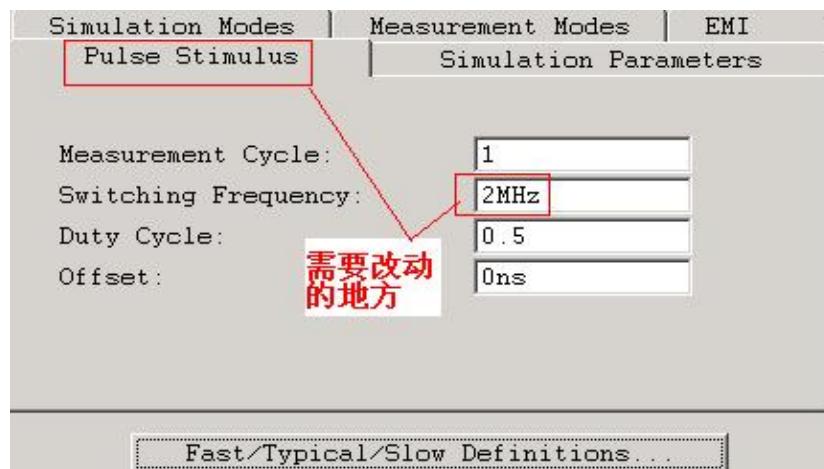


图3-10 仿真参数Pulse Stimulus标签栏

- **Measurement Cycle:** 设置仿真器在第几个周期进行参数测量。一般情况下，由于驱动器的瞬态效应，我们对于时钟信号从第三个周期进行测量，对于其它的信号从第一个周期进行测量。
- **Switching Frequency:** 开关频率或称为脉冲频率。该值决定了在设置激励源为 PULSE 时所使用的频率值，该值我们通常设置时钟的频率。
- **Duty Cycle:** 占空比，缺省设置为 0.5。
- **Offset:** 脉冲偏移量，用来控制主网络驱动器与相邻网络驱动器之间的激励时间差。如果该值为正，则相邻网络驱动器在主网络驱动器之后产生激励。

(注：对于Fast/Typical/Slow Definitions...中的各项设置不要轻易修改，Cadence中的缺省设置是针对最恶劣条件下的参数组合。)

Simulation Parameters 标签栏：



图3-11 仿真参数Simulation Parameters标签栏

- **Fixed Duration:** 指定仿真的持续时间长度。如果这个值未确定，则仿真器动态的为每一次仿真选择时长。当该值确定时，仿真运行的时间就为该项中所确定的固定时间长度。这项值的大小与波形文件的大小成正比。如果我们需要仿真的是 2M 信号，一个周期应该是 500ns ($\tau = 1/f = 1/2 \times 10^6 = 5 \times 10^{-7} s = 500 ns$)，所以我们设成 600ns，表示一个周期多一点。
- **Waveform Resolution:** 波形分辨率，决定仿真过程中产生波形的采样数据点的多少。使用 Default 时，分辨率为传输线长的 1/100。通常我们要求分辨率为最短传输线的 1/10。
- **Cutoff Frequency:** 表明互连线寄生参数提取所适应的频率范围，缺省为 0GHz。在对 IBIS 的 PACKAGE 等寄生参数进行 RLGC 矩阵提取时，为了不考虑频率的影响将截止频率设为 0，此时的矩阵不依赖于频率，并且提取速度较快，但精度稍差。当设置了截止频率后，RLGC 矩阵将是综合矩阵，它将基于频率的参数影响，考虑了频率参数影响的 RLGC 矩阵具有较高的精度，但提取速度较慢。如果对该值设置，一般建议设置该值不要超过时钟频率的三倍。如果没有特殊要求通常设置为 0 即可。

- **Buffer Delays:** 缓冲器延时选择。缓冲器延时有两种选择：**On-the-fly** 和 **From library**。**On-the-fly** 是根据测试负载的参数计算出 **Buffer Delay** 曲线，**From library** 是从库中获取。在实际应用时，我们均是通过器件的 **DATASHEET** 查出测试条件由软件自动计算出 **Buffer Delay** 曲线，因此，这项值的内容通常设为 **On-the-fly**。
- **Save Sweep Cases:** 当选择时指明保存仿真波形和环境数据。
- **Simulator:** 选择仿真器，包括 Tlsm 和 Hspice 两种，一般选择 Tlsm。

Simulation Modes 标签栏：

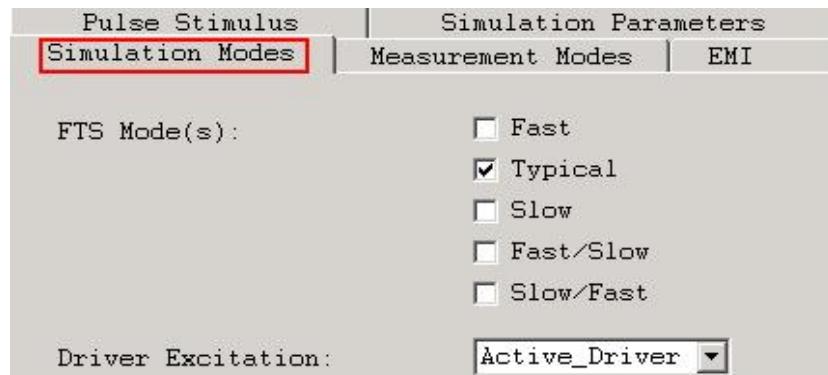


图 3-12 仿真参数 **Simulation Modes** 标签栏

- **FTS Mode(s):** 设置 **Fast**、**Typical**、**Slow** 及其组合仿真模式。

Fast: 以快模式进行仿真。

Typical: 以典型模式进行仿真。

Slow: 以慢模式进行仿真。

Fast/Slow: 驱动器使用快模式，接收器使用慢模式。

Slow/Fast: 驱动器使用慢模式，接收器使用快模式。

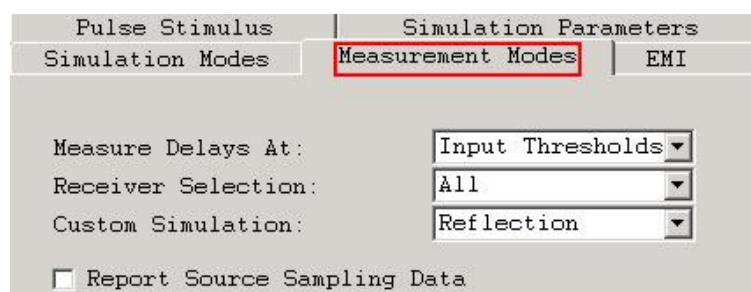
为了在 **Worst Case** 下仿真，我们一般选择 **Fast** 和 **Slow** 两种模式进行仿真，最后两种模式

Fast/Slow 和 **Slow/Fast** 因为在实际中不容易遇到，所以我们一般不选。

- **Driver Excitation** 驱动的激励方式

Active Drive: 以设定的激励源为驱动端，仅将拓扑中指定的驱动源作为驱动端进行一次仿真。

All Drivers: 如果是双向驱动和接收的话，两个方向分别作为驱动端进行仿真，即当作为驱动时仿真一次；当作为接收端时再仿真一次，每个能作为驱动源的器件作为驱动轮流仿真一次。

Measurement Modes标签栏：图 3-13 仿真参数 **Measurement Modes** 标签栏

- **Measure Delays At:** 延时测量的参考点，有两种选择：**Input Thresholds**（输入门限值）和 **Vmeas** 表示以输出 Buffer 的参考电压进行测量的。通常选择 **Input Thresholds**。
- **Receiver Selection:** 接收器选择。有两种选择：**All**（表示所有非驱动的器件都作为接收）和 **Select One**（在仿真开始时它会让你选择其中的一个作为接收源）。根据需要选择，通常选择 All。
- **Custom Simulation:** 仿真内容。包括：**Reflection**（反射仿真）、**Crosstalk**（串扰仿真）和 **EMI**（电磁干扰仿真）。
- **Report Source Sampling Data:** 确定是否报告源采样数据。

点击**OK**按钮关闭**Analysis Preferences**窗口。

3.4 SigXplorer 中的仿真过程：

- 1、在发送端IOCell模型的**TRISTATE**上点击一下，在弹出的下面窗口中选择**Pulse**选项：

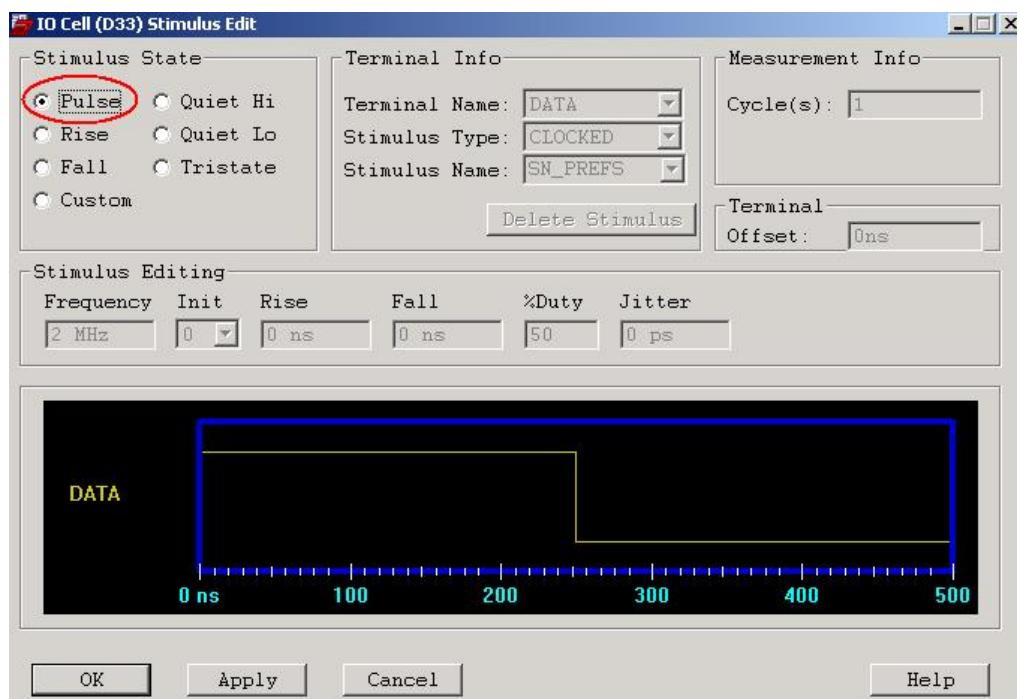


图3—14 设定激励端

Stimulus State 组合框：

- **Pulse**: 表示激励信号为连续脉冲方波，就是时钟源性质的波形，如果选择 Pulse，整个界面中的其他选项是灰的，不允许再选。
- **Rise**: 表示激励信号为上升沿。
- **Fall**: 表示激励信号为下降沿。
- **Quiet Hi**: 表示激励信号为恒高。
- **Quiet Lo**: 表示激励信号为恒低。
- **Custom**: 表示激励信号由该界面中的参数定制，此时界面中的其它参数将可设定。
- **Tristate**: 表示三态。通常接收端设为该状态。

其它组合框只有在 Custom 状态时可用。一般对于 **干扰源**: pulse, rise, fall; 被 **干扰对象**: Quite Hi, Quite Lo; **接收器**: Tristate

Terminal Info 组合框：

- **Terminal Name**: 表示仿真信号的类型，有 Data 和 Enable 两种。Data 为要仿真的数据信号，Enable 为使能信号，当 Enable 为高时，仿真有效；当为低时，为激励源断开终端时的仿真结果。
- **Stimulus Type**: 表示激励类型。

- **Stimulus Name:** 取的激励信号名。

Measurement Info 组合框：

- **Cycle(s):** 表示在第几个周期测量数据。

Terminal 组合框：

- **Offset:** 仿真信号相对于时钟的延时。

Stimulus Editing 组合框：

- 该框设置时钟信号的频率(Frequency)、样式(Pattern)和抖动(Jitter)。

2、点击**OK**按钮关闭图3-14的设定激励窗口。

3、在**SigXplorer** 窗口最底端选择**Measurements** 标签，点击**Reflection** 前面的“+”号打开测量反射参数的列表，在弹出菜单中选择需要测量的反射参数。

5、选择菜单**File=》Save**，保存一下拓朴模型。

6、在图标工具栏点击“”进行仿真。

与反射相关的参数简介：

● **BufferDelayFall:** 如图 3—16 所示。就是 **BufferDelay** 曲线从高电平下降到测量电压值 **Vmeas** 时的延时值。**BufferDelay** 曲线是软件根据模型库中测试负载参数计算得到的，测试负载参数必须根据器件的 **DATASHEET** 手册得到，不能使用 **IBIS** 模型文件中缺省参数，原因是我们在进行时序分析时器件的各种延时参考数据都是从 **DATASHEET** 中得到，而该数据是以 **DATASHEET** 中的测试负载为依据的。

- **BufferDelayRise:** 如图 3—15 所示。就是 **BufferDelay** 曲线从低电平上升到测量电压值时的延时值。
- **FirstIncidentFall:** 第一次开关下降时间。
- **FirstIncidentRise:** 第一次开关上升时间。
- **Monotonic:** 输入波形的单调性检查，如果上升或下降沿中有非单调性现象，则检查结果为 **False**。单调性如图 3—18 所示。
- **MonotonicFall:** 输入波形上升沿的单调性检查。

- **MonotonicRise:** 输入波形下降沿的单调性检查。
- **NoiseMargin:** 噪声容限。如图 3—17 所示。该值在 **Result** 中报告的是 **NoiseMarginHigh** 和 **NoiseMarginLow** 中的最小值。
- **NoiseMarginHigh:** 高电平噪声容限。是从 **VIH Min** 到超过 **Vin Min** 电压后震荡波形的最低点的电压差。
- **NoiseMarginLow:** 低电平噪声容限。是从 **VIL Max** 到低于 **VIL Max** 电压后震荡波形的最高点的电压差。
- **OvershootHigh:** 高电平过冲。如图 3—17 所示。以 0V 为参考点，上升波形的最高点电压值。
- **OvershootLow:** 低电平过冲。如图 3—17 所示。以 0V 为参考点，下降波形的最低点电压值。
- **PropDelay:** 如图 3—15 所示。它是传输线的传输延时值。
- **SettleDelay:** 是 **SettleDelayFall** 和 **SettleDelayRise** 两者最大值。
- **SettleDelayFall:** 如图 3—16 所示。它是从 **BufferDelay** 下降沿的 **Vmeas** 点开始到接收波形下降曲线最后一次穿过低电平阈值时的延时值。
- **SettleDelayRise:** 如图 3—15 所示。它是从 **BufferDelay** 上升沿的 **Vmeas** 点开始到接收波形上升曲线最后一次穿过高电平阈值时的延时值。
- **SwitchDelay:** 是 **SwitchDelayFall** 和 **SwitchDelayRise** 两者最小值。
- **SwitchDelayFall:** 如图 3—16 所示。它是从 **BufferDelay** 下降沿的 **Vmeas** 点开始到接收波形下降曲线第一次穿过高电平阈值时的延时值。
- **SwitchDelayRise:** 如图 3—15 所示。它是从 **BufferDelay** 上升沿的 **Vmeas** 点开始到接收波形上升曲线第一次穿过低电平阈值时的延时值。

以上参数中，**Monotonic**、**MonotonicFall**、**MonotonicRise**、**NoiseMargin**、**NoiseMarginHigh**、**NoiseMarginLow**、**OvershootHigh**、**OvershootLow** 与信号完整性有关，其它的与时序仿真有关。

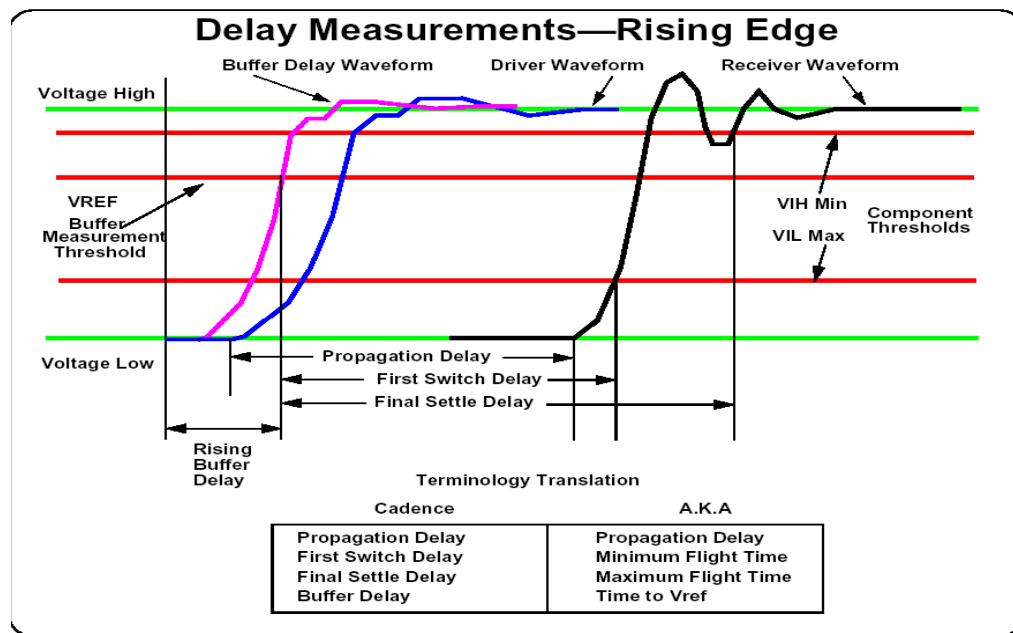


图 3-15 延迟测量参数（上升沿）

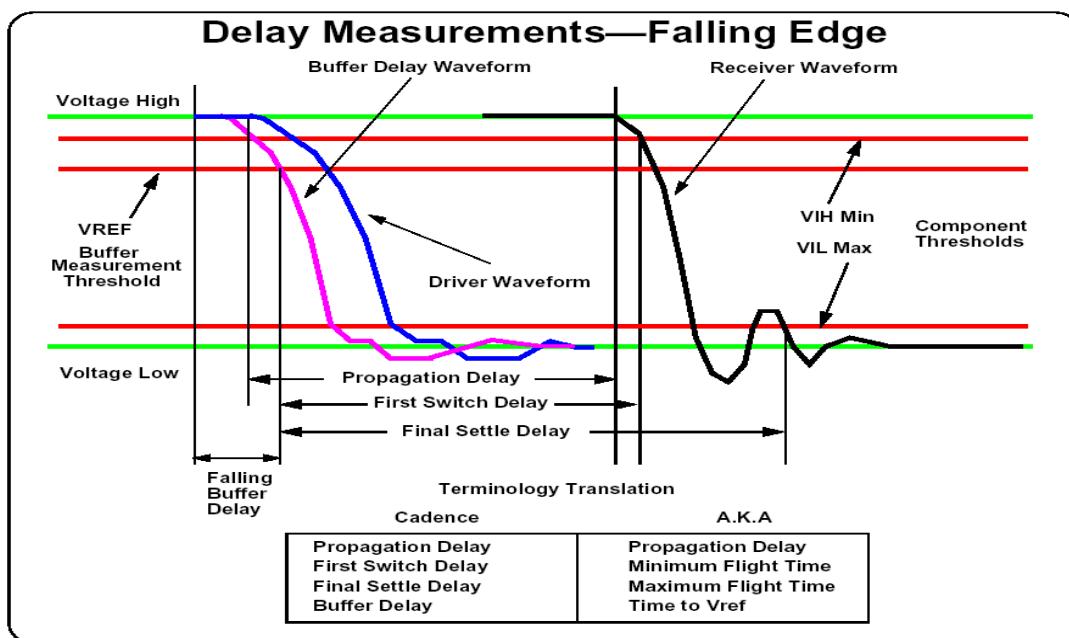


图 3-16 延迟测量参数（下降沿）

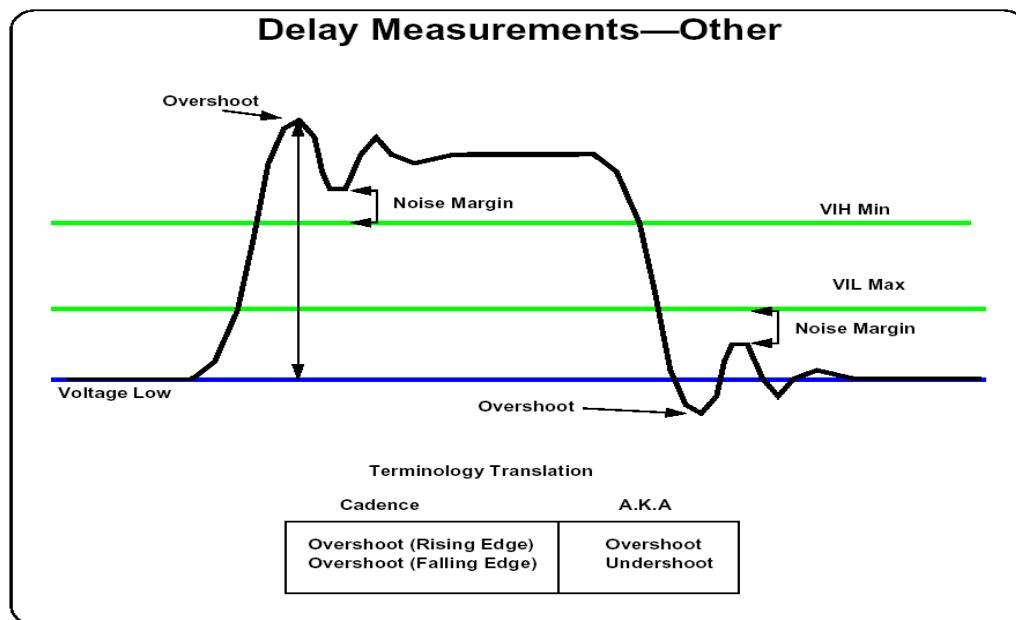


图 3-17 噪声容限测量

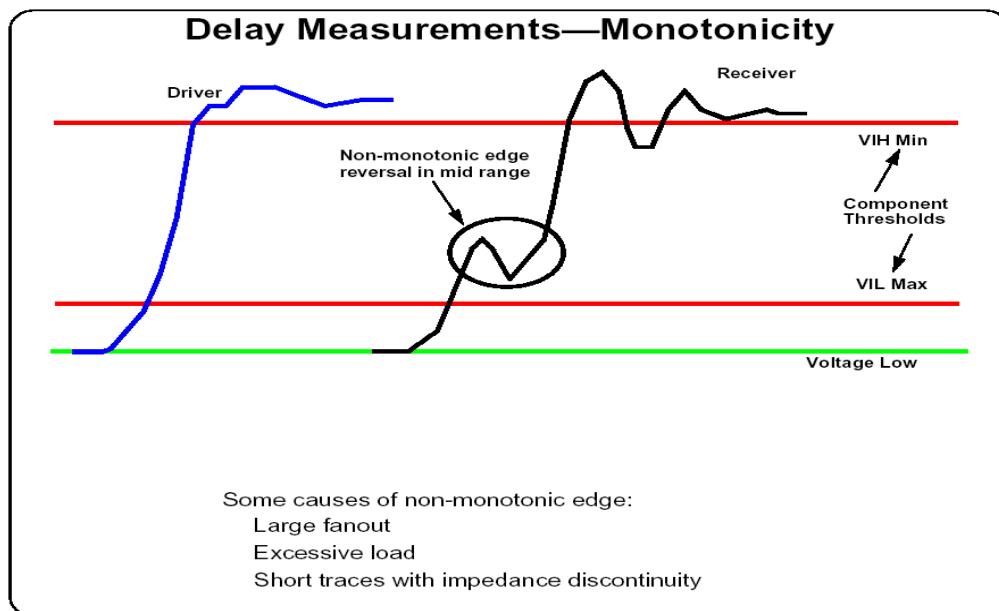


图 3-18 单调性测量

3.5 SigWave 的使用简介

点击 “” 进行仿真后，Cadence 会自动打开下面的 SigWave 仿真波形窗口：

对左边的一些波形的名称举例解释如下：

- D24 N17 表示拓扑中 D24 器件 N17 Pin 处的波形；

- D24_N17_buffdly 表示接测试负载时 N17 Pin 处的波形；
- D24_N17_buffdlyi 表示接测试负载时 N17 Pad 处的波形；
- D24_N17i 表示拓扑中 D24 器件 N17 Pad 处的波形；

注意对于 buffdly 和 buffdlyi 的波形只有驱动端才有，对接收端，都只有输入端 Pin 与 Pad 的两个波形。

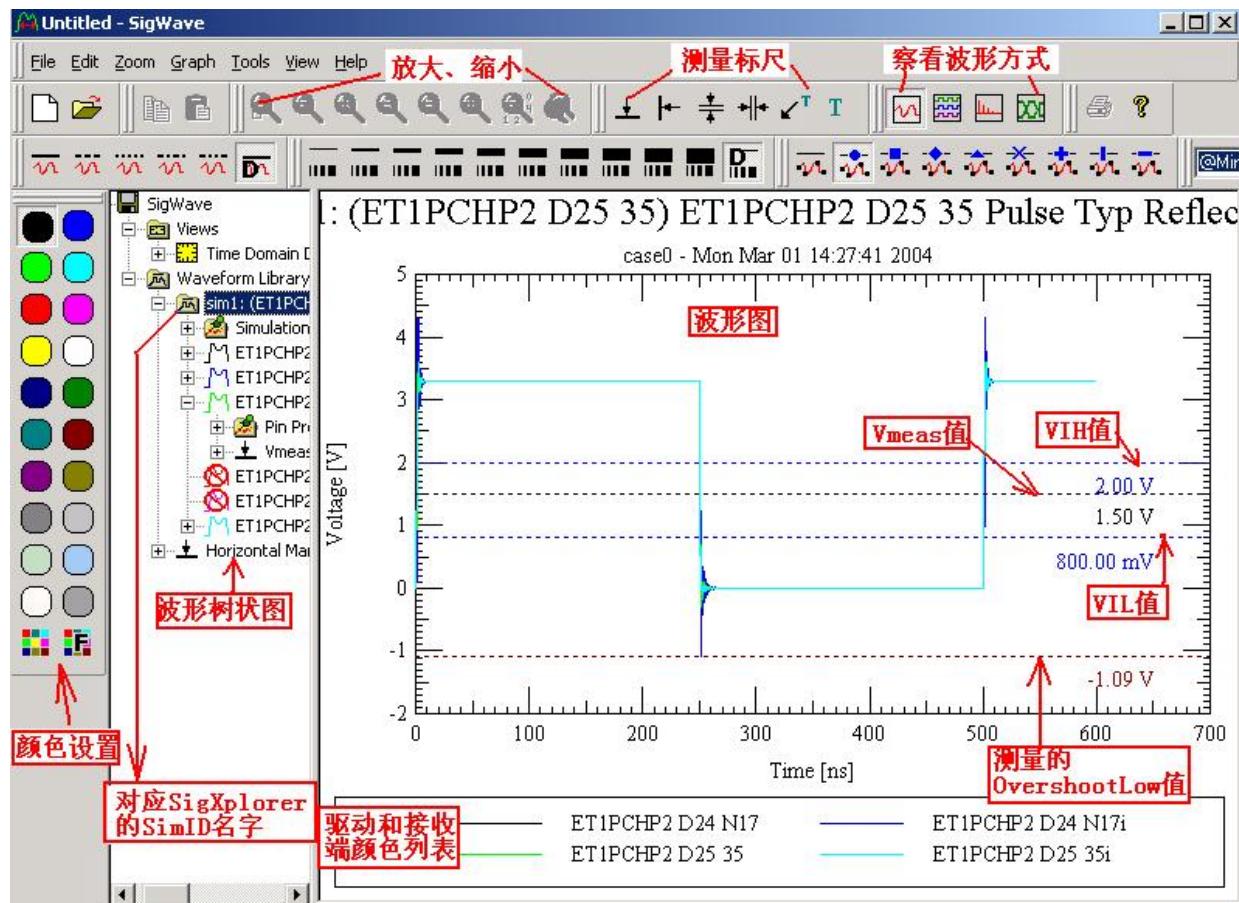


图 3-19 SigWave 仿真波形窗口

- 通过选择水平标尺 “” 我们可以很方便的测量出 **OvershootHigh** 和 **OvershootLow** 等等。
- 通过选择水平相对标尺 “” 我们可以很方便的测量出 **NoiseMargin** 等等。
- 通过选择垂直标尺 “” 我们可以很方便的测量出 **BufferDelayRise** 和 **BufferDelayFall** 等等。
- 通过选择垂直相对标尺 “” 我们可以很方便的测量出 **PropDelay** 等等。

这些值在 **SigXplorer** 的下边的 **Results** 标签栏中都有具体的结果，上边只是介绍一下如何在 **SigWave** 中进行测量的方法。

3.6 手工建立和调整拓扑

3.6.1 手工建立和调整拓扑的作用

上次我们讲述了自动提取拓扑在 SigXplorer 中进行仿真的过程，但当我们还没有 PCB 时，有时需要选择器件，并对方案进行评估，这时就需要手工建立拓扑。手工建立拓扑就是通过手工从模型库中调入相应器件的模型和互连线模型建立任何需要的拓扑结构，手工建立拓扑后的仿真过程与前面所述一致。

还有，如果从仿真结果看出信号的质量不理想，就需要调整拓扑结构来改善仿真结果，如加上匹配电阻等，同样调整拓扑结构也是用手工的办法。

如果对拓扑结构进行了调整，如加上匹配电阻后，要在原理图上作相应的更改，并且将其反映到 PCB 上。

3.6.2 手工建立和调整拓扑的过程

手工建立和调整拓扑是在 **SigXplorer** 中进行，启动 **SigXplorer** 有多种方式：

- 1) 在开始菜单中执行 Start ->Program ->Allegro SPB 15.2 ->SigXplorer
- 2) 在 PCB SI 中执行 Tools->Topology Editor
- 3) 在 Constraint Manager 中执行 Tools ->SigXplorer

用第一种方法启动后出现如图 3—20 界面：



图 3-20 SigXplorer Product Choices 界面

选择 Allegro PCB SI 630 选项，进入 SigXplorer 界面。

在 SigXplorer 中执行 Edit ->Add Part...命令，启动 Model Browser 界面，如图 3—21 所示。

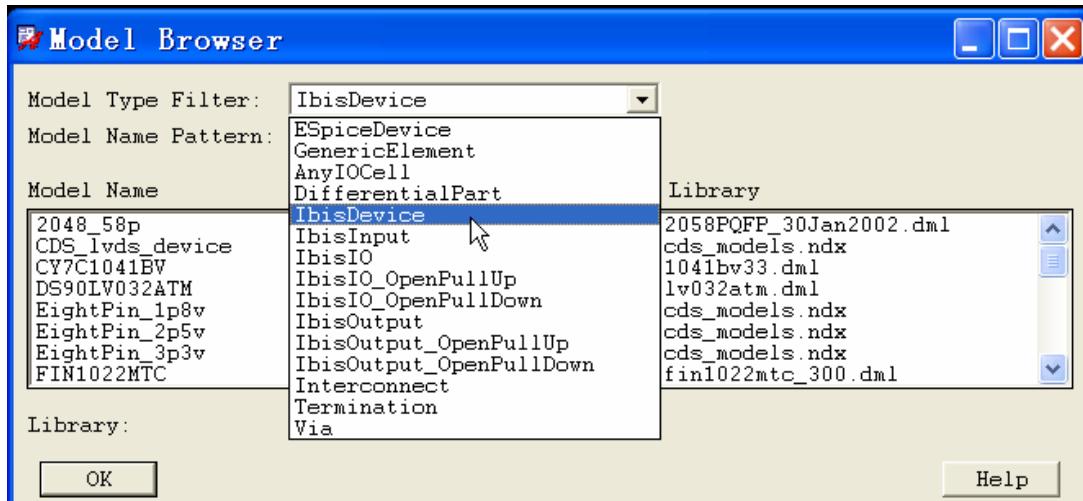


图 3-21 Model Browser 界面

5、Model Type Filter: 列出了各种可用的模型类型。

6、Library: 列出了在当前模型类型中可用的模型名。如图 3-21 中在 IbisDevice 模型类型中，库里包含了 2048_58p、CY7C1041BVT 等器件模型。

对于 IbisDevice 模型类型，Library 中列出的是器件模型名，各个器件的 PIN 有其对应的 IOCell 模型，因此选择其中的模型名后会出现 Select IBIS Device Pin 界面，如图 3-22 所示。

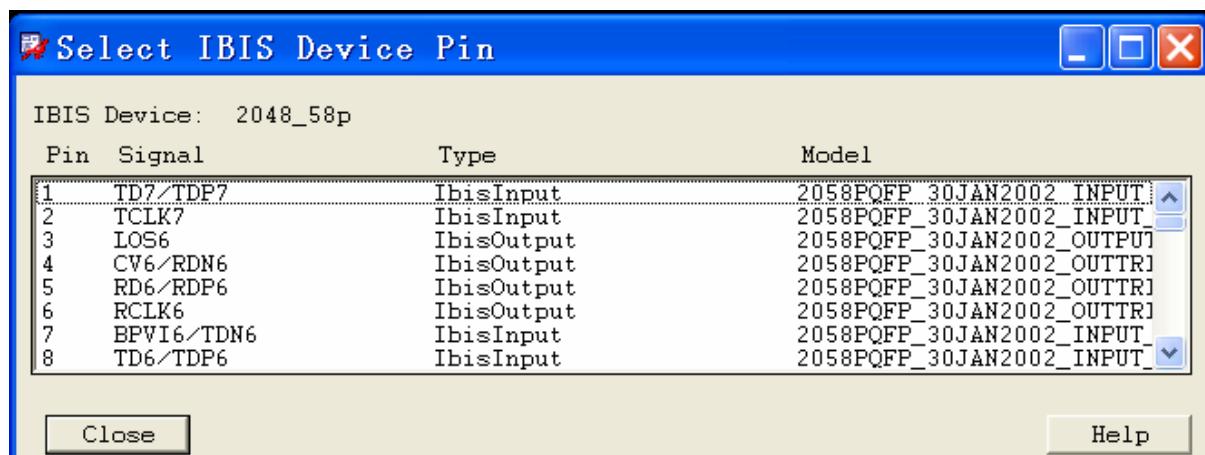


图 3-22 Select IBIS Device Pin 界面

对于 Interconnect 模型类型，其包含了两种类型传输线模型：结构型和理想型。如图 3-23 所示。

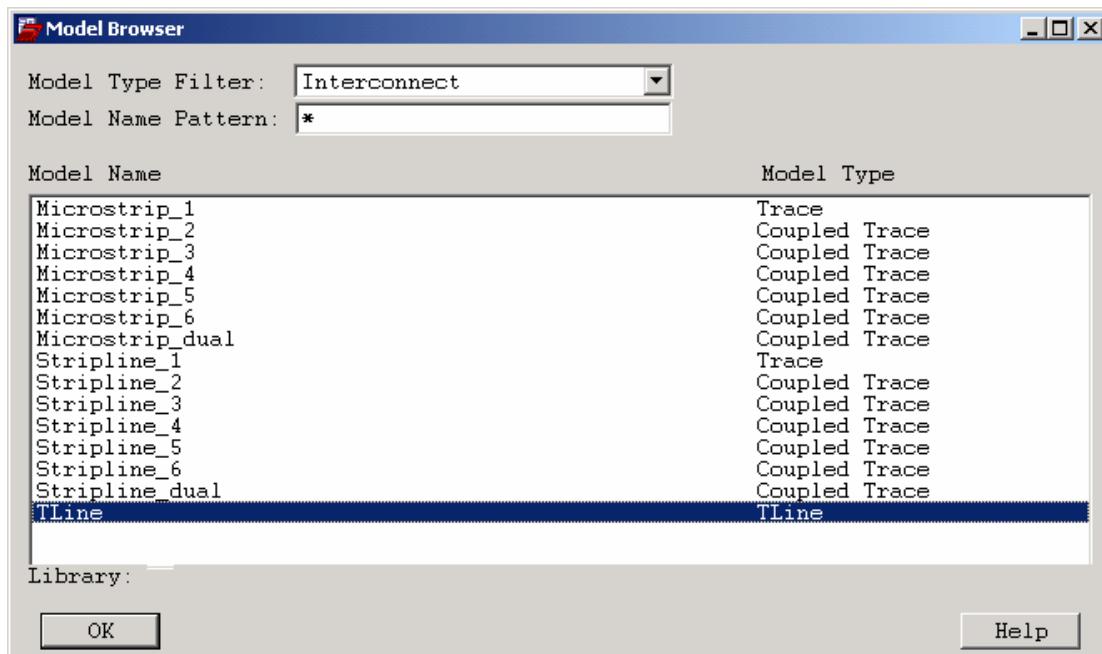


图 3-23 传输线选择

Tline 为理想传输线模型，其它为结构型传输线模型。理想传输线只考虑理想传输延时和理想特征阻抗。结构型传输线则考虑了分布参数特性。其形状如图 3-24 所示。



图 3-24 传输线形状

下面简单地说明建立和修改一个拓扑结构的过程：

1、通过上面介绍的方法，在 SigXplorer 中执行 Edit->Add Part... 命令或点击“”按钮，在工作区放置 ZX2515_NEW_PDB08DGZ、74FCT1632455V_I_O 两个 IOCell 模型和 Resistor 以及 TL1、TL2 两段传输线，Resistor 可以手工新建也可以使用 GenericElement 中 Resistor 模型，传输线模型可以从 Interconnect 中 Tline 模型获得。添加电阻的界面如下图所示：



图 3-25 添加电阻窗口

- 2、选择图标工具栏的“”按钮，将模型移动到合适的位置，还可以通过界面中的 Copy、Delete、Rotate、Mirror 等功能对模型进行操作。
- 3、通过线将各个模型连接起来就手工建立了拓扑，图中线的连接方法是：单击起点，然后双击终点即可。这种连线没有任何电气特性，只表示连接关系。左键点击 IOCell 模型与传输线之间的连线就可以自动删除连线。
- 4、选择图标工具栏的“”按钮将修改后的拓扑模型整理一下，变成如下图所示：

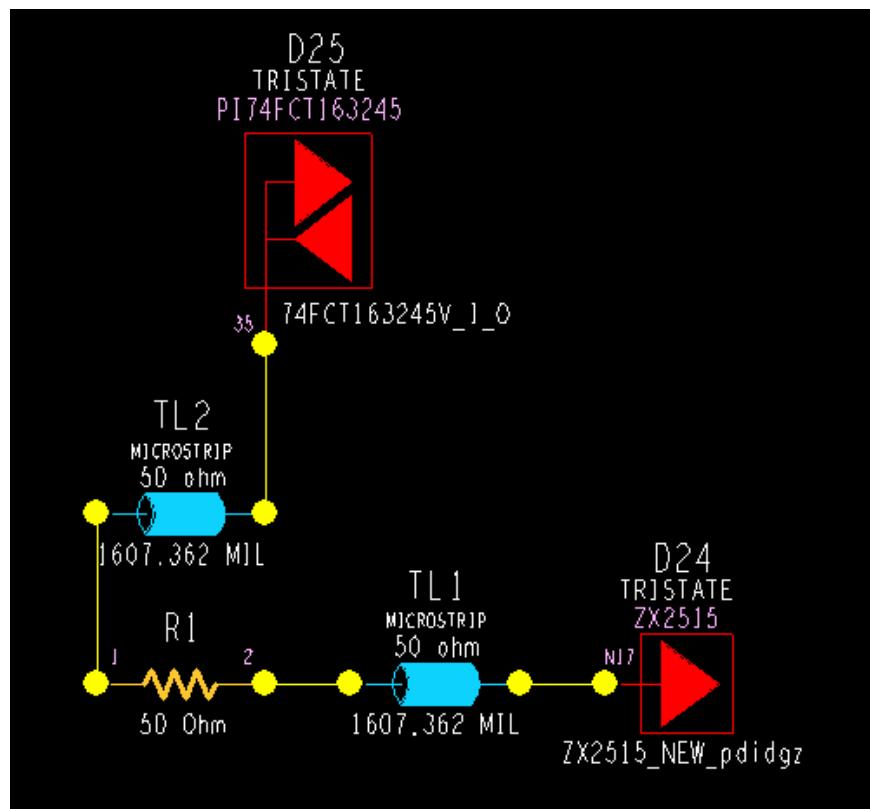


图 3-26 修改之后的拓扑模型

手工建立和修改拓扑结构的操作请参照下面的添加串联电阻和并联电阻的实例：

[修改拓扑结构（串联电阻）.avi](#)

[修改拓扑结构（串联电阻）.avi](#)

3.7 仿真不同的参数值

我们如果想确认拓扑结构上的电阻值或长度是否合适，这就需要我们仿真不同的参数值，在这里我们以不同的电阻值举例说明。以 50Ω 为参考点（一般以线路的特征阻抗为参考），再选择了三个阻值运行仿真： 45Ω 、 50Ω 和 55Ω ，看哪个值更好，每次增加 5Ω ，共需要仿真 3 次。当然，如果有必要的话我们可以扩大阻值的仿真范围，比方说 $30\Omega \sim 70\Omega$ ，每次增加 5Ω ，共需要仿真 9 次等。

我们看一下仿真 3 次的情况，即阻值分别为 45Ω 、 50Ω 和 55Ω 的情况，操作步骤如下：

- 1、在 SigXplorer 中，鼠标点击电阻的值“**50OHM**”的地方（下面 **Parameter** 标签的电阻项被激活）；
- 2、点击电阻 **value** 项的小箭头 “**50 Ohm** ”，弹出 **Set Parameter: resistance** 窗口
- 3、选择 **Linear Range**，参照下图进行设置，设置好之后按 **OK** 按钮关闭 **Set Parameter: resistance** 窗口

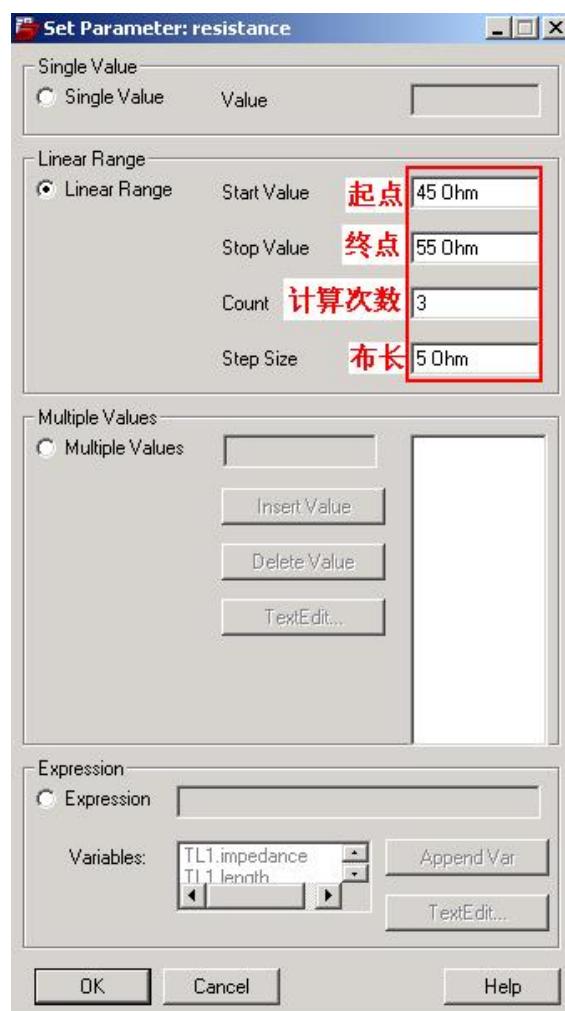


图 3-27 电阻值 Linear Range 设置方法

当然除了选择 Linear Range 以外，我们还可以使用 Multiple Values 方法进行设置阻值，Multiple Values 就是输入确定的几个值，与图 3-27 等效的方法见下图 3-28：



图 3-28 电阻值 Multiple Values 设置方法

4、选择图标工具栏的“”按钮进行仿真，出现如下 Sweep Sampling 窗口（对于今后复杂的拓扑结构，如果仿真的次数较多时，为了节省时间，可以将仿真的百分比降成 50%或者 10%）。

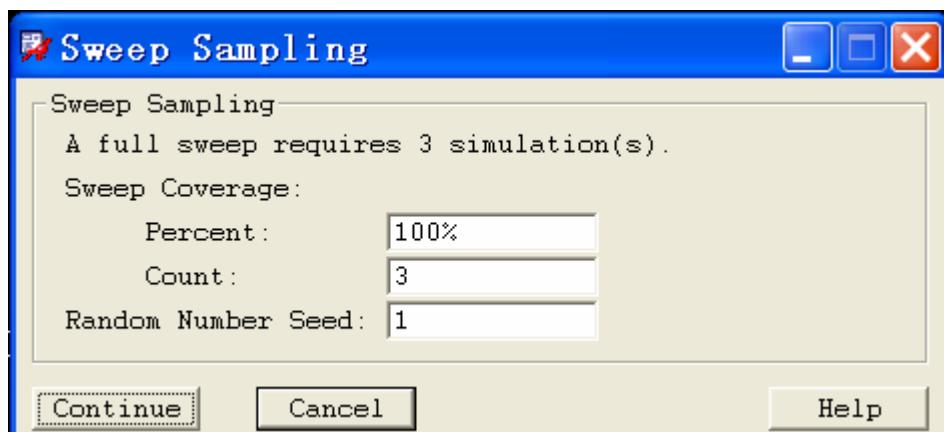


图 3-29 Sweep Sampling 窗口

5、点击“Continue”进行仿真。仿真结果将在 Result 表单中以表格的形式报告，如图 3-29 所示。也可以观察波形，在相应行中单击右键执行 View Waveform 命令启动 Sigwave 窗口。

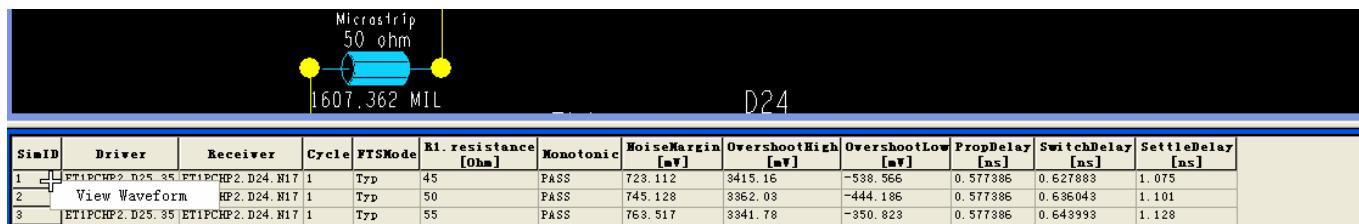


图 3-30 仿真结果

6、由仿真结果可知，信号的过冲减小了很多，加上 50Ω 和 55Ω 和情况差不多， 45Ω 的情况较差一点，那么电阻值就定为 50Ω 。仿真结束后，选择菜单 File=》Save，保存拓扑结构。仿真的结果我们可以通过选择菜单 File=》Export=》Spreadsheet...输出成 Excel 格式的文件，方便做结果对比等等。最后选择菜单 File=》Exit 退出。

匹配电阻的阻值要根据经验，反复尝试，除了要看仿真波形来确定阻值是否合适外，还要看是否有这样阻值的电阻，做到折衷考虑。对于源端匹配来说，应该使匹配电阻尽量靠近源端，靠的越近，匹配效果越好，这可以从仿真波形上得到直观的认识。按照仿真结果，要更新原理图，在原理图中增加相应的匹配电阻。同样按上面的步骤我们还可以添加并联电阻、电容、电感或者戴维宁等端接器件。

如果需要调整其它参数，如线长等，也是按照上面同样的步骤，用鼠标点击 Tline 长度，然后根据不同的长度进行仿真。

仿真后，将拓扑结构存为*.top 文件。

通过以上的仿真过程，可以看出即使对于简单的网络，也可以通过仿真及早的发现问题，从而及时地解决问题。如果不仿真，我们可能就不加匹配电阻，而是直接将其连接，这样做也许在实验室调试时不会出现什么问题，因为仿真时设定的是最恶劣的工作情况，而实验室的情况相对要好的多，但对于板子的长期稳定性及性能优化来说，仿真无疑是我们方便、快捷、行之有效的解决途径。同时我们通过以上的例子，可以体会到，仿真的过程中对匹配电阻阻值的设定，各段 Tline 长度的设定要根据实际情况折衷考虑，因为毕竟只是仿真，它和实际情况肯定有差距，仿真结果不会是绝对精确的，而只能是更趋向于精确。

第四章 时序仿真

上面的两章主要是针对信号完整性来进行的仿真，时序的仿真过程与上述的是一致的，但时序还涉及到很多概念与数据计算，在这一章中主要讲述时序仿真的一些概念。

4.1 时序(TIMING)的一些参数

Cadence 所完成的时序仿真是建立在“Solution Space”的设计思想上的。所谓“Solution Space”就是通过分析电路原理、器件手册等资料得出一个理论的最恶劣条件下的时序最大可用空间，然后通过 Cadence 仿真软件计算出在满足该理论时序时对器件布局和布线的约束要求。在实践中我们总结了一张时序参数表格，如图 4-1 所示（该表中的计算公式只是一种典型的时序分析，对于一些特殊的时序分析要根据具体情况定，但思想方法是一样的，有些参数在第四章已经作了说明）。该表中行 4-24 为理论参数，一般从器件手册中查找得到，行 25-27 为计算的理论结果，行 28、29 为仿真结果。下面结合该表介绍时序仿真过程。

	A	B	C	D
4	TOP NAME	d_1_dqm-2		
5	Timing	NODES NAME1	NODES NAME2	NODES NAME
6	From:	d7.r24	d7.r24	
7	To:	d12.71	d12.16	
8	Signaling Type	S.Sync	S.Sync	
9	Vil/Vih	0.8/2.0	0.8/2.0	
10	Tsetup	1.5	1.5	
11	Thold	1	1	
12	Vmeas	1.5	1.5	
13	Tcomin@	1	1	
14	Testload	20pf/0v/1meg	20pf/0v/1meg	
15	Tcomax@	4	4	
16	Testload	20pf/0v/1meg	20pf/0v/1meg	
17	Ref CLK Name	d_1_clk1	d_1_clk1	
18	Clock Cycle Time	6.02	6.02	
19	Tjitter	0.1	0.1	
20	Tskew	0	0	
21	Tft_clk_fast(p_in_sd)	0.06	0.06	
22	Tft_clk_slow(p_in_sd)	0	0	
23	Design Margin Fast	0	0	
24	Design Margin Slow	0	0	
25	Tflight_time_min>	0.06	0.06	
26	Tflight_time_max<	0.42	0.42	
27	Tflight Time Space	0.36	0.36	
28	Switch delay@fast			
29	Settle delay@Slow			

图 4-1 时序参数表格

- 7、 **TOP NAME:** 是我们对要仿真的拓扑取的名字。该名字最好与相应的网络名相关。
- 8、 **From** 和 **To:** 该两行分别填写驱动器和接收器的管脚号。采用：位号：管脚号格式。
- 9、 **Signaling Type:** 信号类型。对于信号类型我们定义为三种：源同步、外同步和异步。
在 4.2 和 4.3 中会对这两种方式分别进行仿真过程介绍。
- 1) 源同步：源同步也即是同步时钟由发送数据或接收数据的芯片提供。如图 6—2 所示。该图是 48520 与 SDRAM 的连接关系。①为源同步时钟，由 48520 提供；②为地址总线由 48520 提供，单向；③为数据总线，双向。
- 2) 外同步：外同步也即同步时钟的提供既不是数据发送芯片也不是数据接收芯片，而是由另外的时钟芯片提供。如图 4—2 所示。
- 3) 异步：顾名思义是该信号没有时序要求。对于此类信号也就不存在时序仿真问题。

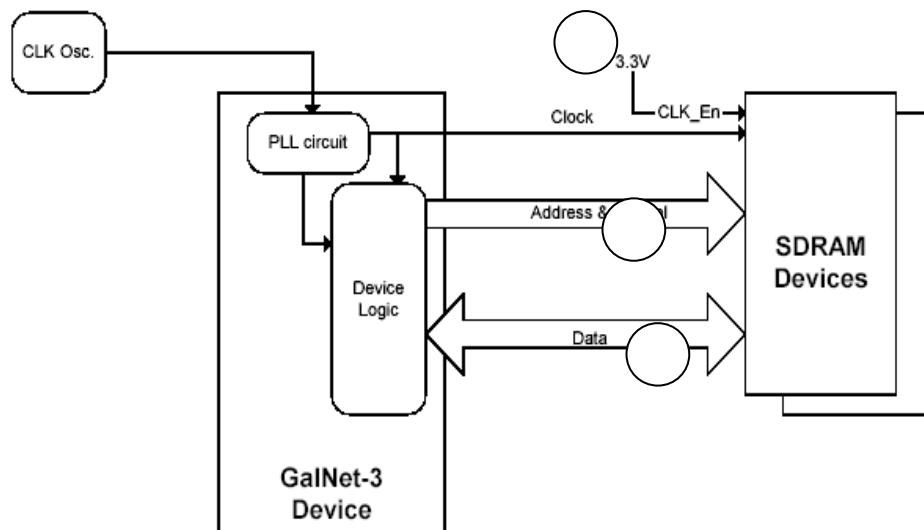


图 4-2 源同步示例

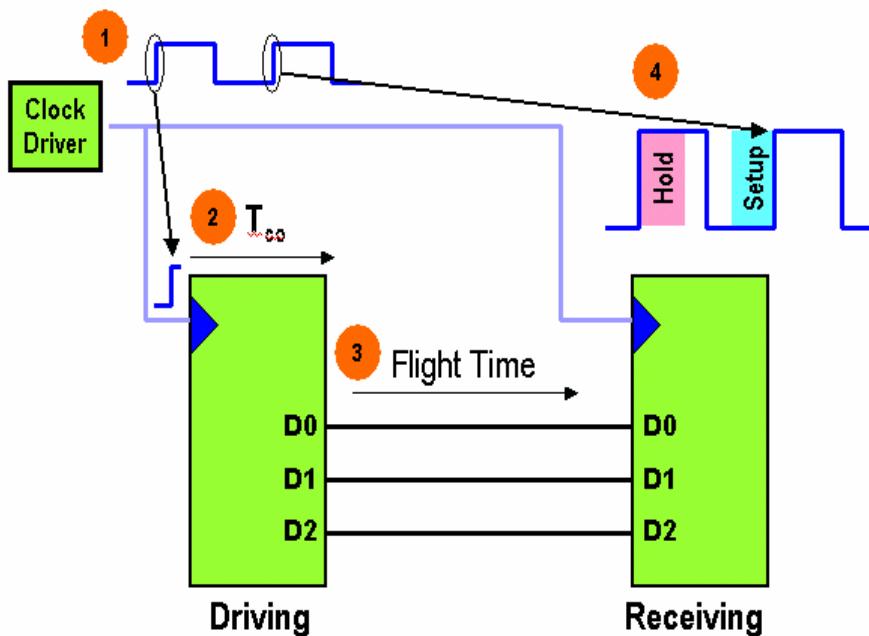


图 4-3 外同步示例

10、Vil/Vih：输入缓冲器的输入高电平和低电平值。

11、Tsetup：输入缓冲器要求的信号建立时间。

12、Thold：输入缓冲器要求的信号保持时间。

13、Vmeas：输出缓冲器的测量电压。

14、Tcomin/Tcomax：输出缓冲器的时钟到数据有效延时最小值/最大值。参考图 4—4。

Defining Tco

T_{CO} = time from clock rise to Vmeas into test load

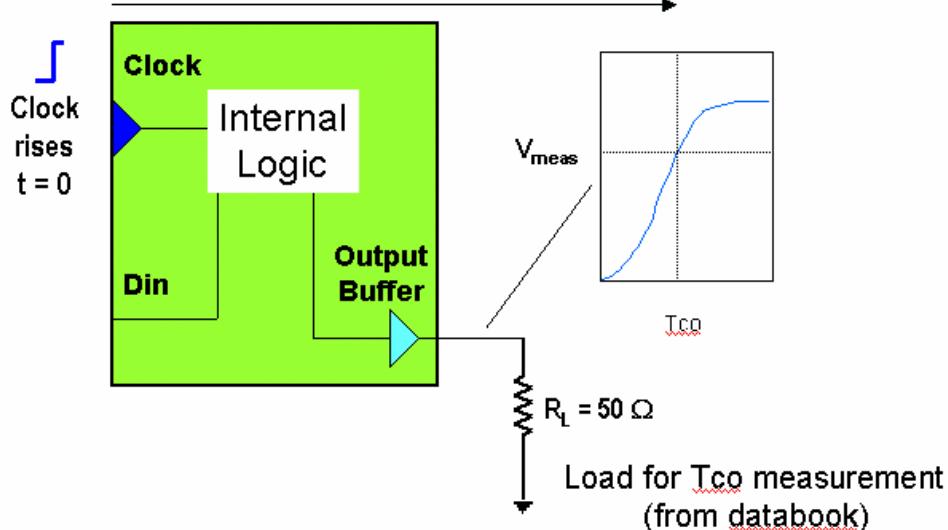


图 4—4：Tcomin/Tcomax 图示

15、Testload: Tcomin/Tcomax 的测试条件。

16、Ref Clk Name: 同步时钟的网络名。

17、Clock Cycle Time: 同步时钟周期，单位 ns。

18、Tjitter: 即同步时钟相位的抖动。

19、Tskew: 同步时钟相位的偏移。

20、Tft_clk_fast/Tft_clk_slow: 是同步时钟的 Flight time 值。当时钟方向与数据方向同向时定义为正，反向时为负。对于该值的确定由时钟线的仿真结果确定。

21、Design Margin Fast/Design Margin Slow: 设计余量。

22、Switch delay@fast/Settle delay@slow: 该两项填写实际仿真结果，仿真结果应满足上面介绍的要求。一般说来应保证 Settle delay@slow 满足要求，Switch delay@fast 在难以满足时可以适当放宽。

$T_{flight_time_min}/T_{flight_time_max}$: 根据以上参数理论计算的空间范围

4.2 传统的时钟同步系统仿真的过程

4.2.1 共同时钟同步系统的时序计算

传统的时钟同步技术是工作在“绝对”时钟的情况下，系统中采用同一个时钟，设计传统同步接口的主要工作是如何在系统中分配时钟，使得时钟线等长以减少skew。在CSSC系统中，信号传输时延或者说飞行时间增加了信号的建立时间，限制了系统的速度，尽管设计师们通过拓宽总线宽度来提高系统的吞吐量和带宽，但是这样成本和难度大大提高，对于更高速的系统，这种时钟同步技术已显得落后了。

共同同步时钟的时序关系如下图所示：

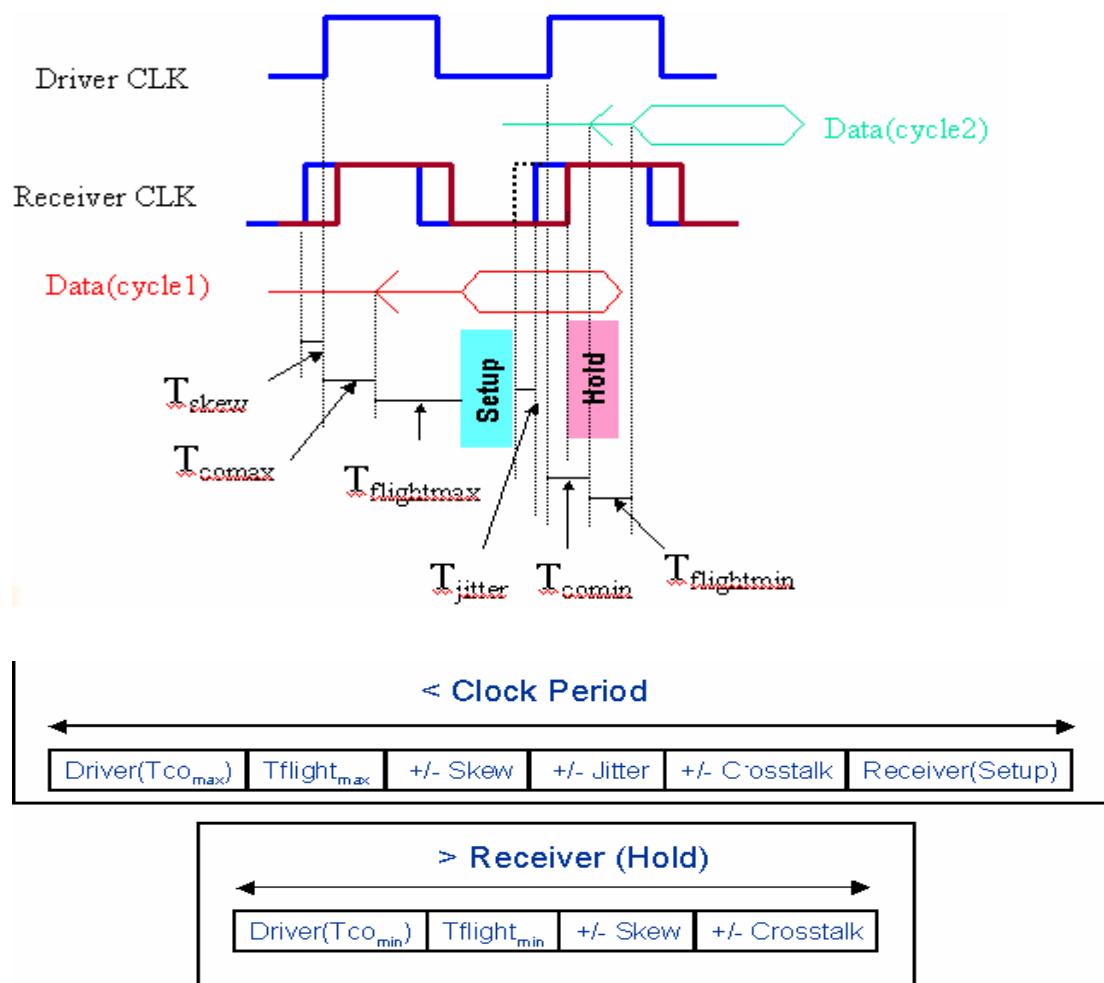


图4-5 共同时钟同步系统的时序关系

根据以上时序关系和 4.1 的时序参数得到下面理论计算的空间范围:

$$T_{flight_time_min} = T_{hold} - T_{comin@} + T_{skew} + T_{ft_clk_min} + \text{Design Margin Fast+Tcrosstalk}$$

该值与仿真结果中的 Switch delay@fast 相比较, 即仿真结果中的 Switch delay@fast 应大于 $T_{flight_time_min}$ 。

$$T_{flight_time_max} = \text{Clock Cycle Time} - T_{setup} - T_{comax} - T_{jitter} - T_{skew} + T_{ft_clk_max} - \text{Design Margin}$$

Slow- Tcrosstalk

该值与仿真结果中的 Settle delay@slow 相比较, 即仿真结果中的 Settle delay@slow 应小于 $T_{flight_time_max}$ 。

4.2.2 共同时钟同步系统的仿真过程

时序仿真与信号完整性仿真过程是一致的, 但前面要通过计算得到时序空间。下面简单介绍过程:

第一步: 查阅有关芯片的 datasheet, 以获取设计要求并将这些数据填写到电子表格中。电子表格中要求的数据, 一般都能在芯片 datasheet 的 DC Characteristics 和 AC Timing 两部分中查到。

下表所示就是从 DATASHEET 分别查出的处理器与 MEMORY 的 TCO/TSETUP/THOLD/TJITTER 等参数:

Symbol	Signals	Description	Related To Clock	Min	Max	Unit
t_{su}	EHIAd, EHIAds*, EHIWr*, EHI-Blast*, EHIRst*, EHIValid*	EHI signal setup time	EHIClk	2.5		nS
t_{hd}	EHIAd, EHIAds*, EHIWr*, EHI-Blast*, EHIRst*, EHIValid*	EHI signal hold time	EHIClk	0.5		nS
t_{ov}	EHIAd, EHIRdy*, EHIInt*	EHI Address/Data bus outputs valid delay time.	EHIClk	2.5	7.25	nS
t_{oz}	EHIAd	EHI Address/Data bus time to float.	EHIClk	2.6	7.8	nS
t_{zo}	EHIAd	EHI Address/Data bus time from float.	EHIClk	3.7	8.7	nS

下面是时钟数据:

Switching Characteristics for CY2305SC-1H and CY2309SC-1H Industrial Temperature Devices^[7]

Parameter	Name	Description	Min.	Typ.	Max.	Unit
t ₁	Output Frequency	30-pF load 10-pF load	10 10		100 133.33	MHz MHz
	Duty Cycle ^[6] = t ₂ ÷ t ₁	Measured at 1.4V, F _{out} = 66.67 MHz	40.0	50.0	60.0	%
	Duty Cycle ^[6] = t ₂ ÷ t ₁	Measured at 1.4V, F _{out} < 50.0 MHz	45.0	50.0	55.0	%
t ₃	Rise Time ^[6]	Measured between 0.8V and 2.0V			1.50	ns
t ₄	Fall Time ^[6]	Measured between 0.8V and 2.0V			1.50	ns
t ₅	Output to Output Skew ^[6]	All outputs equally loaded			250	ps
t ₆	Delay, REF Rising Edge to CLKOUT Rising Edge ^[6]	Measured at V _{DD} /2		0	±350	ps
t ₇	Device to Device Skew ^[6]	Measured at V _{DD} /2 on the CLKOUT pins of devices		0	700	ps
t ₈	Output Slew Rate ^[6]	Measured between 0.8V and 2.0V using Test Circuit #2	1			V/ns
t _j	Cycle to Cycle Jitter ^[6]	Measured at 66.67 MHz, loaded outputs			200	ps
t _{LOCK}	PLL Lock Time ^[6]	Stable power supply, valid clock presented on REF pin			1.0	ms

表 4-6 DATASHEET 参数

第二步：填写电子表格

在获取了这些资料之后我们就可以填写电子表格了，由于上面的数据线是双向的，所以我们按不同的方向分别填写表格，再按 23 提到的条件式计算出 **Tflight_time_min**、**flight_time_max** 值。

TOP NAME	ehi1_data	
Timing	NODES NAME1	NODES NAME2
From:	D7 : B10(48510)	D30 : N2(20K160E)
To:	D30 : N2(20K160E)	D7 : B10(48510)
Signaling Type		
Vil/Vih	0.8/2.0	0.8/2.0
Tsetup		3 2.5
Thold	0	0.5
Vmeas	1.5	1.5
Tcomin@	2.5	2

<i>Testload</i>	25	35
Tcomax@	7.25	5.1
<i>Testload</i>	25	35
Ref CIK Name	<i>EHI_1_CLK/FPGACLK</i>	<i>EHI_1_CLK/FPGACLK</i>
Clock Cycle Time	15	15
Tjitter	0.2	0.2
Tskew	0.25	0.25
Tft_clk_min (p_in_sd)	0	0
Tft_clk_max (p_in_sd)	0	0
Design Margin Fast		
Design Margin Slow		
Tflight_time_min>	-2.25	-1.25
Tflight_time_max<	4.3	6.95
Tflight Time Space	6.55	8.2
Switch delay@fast		
Settle delay@Slow		

第三步：建立拓扑进行仿真

1、得到了我们设计要求的方案空间后，接下来就要开始建立拓扑了。可以从 PCB 板上提取，也可以手工建立，然后进入到 SigXplorer 中，仿真过程中以时间来定义 **Tline**。拓扑结构如下图所示：

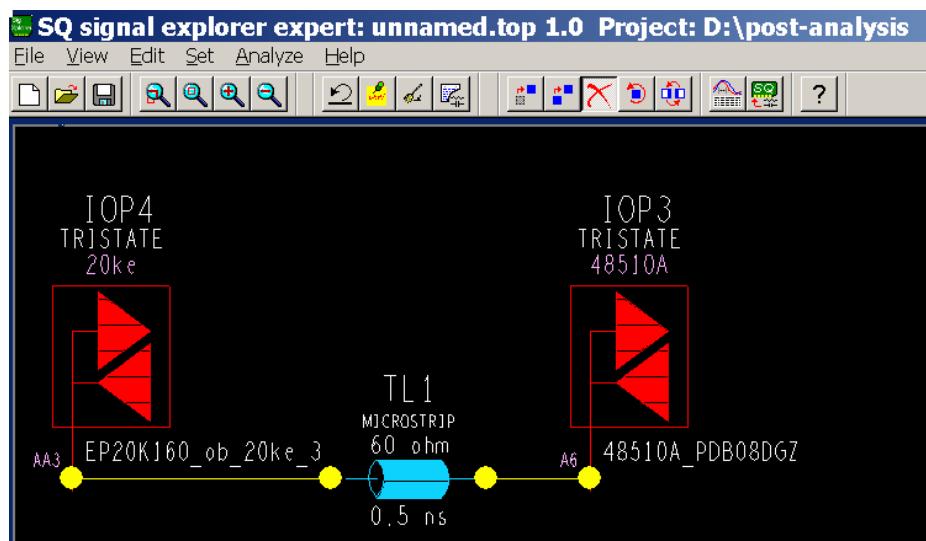


图 4-7 拓扑结构

2、调节 Tline 时间长度，在最大的时序空间内选取几个采样点，如下图所示：

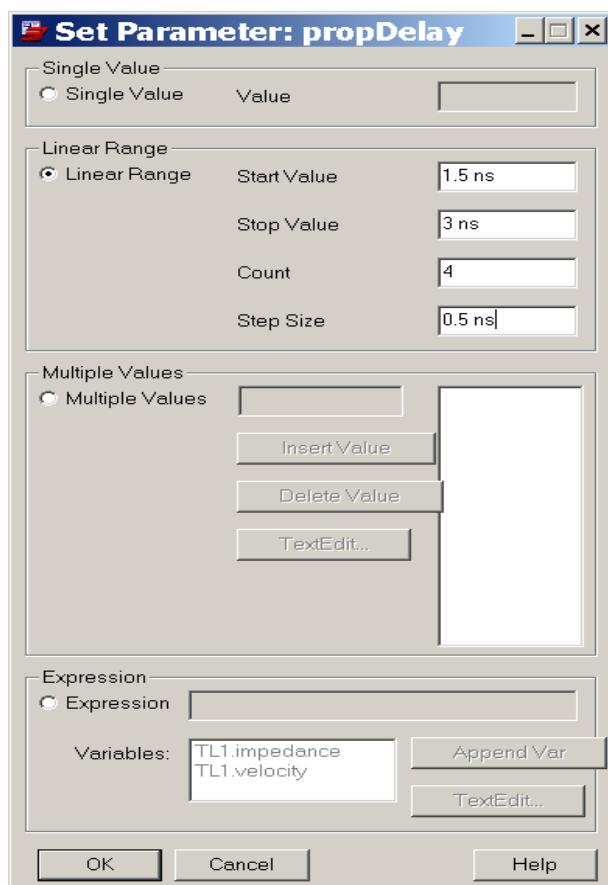


图 4-8 参数范围

3、在 SigXplorer 窗口最底端选择 Measurements 标签，点击 Reflection 前面的“+”号打开测量反射参数的列表，在弹出菜单中选择需要测量的反射参数。

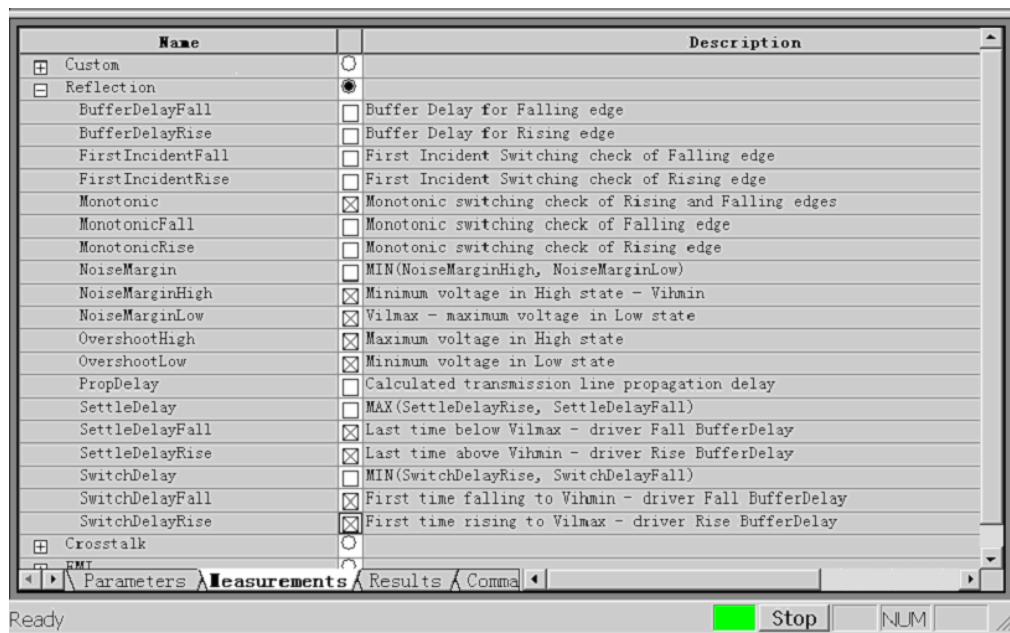


图 4-9 设置测量的反射参数

4、点 IOCell 模型上的 TRISTATE，根据情况设置激励源的各参数如下图所示：

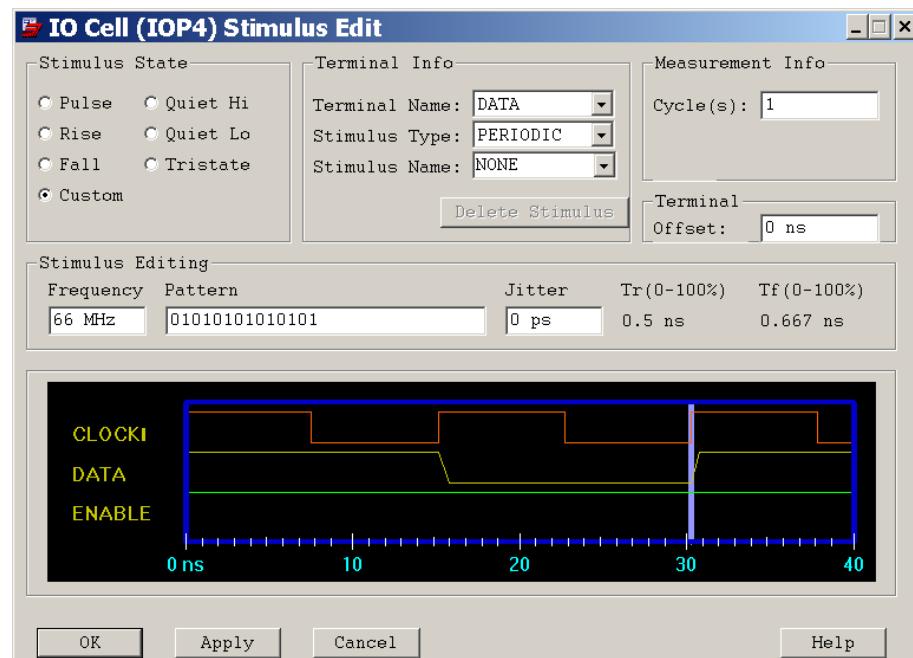
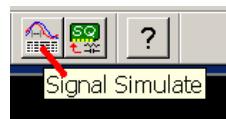


图 4-10 激励源设置



5、点 **Signal Simulate** 图标进行仿真，出现如下界面：

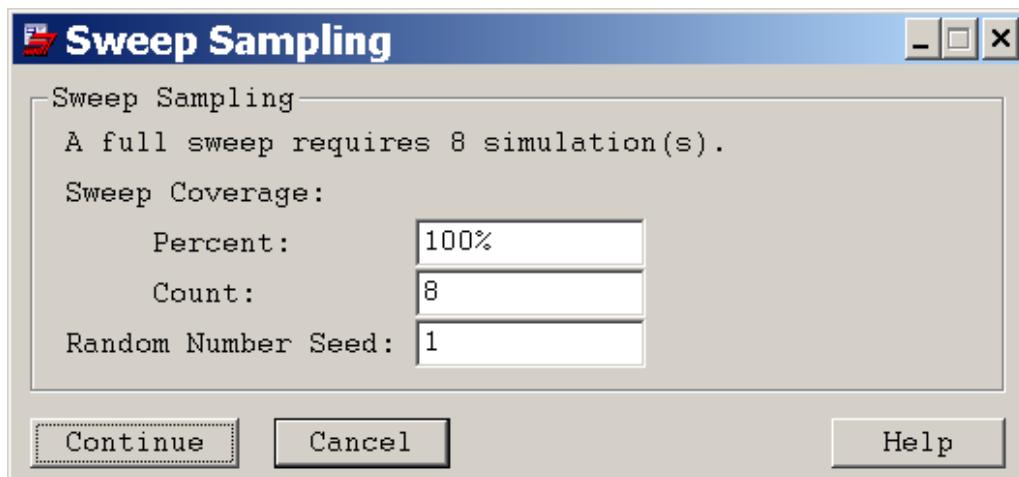


图 4-11 扫描仿真

点 **Continue** 继续。

6、查看仿真结果：

从 **Rusult** 查看仿真结果是否满足要求，从仿真结果看，我们可以得知数据信号在两个方向上的时序是否都满足我们的设计要求（ $20\text{ke} \rightarrow 48510\text{A}$: -1.25ns—6.95ns; $48510\text{A} \rightarrow 20\text{ke}$: -2.25ns—4.3ns），如果满足就说明我们的导线长度范围合理，能满足设计及布线要求；如果不满足，就要调整拓扑结构使之满足。如果仿真的波形很差，如有很大的过冲和反射，这说明传输阻抗不匹配，如果发现了阻抗不匹配问题，接着就要想办法解决问题。解决的办法就是加源端匹配电阻。

第五步：改善拓朴并重新仿真

在 **SigXplorer** 中加入匹配电阻，调整拓扑，然后重新仿真，确定匹配电阻值和走线长度。

仿真过程在这里就不再详述，详细过程请参阅第三章中的相关部分。

4.3 源同步接口仿真过程

源同步技术是指数据和时钟/锁存并行传输。由于源同步接口信号工作在“相对”的时钟系统下，这样对全局系统时钟的skew要求就可降低，在时序方程中就不需要flight time（飞行时间）这一变量，传输速率主要由数据和时钟/锁存信号间的skew决定，这样可以系统达到更高的传输速率。

源同步技术特点：

- 时钟/锁存信号与数据一起传送。
- 源同步技术中，接收端的建立和保持时间、skew决定了接口速度的极限，而走线长、Tco、器件本身的快慢不是影响接口速度的因素。影响速度的最主要因素是数据与时钟/锁存信号之间的skew，因此对数据和时钟/锁存信号间skew的约束是仿真中最主要的工作。
- 迄今为止，每个源同步总线设计使用不同的方法，这就要求仿真环境必须能灵活适应每种要求，Cadence的Sigxp工具提供自定义测量（Custom Measurement）这一功能。需要注意的是测量数据信号相对与时钟/锁存信号的skew，而不是相对于主时钟；另外常常需要测量到die pad，把封装的影响因素考虑进去。
- 源同步接口一般速率高，这样码间干扰（ISI）就比较严重，所以经常会用到伪随机码序列来模拟各种码型的组合。在Sigxp中，可以通过设置Stimuli为Custom来实现，但是加到若干位后就不可以加了，如果想要加入较长的码序列，可以通过编辑拓扑文件（*.top文件）中Stimuli项PeriodicPatten下的序列来实现。一种简单的方法是，使用伪随机码产生程序生成任意长度的伪随机码序列，然后拷贝到*.top文件的相应位置。

另外在 Sigxp 中还可以通过眼图分析仿真波形，通过对眼图高度和宽度的分析，可以得到反射、衰减、抖动等对信号的影响。在 Sigwave 中可以将仿真出的伪随机码序列的串行波形叠加成眼图。在 Sigwave 中 Graph→Eye Diagram Performances 中设置正确的信号周期，设置合适的 Offset 值，以方便观察，然后选择 Graph→Eye Diagram Mode，就可以得到相应信号的眼图。

4.3.1 源同步时序公式

图 4-6 为源同步时序示意图，根据图 4-6 可得出相应的时序公式：

建立时间：

$$T_{vb_min} + T_{ft_clk_min} - T_{ft_data_max} - T_{setup} - T_{setup_margin} > 0$$

保持时间:

$$T_{va_min} - T_{ft_clk_max} + T_{ft_data_min} - T_{hold} - T_{hold_margin} > 0$$

其中:

T_{vb} : vb 为valid before的缩写, 表示驱动端数据在时钟有效前多少时间值有效; 可以理解为驱动端的建立时间;

T_{va} : va 为valid after的缩写, 表示驱动端数据在时钟有效后保持有效的时间值; 可以理解为发送端的保持时间;

T_{ft_clk} : 时钟信号的飞行时间;

T_{ft_data} : 数据信号的飞行时间;

T_{setup} : 接收端的建立时间;

T_{setup_margin} : 接收端建立时间的冗余量;

T_{hold} : 接收端的保持时间;

T_{hold_margin} : 接收端保持时间的冗余量;

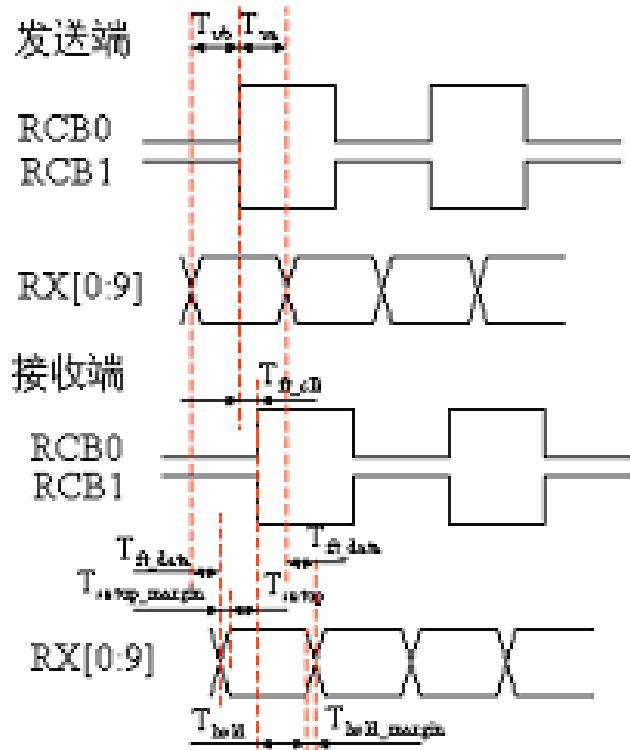


图 4-6 源同步时序图

4.3.2 源同步时序仿真过程

第一步：了解时序要求。

从数据手册中查到相应的时序参数，得到信号的时序要求。因为时钟和数据信号是由同一芯片产生，因而两者所处的环境（如电压、温度等）相同，可以认为两者的 flight time 值的最大、最小值同时发生。可得到如下结论：时钟、数据信号线的飞行时间必须严格相等（即 $T_{ft_data_min} = T_{ft_clk_max}$ ）。因此在本例的仿真中，我们先对时钟、数据信号分别仿真，得到大致的拓扑约束，然后将时钟数据放在一个拓扑内进行仿真，测量接收端时钟数据的偏差，再用该偏差对时序进行微调验证。

第二步：时钟拓扑建立并仿真

这一步主要是对时钟的信号完整性进行仿真，得到接收端的时钟波形并检查测量。拓扑结构如图 4-7，波形如图 4-8。

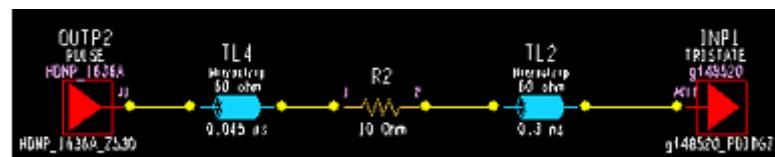


图 4-7 时钟信号拓扑

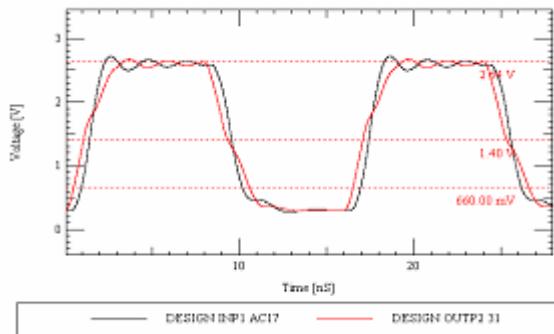


图 4-8 波形图

第三步：数据拓扑建立并仿真

这一步主要是对数据的信号完整性进行仿真，得到接收端的数据波形并检查测量。拓扑结构如图 4-9，波形如图 4-10。

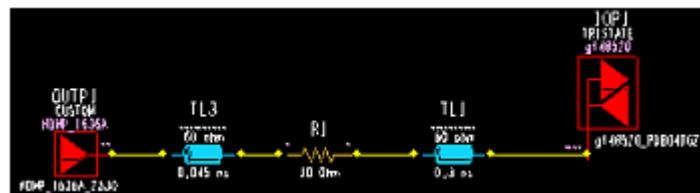


图 4-9 数据信号拓扑

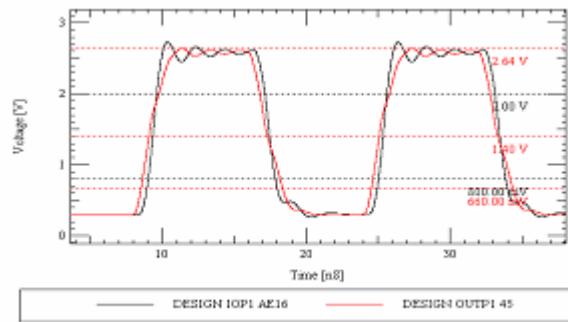


图 4-10 波形图

第四步：时钟、数据同时仿真

这一步中是将数据和时钟信号建立在同一个拓扑上，得到两者在接收端的波形，进行比对，验证时钟与数据信号在接收端是否满足时序要求。具体步骤如下。

a) 建立拓扑结构

将时钟、数据拓扑建立在同一个拓扑上，实现方式是在数据和时钟信号间并一个无穷大电阻。拓扑结构如图 4-11。

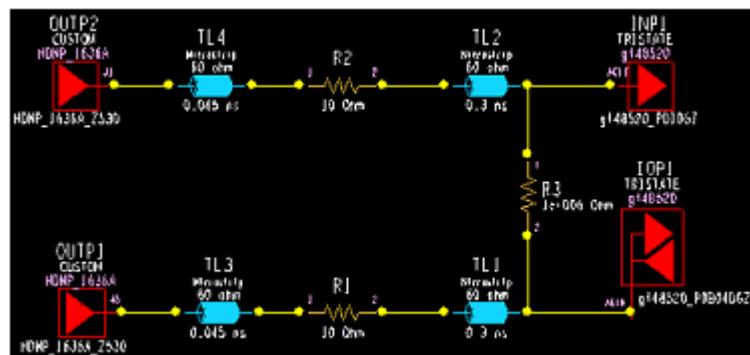


图 4-11 时钟、数据仿真拓扑

b) 设置相应的仿真参数

这一步骤中设置时钟周期、测量周期、偏移量、数据信号波形等参数，如图 4-12。

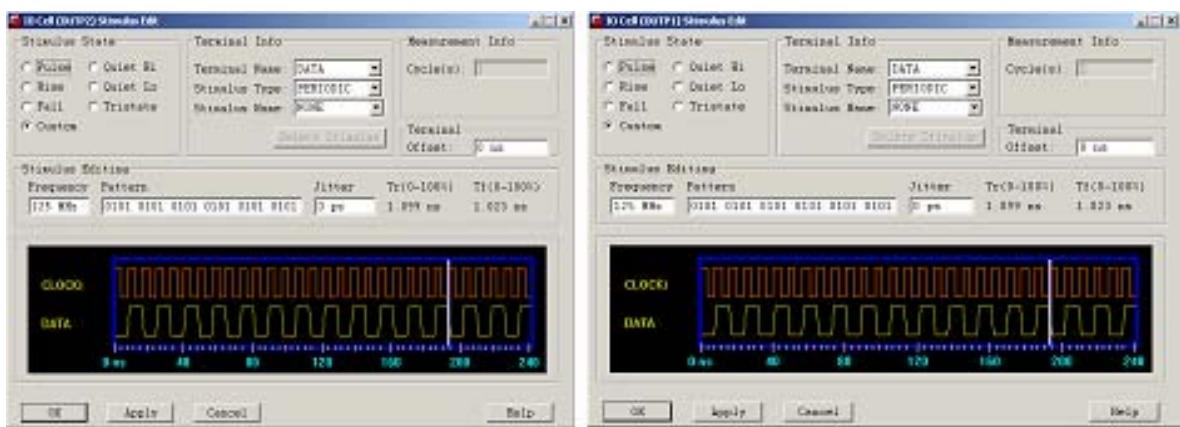


图 4-12 仿真参数设置

c) 仿真得出波形并验证

仿真得到的波形如图 4-13。由图可知数据仅比时钟超前 84.08pS，可忽略，也可在拓扑中补偿，如果时钟与数据之间时间相差较大，就要通过调整拓扑结构进行改善。

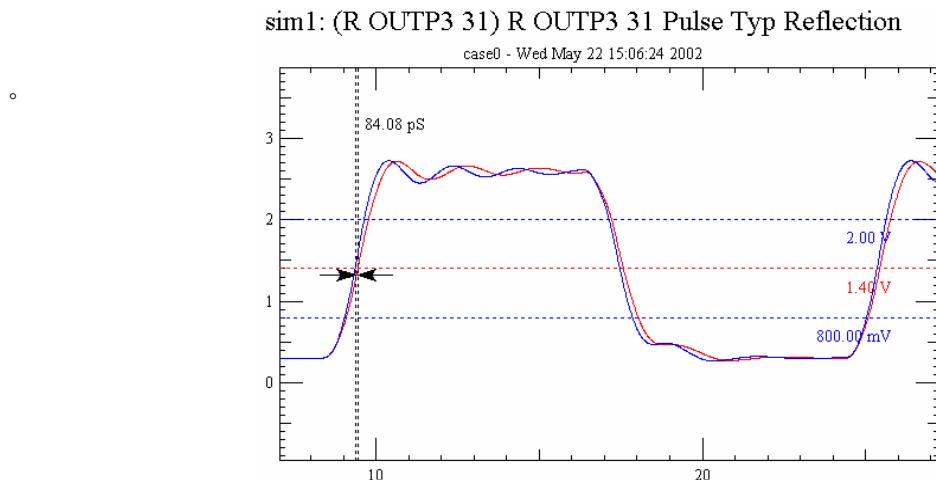


图 4-13 时钟数据同时仿真波形

4.4 时钟信号的说明

对于时钟信号，从时钟信号本身来说是一种异步信号，因此我们最关心的是时钟信号的信号完整性问题，但它又是其它数据信号的同步源，数据信号的时序以时钟信号为基准，有时仅仅靠数据信号的延时控制，往往很难做到时序的完全满足，尤其是对于源同步双向数据信号。因此我们对时钟信号有时也有一个时序延时控制问题。时钟仿真中除了输出缓冲器模型的 DelayMeasurement 标签需要设置外，通常在输入缓

冲器模型 Input Section 标签中 Logic Thresholds 的 High 和 low 设置成同一个值，即输入信号测量参考电压值，如图 4—14 所示（图中把 High 设成比 Low 略大，是由于设成完全一样时软件无法自动测量）。

时钟信号仿真结束后，就能得到前面表中提到的 Tclk_ft_fast 和 Tclk_ft_slow 值，Tclk_ft_fast 由仿真结果中的 fast 值决定，Tclk_ft_slow 由仿真结果中的 slow 值决定。

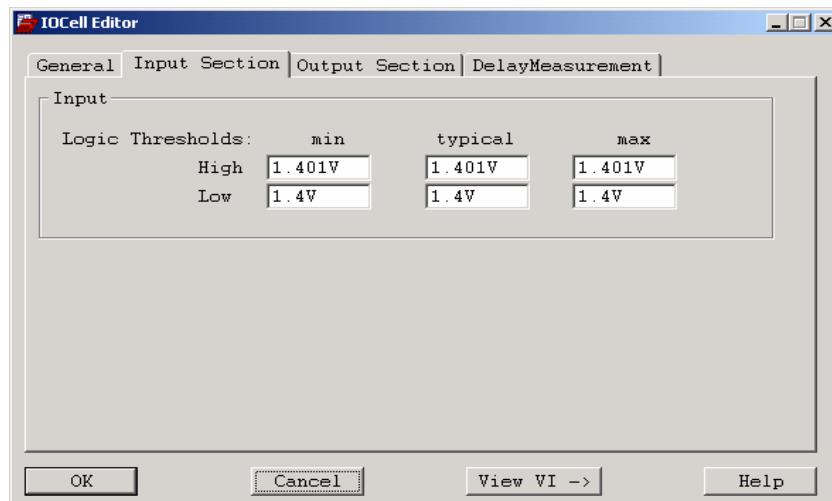


图 4—14 设置时钟信号的逻辑门限值

第五章 设置约束及赋予 PCB

按照前面的仿真过程，可以确定传输线的线长和拓扑形式，下面要把这些结果设置到相应的网络中，作为布线器的约束条件。对 Reflection 有要求的信号通常添加长度约束、最大过孔数量约束和最大平行走线的约束（考虑串扰的时候），对于时序仿真的时候通常还要增加总线相对等长的约束（具体可参考《EDA 工具手册》约束管理器分册）。

下面将讲述在 SigXplorer 中怎样设置约束条件。

5.1 启动约束条件设置界面

在 SigXplorer 打开相应的拓扑结构，然后执行 **Set -> Constraints...** 启动 **Set Topology Constraints** 界面，如图 5-1 所示：

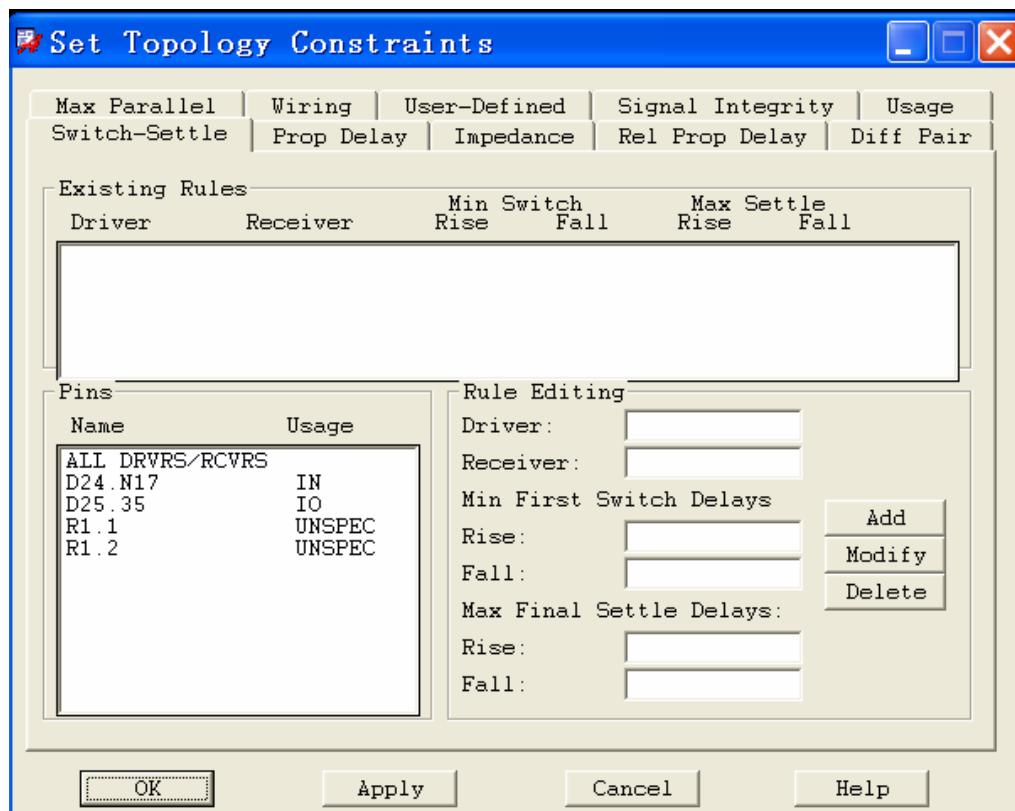


图 5-1 Set Topology Constraints 界面

5.2 加约束的步骤

- 1、选择需设置的标签栏
- 7、左边 **Pins/Tees** 列表里选择 **From** 的管脚
- 8、左边 **Pins/Tees** 列表里选择 **To** 的管脚
- 4、在 **Rule Type** 的下拉列表中选择 **Length**
- 5、**Min Length** 输入约束的最短长度
- 6、**Max Length** 输入约束的最大长度
- 7、点击 **Add** 按钮添加

以上步骤在输入参数之后的会变成如下图所示的样子：

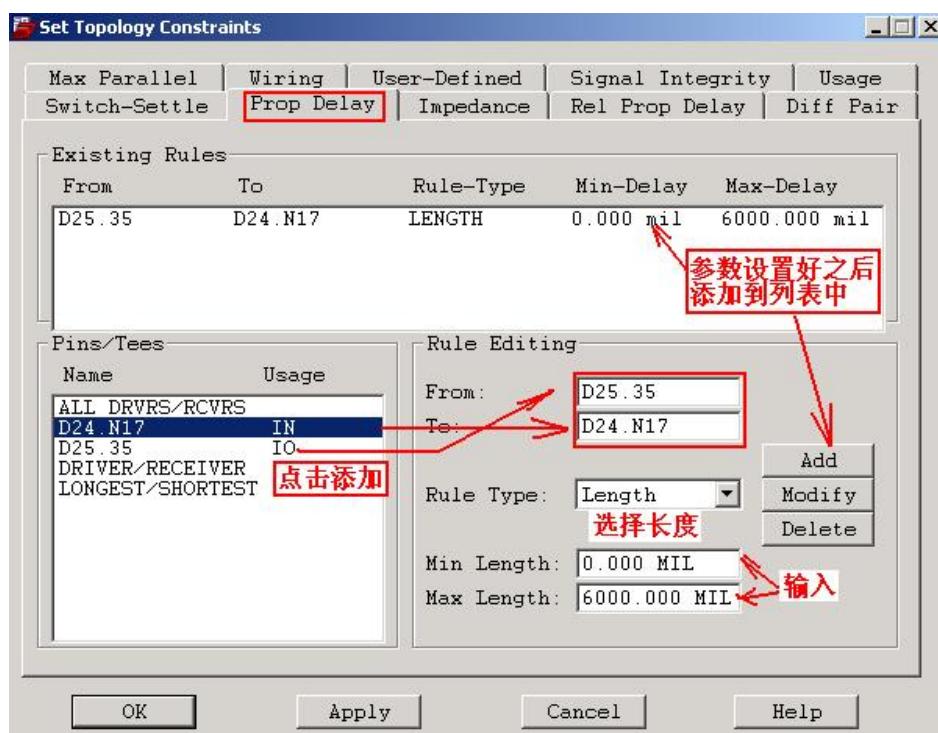


图 5-2 加约束条件的步骤

5.3 各个约束标签栏的作用

我们通常需要设置的有 Switch-Settle、Prop Delay、Rel Prop Delay 和 Wiring 等项，要根据仿真结果和实际情况来确定所需设置的项。设置步骤都如 7.2 所述，下面将详细地说明每个标签栏的作用。

- 1) **Switch-Settle** 项，如图 5-3 所示。

该项的内容为理论计算的值，为了以后核对方便，我们建议还是填写该项。填写时参考图 6-1 中的电子表格。

23、Driver：即表格中的 From 内容，从左边的 Pins 列表框中选取。

24、Receiver：即表格中的 To 内容，从左边的 Pins 列表框中选取。

25、Min First Switch Delays：Rise/Fall：该两项值填写一样，为表格中 Tfight_time_min 值。

26、Max Final Settle Delays：Rise/Fall：该两项值填写一样，为表格中 Tfight_time_max 值。

27、Add：为添加规则。

28、Modify：为修改规则。

29、Delete：为删除规则。

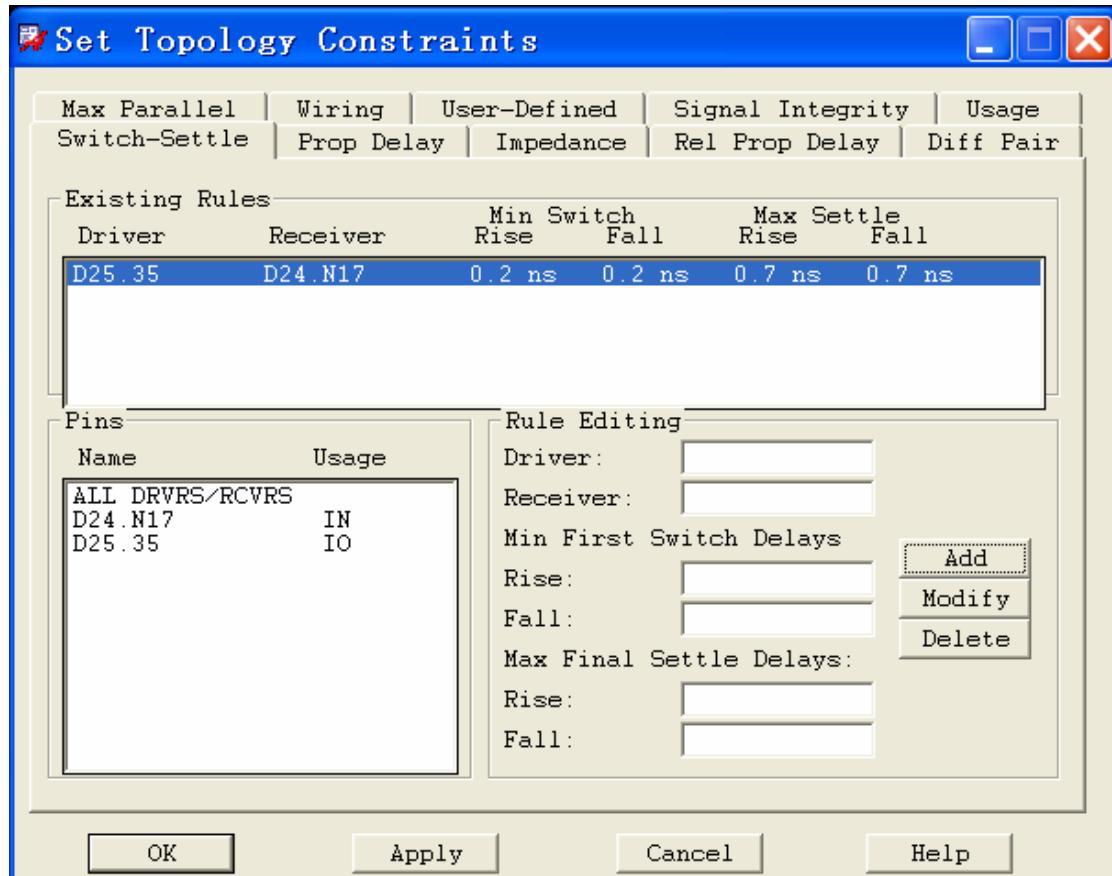


图 5-3 设置 Switch-Settle 值

2) **Prop Delay** 项, 如图 5-4 所示。

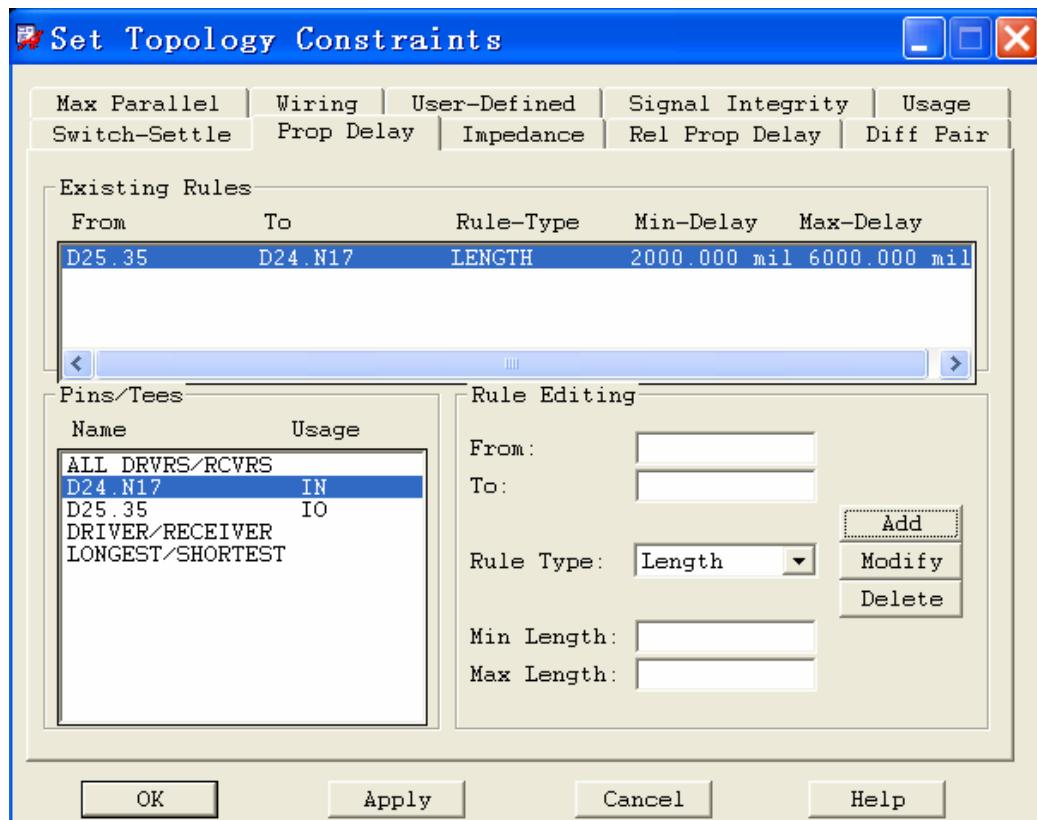


图 5-4 设置 Prop Delay 值

30、From: 约束传输线的起点节点名。

31、To: 约束传输线的终止节点名。

32、Rule Type: 规则类型, 分为 Delay (延时)、Length (长度) 和%Manhattan (曼哈顿) 长度百分比。

可以选 Delay, 约束延时时间; 如果要约束线长, 则选 Length。

33、Min Delay: 最小延时量。

34、Max Delay: 最大延时量。

3) **Rel Prop Delay** 项, 如图 5-5 所示。

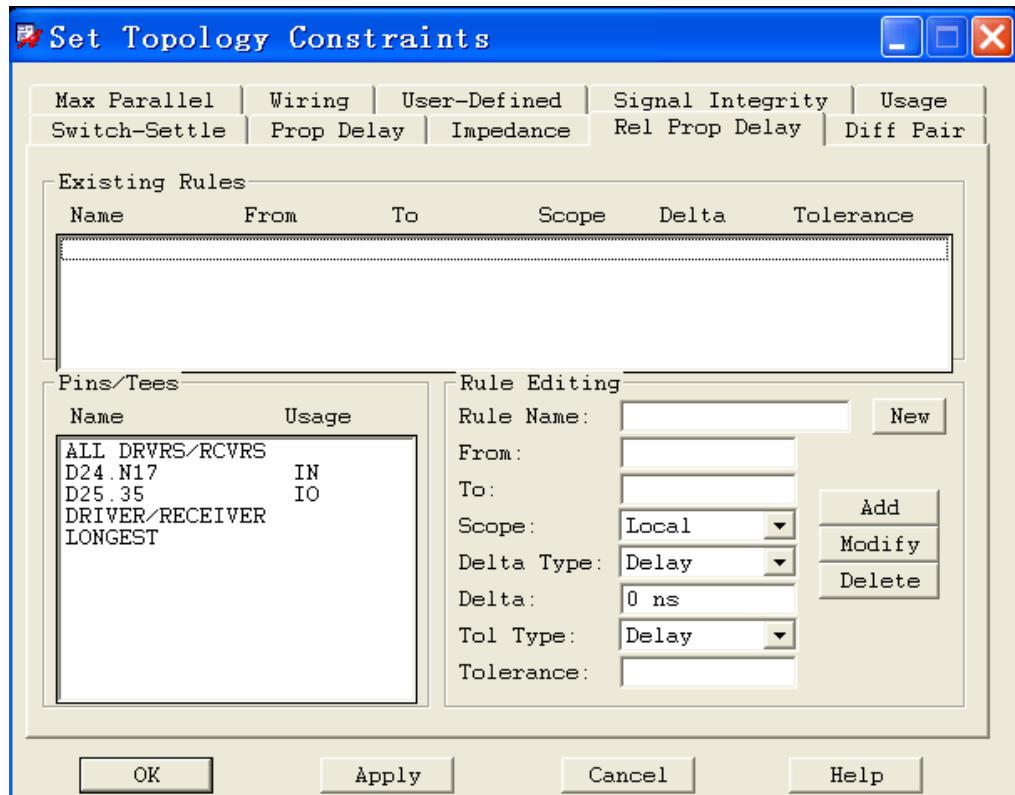


图 5-5 设置 Rel Prop Delay 值

对于一些有相对延时要求的网络，可以在该处设置相对延时值。

35、Rule Name：相对延时网络的规则名，具有相同规则命名的网络为同一组相对延时网络。

36、From：约束传输线的起点节点名。

37、To：约束传输线的终点节点名。

38、Scope：约束规则的适用范围。分为：Local 和 Global。Local 为一个网络内部匹配，Global 为具有相同规则名的不同网络之间的匹配。

39、Delta Type：Delta 值的类型。

40、Delta：相对约束值。

41、Tol Type：误差类型。

42、Tolerance：误差值。也就是允许相对约束值在多大范围内变动。

4) **Wiring** 项, 如图 5-6 所示。

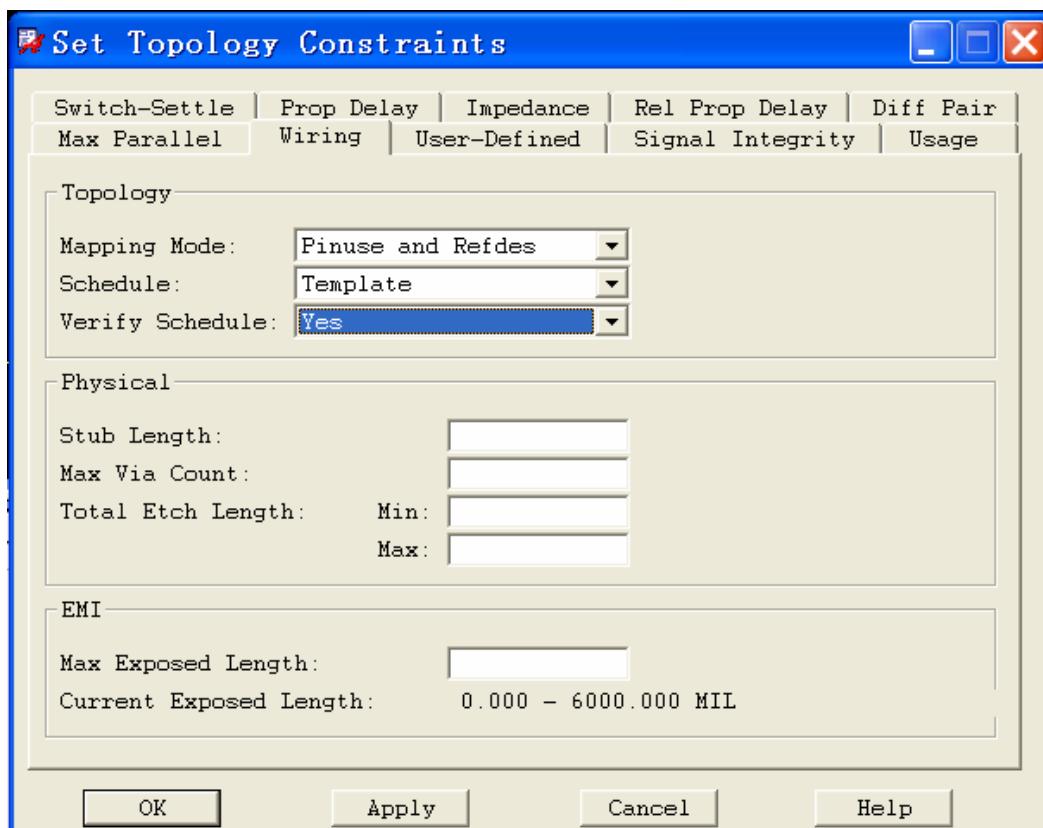


图 5-6 设置 Wiring 值

Topology 组合框

43、 Mapping Mode: 指拓扑结构与 PCB 中的网络结构之间的匹配方式。通常设为 Pinuse and Refdes。

44、 Schedule: 拓扑结构类型, 可根据具体的要求进行设定, 如果没有特殊要求可使用 Template。

45、 Verify Schedule: 选择 Yes。

Physical 组合框

46、 Stub Length: Stub 长度。Stub 线俗称“线头”, 比如菊花链形式的连线中进入管脚的分支线长度。

一般可设一个小值。

47、 Max Via Count: 网络中的最大过孔数。

48、 Total Etch Length: 网络的总线长。

EMI 组合框一般不设置。

5) **Impedance** 项, 如图 5-7 所示。

可以对线路的阻抗进行约束, 在 Impedance 标签栏里面将阻抗 $50\Omega \pm 5\Omega$ 加上:

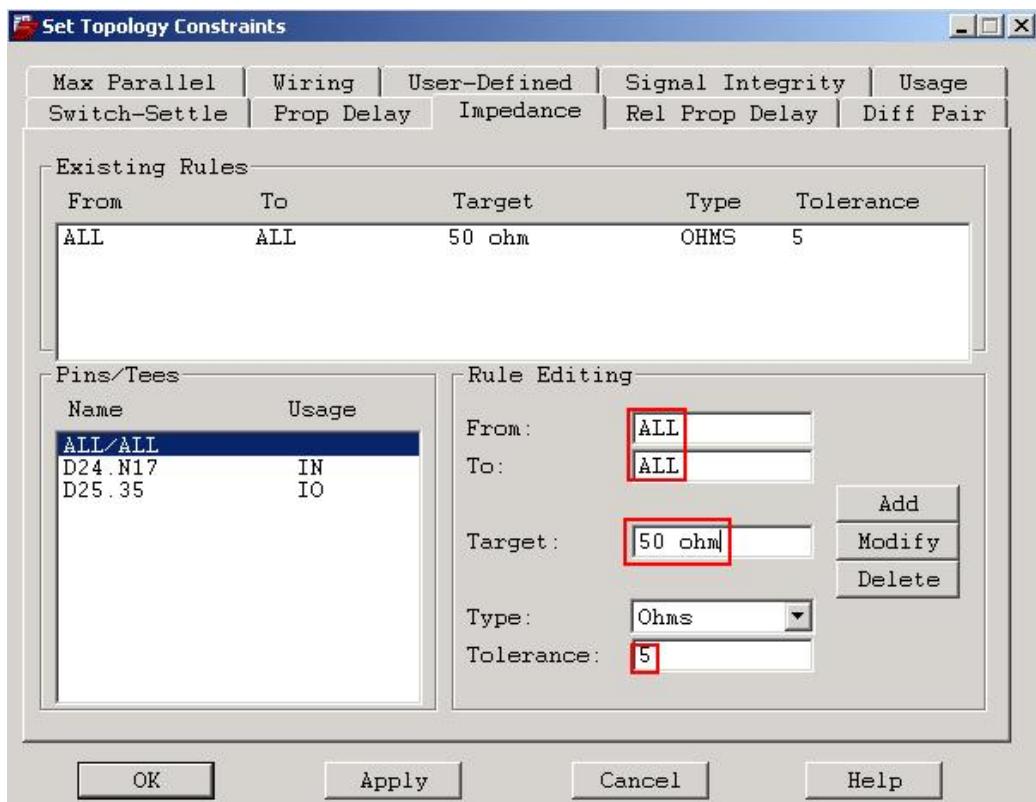


图 5-7 设置 Impedance 值

如果叠层参数没有设置正确, 并且又在表层走线的话, 这种阻抗约束起的作用不大。

5.4 将约束加到 PCB 文件上

这部份内容可参照《EDA 工具手册》约束管理器分册, 在其中已对这部份内容作了详细的说明, 这里只举例讲述将约束条件加到 PCB 的约束管理器的简单步骤:

- 1) 选择菜单 **Constraints**=》 **Electrical Constraint Spreadsheet** 或者点击工具栏图标 “” 打开约束管理器, 选择菜单 **File**=》 **Import**=》 **Electrical Csets**, 在路径当中找到并选择加上约束的拓朴文件。
- 2) 选择左边的列表的 **Electrical Constraint Sets**=》 **All Constraints**, 点击拓朴名前面的“+”号, 可以看到延迟的管脚对。
- 3) 选择左边的列表的 **Net**=》 **Routing**=》 **Min/Max Propagation Delays**

4) 用鼠标在网络列表里框选住适用此约束的网络, 或者按住键盘的 **Ctrl** 键然后再用鼠标逐一点取上述的网络, 右键选择菜单 **Create=》Bus**, 输入 **bus** 名, 这时选中的网络已经被移到网络列表的上边了, 并且是总线的形式。

5) 点击该总线, 再点击 **Reference Electrical Csets** 列, 出现的 **Electrical Csets Reference** 窗口, 选择要加的约束名, 如下图所示:



图 5-8 **Electrical Csets Reference** 窗口设置

6) 点击 **OK** 按钮关闭 **Electrical Csets Reference** 窗口

7) 点击 **Close** 按钮关闭 **Electrical Cset Apply Information** 窗口

8) 点击总线前面的“+”号, 可以看到 **Propagation Delays** 的约束已经加上了

9) 选择菜单 **File=》Save**, 保存 PCB 文件

这时, 总线的约束已经被添加的 PCB 文件当中, 这时我们点击走线命令图标 “”, 然后在选择网络就可以看到该网络长度的动态显示 “” , 当这个动态显示呈现绿色的时候, 标明是在约束范围内, 如果呈现红色 “” 表明已经超出约束范围。

详细的约束管理器的内容请参见《EDA 工具手册》的约束管理器分册。

第六章 后仿真过程及参数设置

后仿真，顾名思义就是工程项目后期阶段的仿真。针对电路板仿真来说，就是在电路板自动布线，及布线调整以后进行的仿真。

从仿真目的的角度来看，后仿真有两个目的：1、在自动布线及调整完成后，对于那些不能满足 Electronic Csets 设计规则的网络进行拓扑调整，以放宽规则限制，这部分工作主要在 Topology Editor 中完成；2、对于那些设计中的关键网络，在自动布线及调整完成后，要提取布线后的实体拓扑，进行重新仿真，以更精确的验证信号时序和波形是否满足设计要求。当然，就仿真的任务而言，后仿真和前仿真一样，基本上可分为四个：1、对时钟同步信号：仿真信号时序及信号质量，满足信号的建立时间、保持时间、小的过冲与振荡；2、对异步信号：仿真信号质量，满足信号的单调性、过冲容限及小的振荡；3、布线比较密的地方：仿真线之间串扰，确定不同间距的平行走线，能够容忍的平行长度。4、EMI 仿真。

后仿真较前仿真结果更精确，这是因为拓扑中的模型更精确。后仿真中拓扑中收发器模型由芯片生产厂家提供的 IBIS 模型转换而来，和前仿真时赋予各器件的模型是一样的，所不同的是传输线模型。前仿真拓扑中的传输线模型是理想模型即集中参数模型，就是仅仅用阻抗加时延来表示，而后仿真中的传输线则是用分散参数表示的模型（RLGC 模型），由 Cadence 软件根据频率建立的 RLGC 矩阵，它充分考虑了电路板实际叠层要求的各信号层导线的不同参数，以及过孔等造成的阻抗不连续的影响，从而使得出的结果更接近实际。下面，我们将按照后仿真的两个不同的目的分别来介绍后仿真的过程及参数设置。

6.1 后仿真前的几个准备步骤

- 1) 首先检查已完成的 PCB 上是否存在有 DRC 问题，有的 DRC 问题会影响到后仿真结果。
- 2) 检查一下叠层参数是否设置正确，**Cadence** 软件自动计算的阻抗是否与期望值相近。
- 3) 将要仿真的信号走线调成与实际加工后的线宽一致(表层有 6.5mil 调到 5.5mil, 内层由 6.5mil 调到 6mil)

6.2 针对目的一的后仿真

打开约束管理器看一下前面我们仿真的 **D25_TCI** 总线是否出现红色阴影，红色阴影表示该网络实际走线长度违反了设计规则，绿色阴影表示该网络实际走线长度符合设计规则。（经检查 **D25_TCI** 走线长度符合设计规则，通常对于违反了设计规则的信号要重点仿真。）

获取错误信息后，就要设法改正，首先通过调节走线使其满足设计规则，对于那些和设计规则相差较大，和无法调节走线的网络就要根据实际情况调整拓扑，以放宽规则，然后重新仿真以保证你的改变符合要求。

这种情况的后仿真过程和前仿真相仿，详细的操作可参阅第四、五章的相关内容。所不同的是仿真多了实际走线情况的约束，而且仿真的基本拓扑文件已经存在，所需做的只是修改走线长度及规则设置。

将规则放宽再进行仿真，如果仿真结果可以接受的话，则将放宽之后的新规则更新到 PCB 文件中。在 SigXplorer 中更新了规则后，在 **File** 中选择 **Update Constraint Manager**（如图 6-1），将自动更新 Constraint Manager 中的约束条件，然后再将拓扑进行保存。

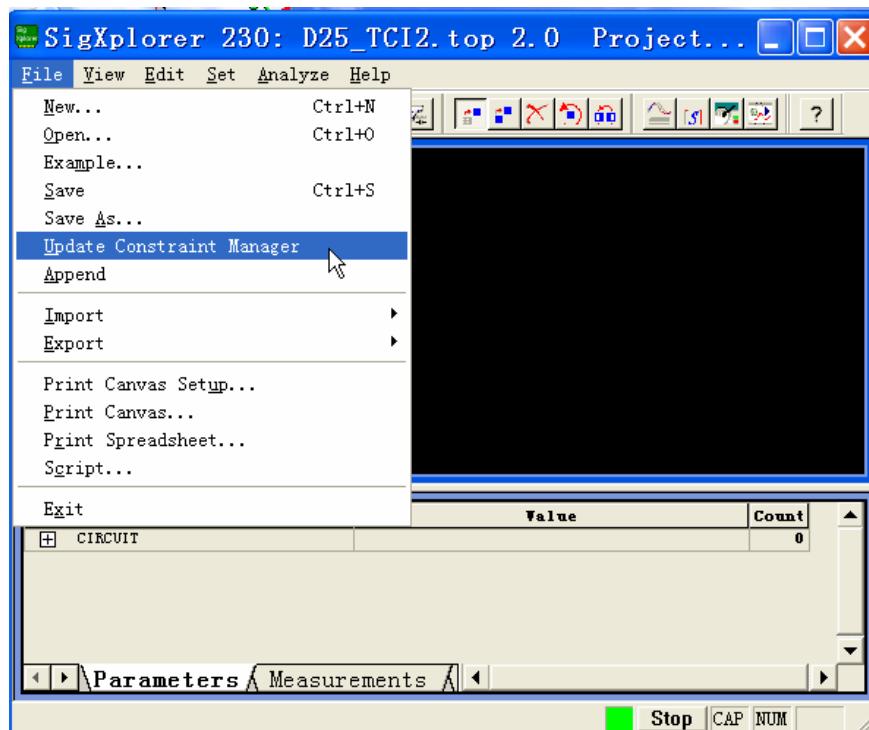


图 6-1 在 SigXplorer 中更新 Constraint Manager

6.3 针对目的二的后仿真

目的二是对于那些设计中的关键网络，在自动布线及调整完成后，再提取布线后的实体拓扑，进行重新仿真，以更精确的验证信号时序和波形是否满足设计要求。仿真过程与以前的步骤是一致的，只是模型和参数有些改变。

6.3.1 进行仿真设置

- 1、在 PCB SI 中打开所需后仿真的 brd 文件, 选择 **Analyze=》SI/EMI Sim=》Preferences** 菜单, **Analysis Preferences** 窗口打开, 如图 6-2 所示
- 2、在 **Analysis Preferences** 框中选择 **DevicesModels** 标签。一般说来, PCB 板上的器件都已赋予了经过验证的模型, 所以该标签中的 **Default IOCell Models** 项没有太大意义, 我们所要做的是选择 **Buffer Delay Selection** 中的 **On-the-fly** 项, 如图 6-2 所示:

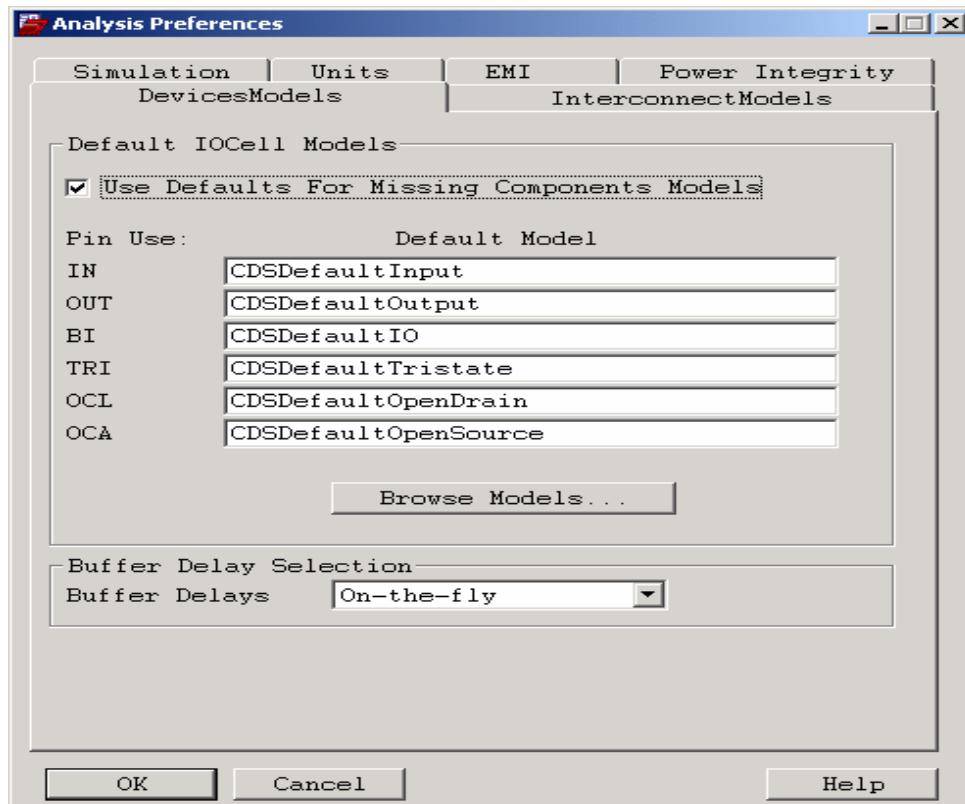


图 6-2 Analysis Preferences 窗口

- 3、选择 **InterconnectModels** 栏 (图 6-3)

Unrouted Interconnect Models 部分采用默认设置;

Crosstalk 部分设置为:

a、Geometry Window 10mil

b、Min Coupled Length 300mil

c、 Min Neighbor Capacitance 0.1pF

其它设置参照下图 6-3：

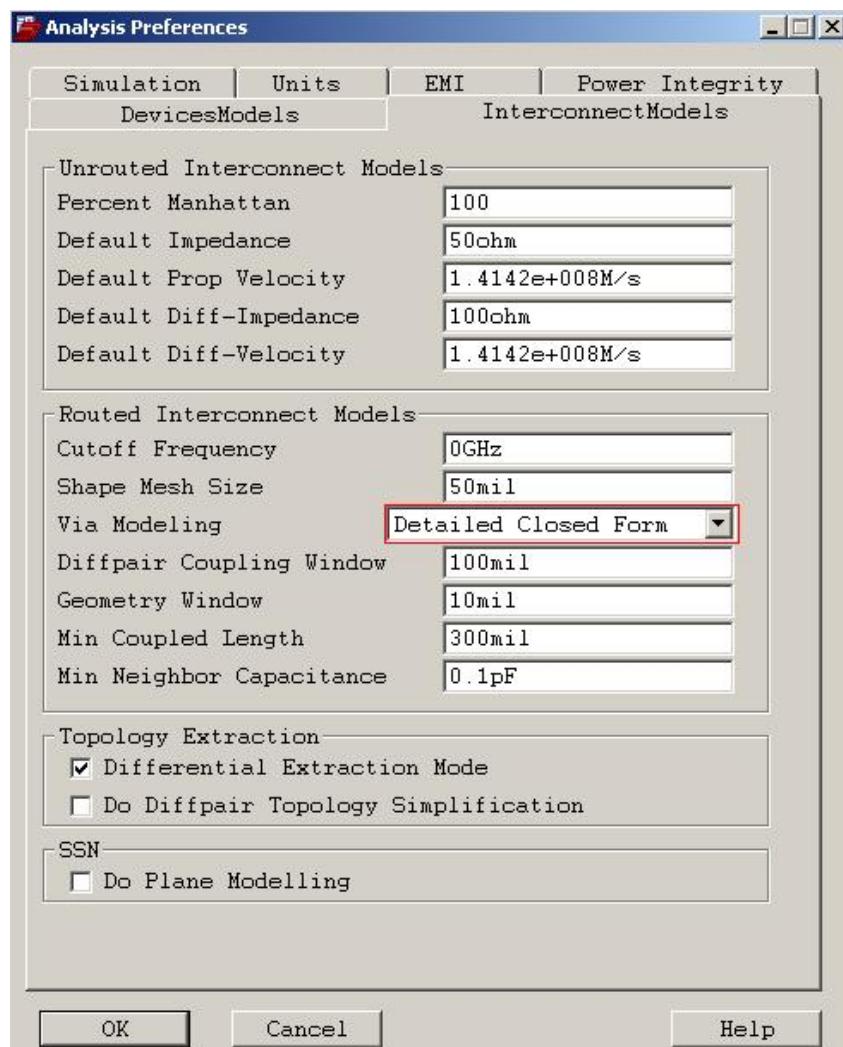


图 6-3 Analysis Preferences 窗口

4、选择 **Simulation** 标签，其设置参照下图 6-4：

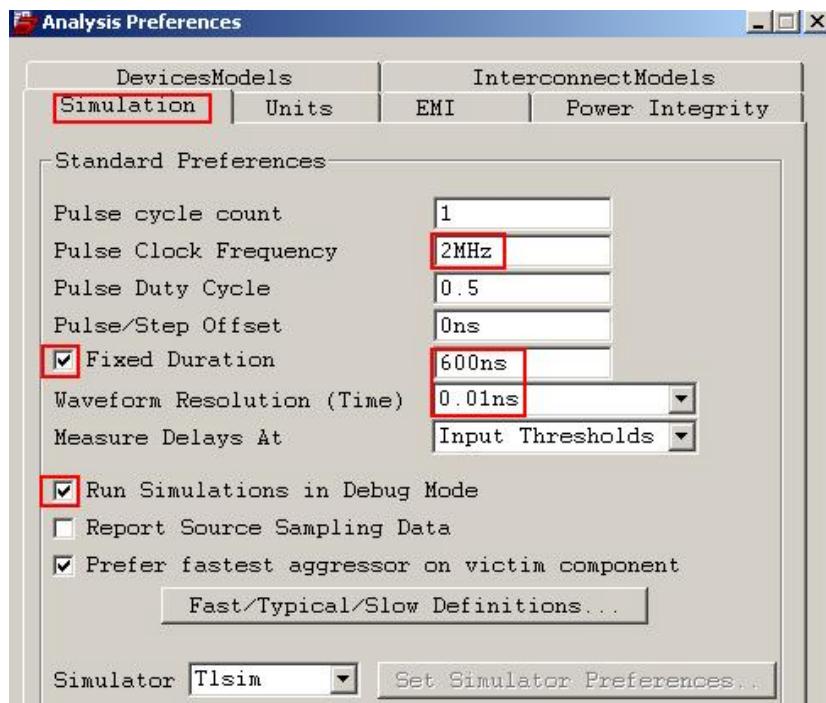


图 6-4 Analysis Preferences 窗口

5、其余标签项都采用缺省值，点击 **OK** 按钮，关闭 **Analysis Preferences** 窗口。

6.3.2 进行反射仿真验证

进行后仿真验证时，可以先将需要验证的关键网络生成一个网络列表，这样就可以将这些网络一起仿真，然后在 **PCB SI** 中进行反射仿真：

- 1、点击 **Signal Probe** 工具栏图标 “”，弹出 **Signal Analysis** 窗口
- 2、选择 **List of Nets** 按钮，在弹出的窗口中选择并打开按第一步编辑生成的 net list 文件：



图 6-6 Signal Analysis 窗口

3、选择 **Reports** 按钮弹出 **Analysis Report Generator** 窗口，参照下图 6-7，设置一下报表中仿真反射的参数：

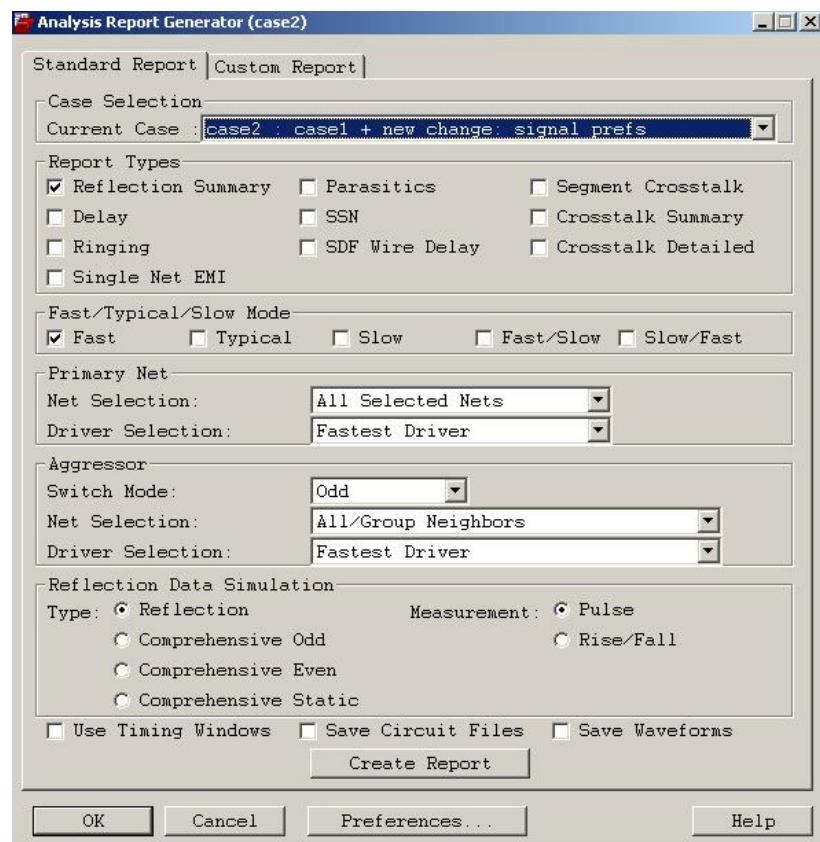


图 6-7 Analysis Report Generator 窗口

在此窗口中的 Case Selection 区显示目前的仿真环境，仿真波形和配置文件被写在这一 case 目录下。

4、点击 **Create Report** 按钮。

由于 Net Selection 部分选择的是 All Selected Nets，所以已经初始化为对 net list 中的网络进行反射仿真，仿真器将对每个网络中的最快的驱动器进行快模式的脉冲激励的仿真，所谓快的驱动器就是具有快的上升下降沿的驱动器，Cadence 软件从赋予器件的模型数据中获取这一信息。仿真完成后，将显示报表，如图 6-8 所示。

5、浏览报表，将报表中的数据和规则设置中的数据相对比，从中可以看出报表中的数据是否符合设计规则，对于不符合规则的网络，再重新对提取拓扑结构进行调整、仿真，在这里就不再重复过程。

6、在报表窗口中选择 **File=》Save As**，将报表另存为 **reflecssummary**。

XNet	Drvrv	Rcvr	NMHigh	NMLow	OShootHigh	OShootLow	Swit
1 33603ET1EPZ_030800 TCI2	33603ET1EPZ_030800 D25 35	33603ET1EPZ_030800 D24 N17	861.3	543.6	4280	-1030	0.30
1 33603ET1EPZ_030800 TCI11	33603ET1EPZ_030800 D25 44	33603ET1EPZ_030800 D24 C10	982.8	575.2	4095	-935.7	0.20
1 33603ET1EPZ_030800 TCI19	33603ET1EPZ_030800 D25 47	33603ET1EPZ_030800 D24 B13	983.9	590.4	4111	-887.4	0.19
1 33603ET1EPZ_030800 TCI14	33603ET1EPZ_030800 D25 40	33603ET1EPZ_030800 D24 E5	983.8	569.8	4063	-965.2	0.20
1 33603ET1EPZ_030800 TCI12	33603ET1EPZ_030800 D25 43	33603ET1EPZ_030800 D24 C8	981	576.3	4088	-924	0.19
1 33603ET1EPZ_030800 TCI10	33603ET1EPZ_030800 D25 46	33603ET1EPZ_030800 D24 A10	992.9	598.5	4078	-836	0.17
1 33603ET1EPZ_030800 TC17	33603ET1EPZ_030800 D25 27	33603ET1EPZ_030800 D24 D14	1002	574.9	4065	-909	0.15
1 33603ET1EPZ_030800 TC18	33603ET1EPZ_030800 D25 26	33603ET1EPZ_030800 D24 C13	1052	597.5	3971	-841.3	0.12
1 33603ET1EPZ_030800 TC115	33603ET1EPZ_030800 D25 38	33603ET1EPZ_030800 D24 C6	1089	658	3838	-681.3	0.17
1 33603ET1EPZ_030800 TC16	33603ET1EPZ_030800 D25 29	33603ET1EPZ_030800 D24 B18	1010	613.9	4012	-773.8	0.15
1 33603ET1EPZ_030800 TC113	33603ET1EPZ_030800 D25 41	33603ET1EPZ_030800 D24 A5	1022	616.3	3972	-740.7	0.15
1 33603ET1EPZ_030800 TC15	33603ET1EPZ_030800 D25 30	33603ET1EPZ_030800 D24 C18	1058	619.2	3925	-752.9	0.14
1 33603ET1EPZ_030800 TC13	33603ET1EPZ_030800 D25 33	33603ET1EPZ_030800 D24 D20	1048	628	3920	-701.2	0.15
1 33603ET1EPZ_030800 TC116	33603ET1EPZ_030800 D25 37	33603ET1EPZ_030800 D24 B2	1080	651.8	3835	-592	0.14
1 33603ET1EPZ_030800 TC14	33603ET1EPZ_030800 D25 32	33603ET1EPZ_030800 D24 A20	1093	650.3	3827	-596.9	0.12

图 6—8 Standard Reflection Summary Sorted By Worst Settle Delay 窗口

第七章 点到多点的仿真和多板间仿真

7.1 点到多点的拓扑仿真

上面只讲述了点到点的拓扑仿真，相对点到点的仿真，点到多点的拓扑仿真要复杂一些，但它们的仿真方法基本相似。对于点到多点的拓扑来说，仿真过程中，除了要调节各段 Tline 长度外，还要调节拓扑结构。较典型的拓扑结构有星形与链形，如图 7-1 和图 7-2 所示。图中的 I05 与其它 4 个访问对象构成双向总线互连关系。我们在设计中常常碰到的 PCI 总线就是属于这种类型，当系统的 PCI 总线频率上升到 66M 甚至更高时，就会出现一系列问题，其中，过冲和时序等 SI 问题尤为突出。

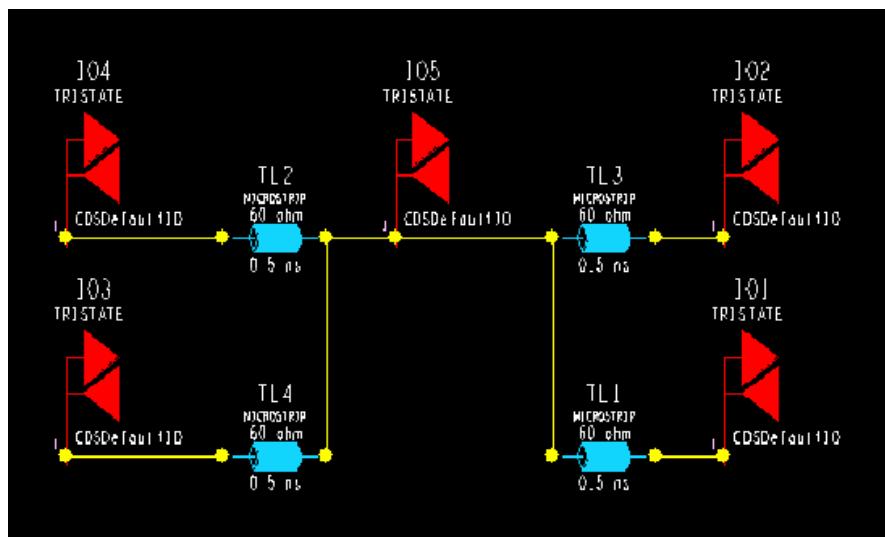


图 7-1 星形拓扑结构

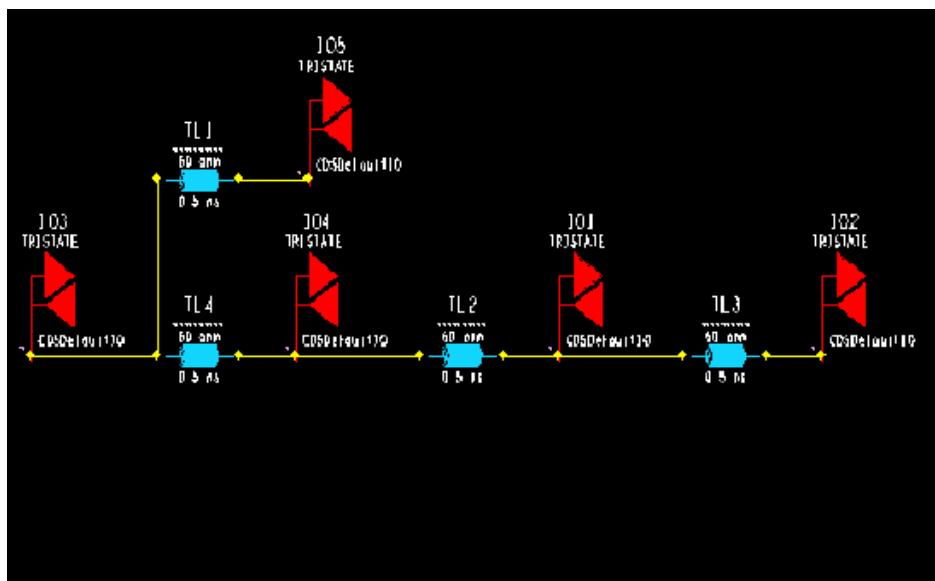


图 7-2 链形的拓朴结构

用 PCB SI 界面中的 [Logic->Net Schedule](#) 可以很方便调整点到多点的拓朴结构，打开以下界面，如图 7-3 所示：

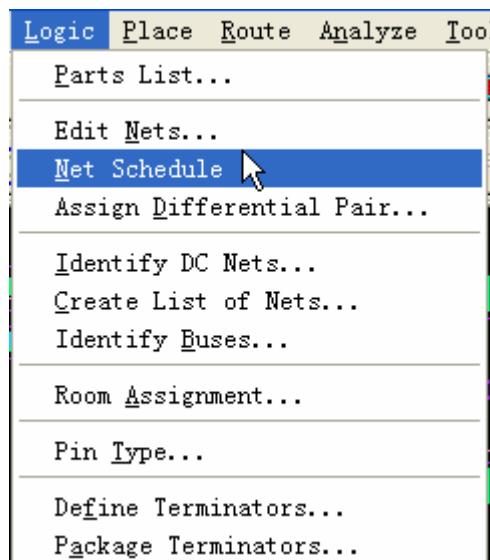


图 7-3 点到多点拓朴调整命令

在 PCB SI 界面下用左键选中网络，然后将网络按调整的次序连接各个节点上，如图 7-4 所示，按右键

还可以加上 T 节点：

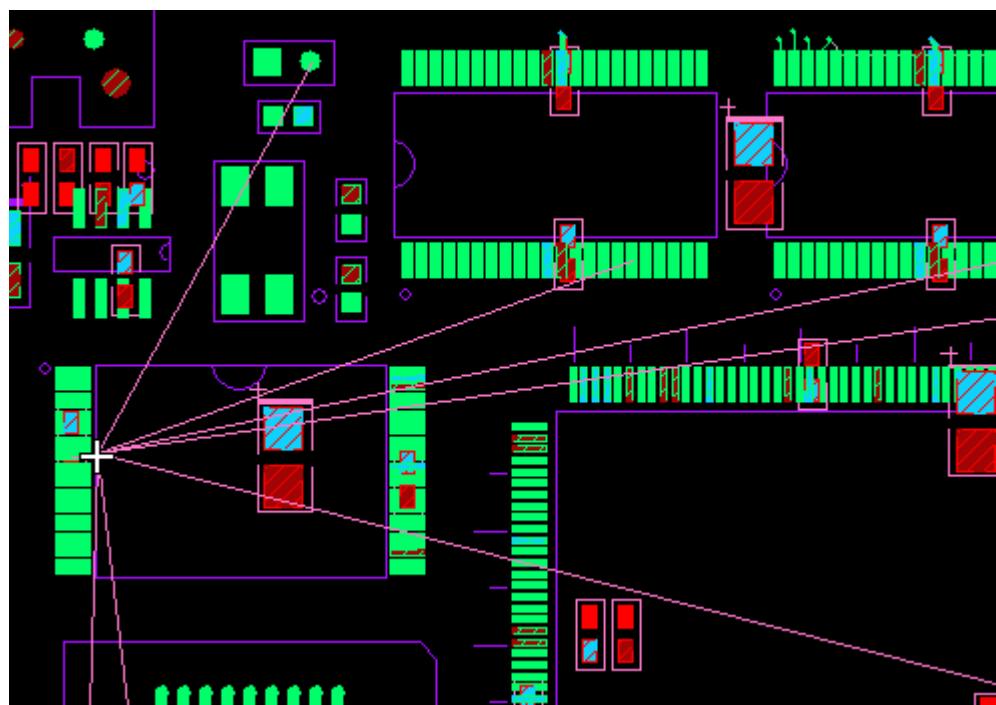


图 7-4 点到多点拓扑调整

当调整拓扑结构后，我们按前面同样的方法进行仿真，但因为点到多点的拓扑结构较复杂，当信号跟多个对象通讯时，在不同对象个数、不同信号传输方向的情况下，各个接收端波形会产生很大的差异，会造成过冲和时序等多种 SI 问题，解决的方法有：更改拓扑结构、调整 PCB 走线的线长和阻抗、更换器件、调整端接方案等。调整拓扑结构需要我们经过多次的反复调节试验，查看仿真结果直到各个接收端的波形时序都能满足设计要求为止，这时丰富的硬件设计经验将帮助我们更快的找到理想的解决方案。

7.2 多板间的仿真

对于多板仿真，仿真的网络是跨板级的，它们之间的板间级连不能按照 Tline 模型来简化，我们要考虑接插件及互联电缆的影响，严格的讲，我们需要这些互联器件的 Spice 模型，所以一般来说，在前仿真时，我们更倾向于将这些互联器件用阻抗加时延的 EspiceDevice 模型来等效简化，然后在 SigXplorer 中直接手工添加模型，建立拓扑，然后进行仿真。

在后仿真以及我们从 PCB 板上直接抽取拓扑进行仿真时，多板仿真与单板仿真的不同之处就在于必须建立用以说明这些互联器件管脚映射关系的 DesignLink 模型，拓扑提取后的仿真和单板后仿真过程基本相似。

下面这张图（图 7-5）所示的拓扑结构就是考虑了接插件及互联电缆的影响，根据互联器件的 Spice 模型，建立用以说明这些互联器件管脚映射关系的 DesignLink 模型后，从板上直接抽取的网络的拓扑结构，接收波形如图 7-6。可以看出拓扑中的互联器件模型发生了变化，其中有一段 0mil 长的 MULT1 模型，因为两板是直接通过两接插件相连的，之间没有电缆相连，所以设置模型长度为 0mil。如何建立 DesignLink 模型我们将在后面介绍。仿真波形和时序相比实际情况会有一些差别，但差别不大，这说明这种对仿真所做的简化还是可行有效的。

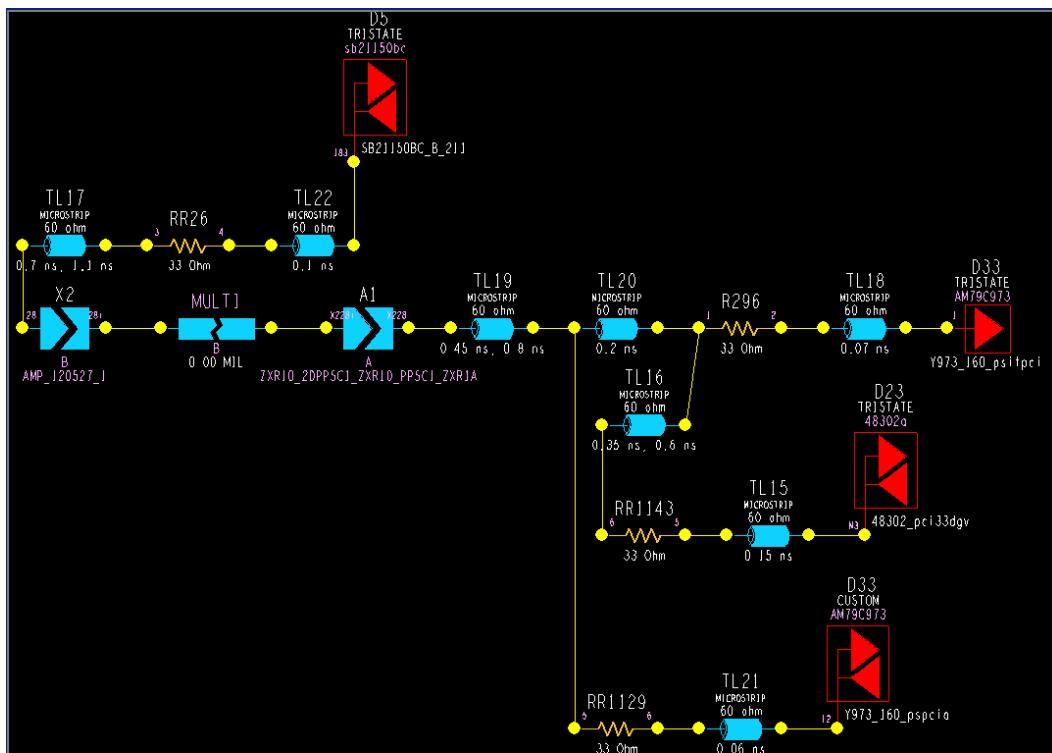


图 7-5 多板之间的拓扑结构

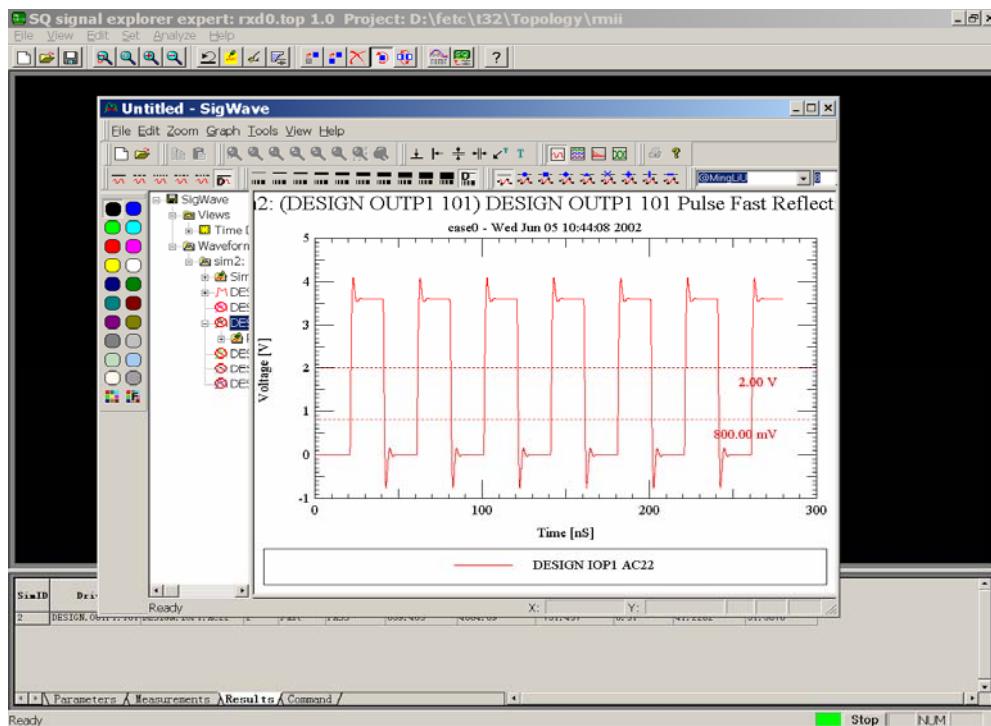


图 7-6 多板拓扑的仿真波形

在系统级仿真的例子中，单调性、过冲等 SI 问题是显而易见的，但这些 SI 问题又是互相关联的，解决了前者，后者往往会得到改善，解决的方法有：更改拓扑结构、调整 PCB 走线的线长和阻抗、更换器件、调整端接方案等。通过改变拓扑、端接电阻的位置，得到新的拓扑结构图。

7.2.1 多板的拓扑拆分

对于跨接多板的网络，我们设置的规则不能直接附加给网络，需要根据将以上仿真拓扑按照单板拆分开来，然后单独设置规则，附加到各自板上。

首先先将方针拓扑保存为 PAD.top 文件。

为了将仿真结果分别附加到两个板上的相关网络，我们将拆分拓扑，以下两个拓扑是将上面拓扑从接插件处拆分后得到的，其中第一个图是一部分，第二个是另一部分，可以看出，这两个拓扑中各模型的位置以及它们之间的 Tline 长度和上面的完整拓扑都是完全一样，注意，拆分后的拓扑只是为了分别设置规则，附加给网络，对他们不能进行仿真。第二个拓扑中只有一个 I/Obuffer，显然是不能仿真的，尽管第一个拓扑中有多个 I/Obuffer，可以进行仿真，但仿真结果是不正确的，因为仿真过程中没有考虑的二个拓扑部分的影响。

分别对以下两个拓扑进行规则设置，然后分别保存为*.top。（图 7-7、7-8 所示）

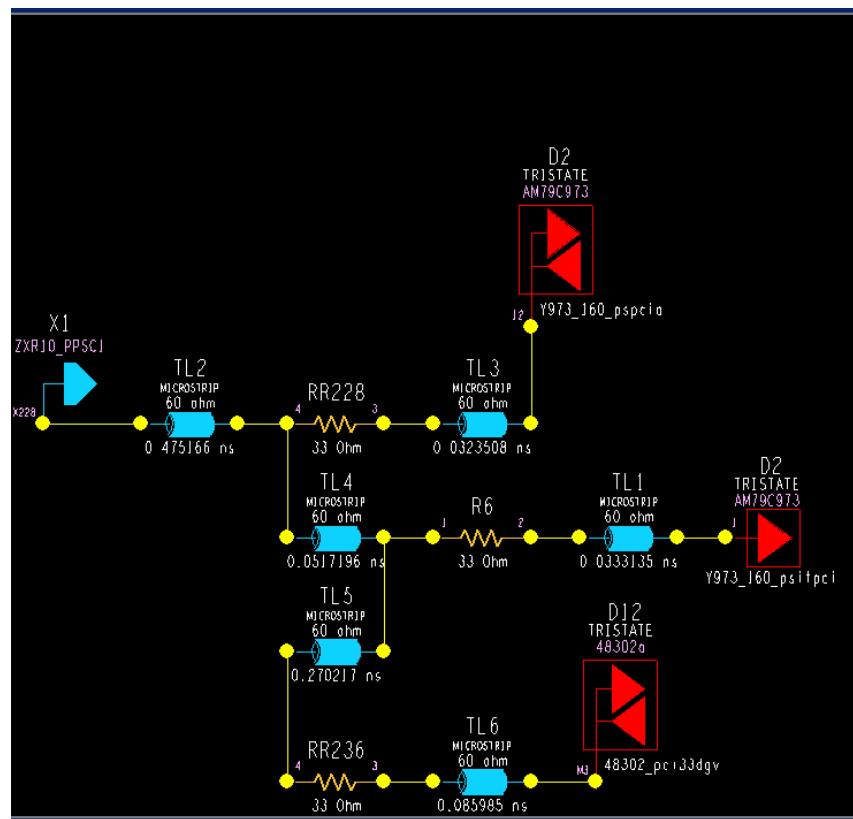


图 7-7 拓扑拆分 1

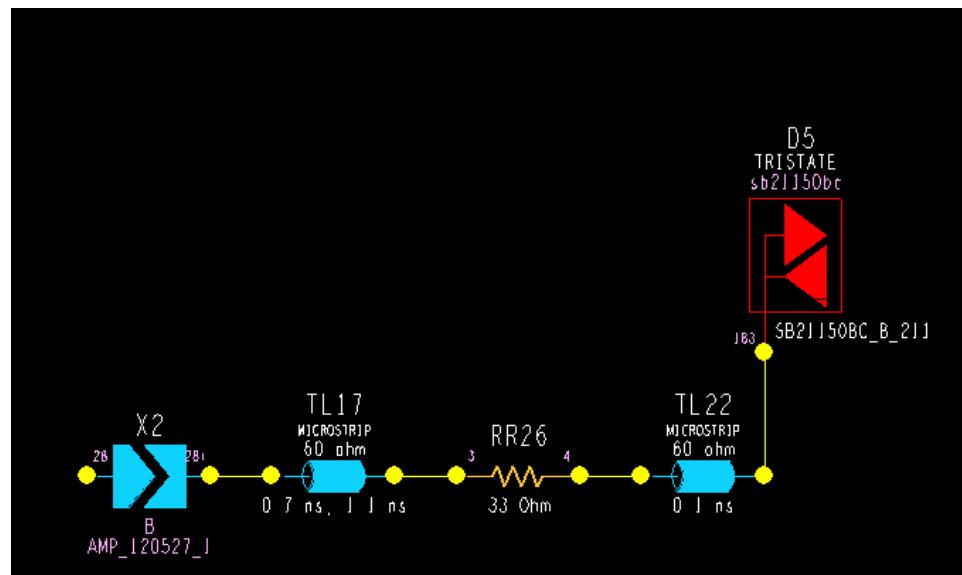


图 7-8 拓扑拆分 2

7.2.2 创建一个连接两板的 Design Link

在后仿真以及我们从 PCB 板上直接抽取拓扑进行仿真时，必须建立两板之间互联器件管脚映射关系的 DesignLink 模型，下面是建立 DesignLink 模型的过程：

- 1、在 **PCB SI** 窗口中选择 **Analyze—SI/EMI Sim—Library** 菜单，出现 **Signal Analysis Library Browser** 窗口出现，单击 **Signal Analysis Library Browser** 窗口中的 **Browse Models** 按钮（模型浏览器出现），单击 **Add Model** 按钮，选择弹出菜单中的 DesignLink（一个用来输入 DesignLink 名字的对话框将出现），如图 7-9。

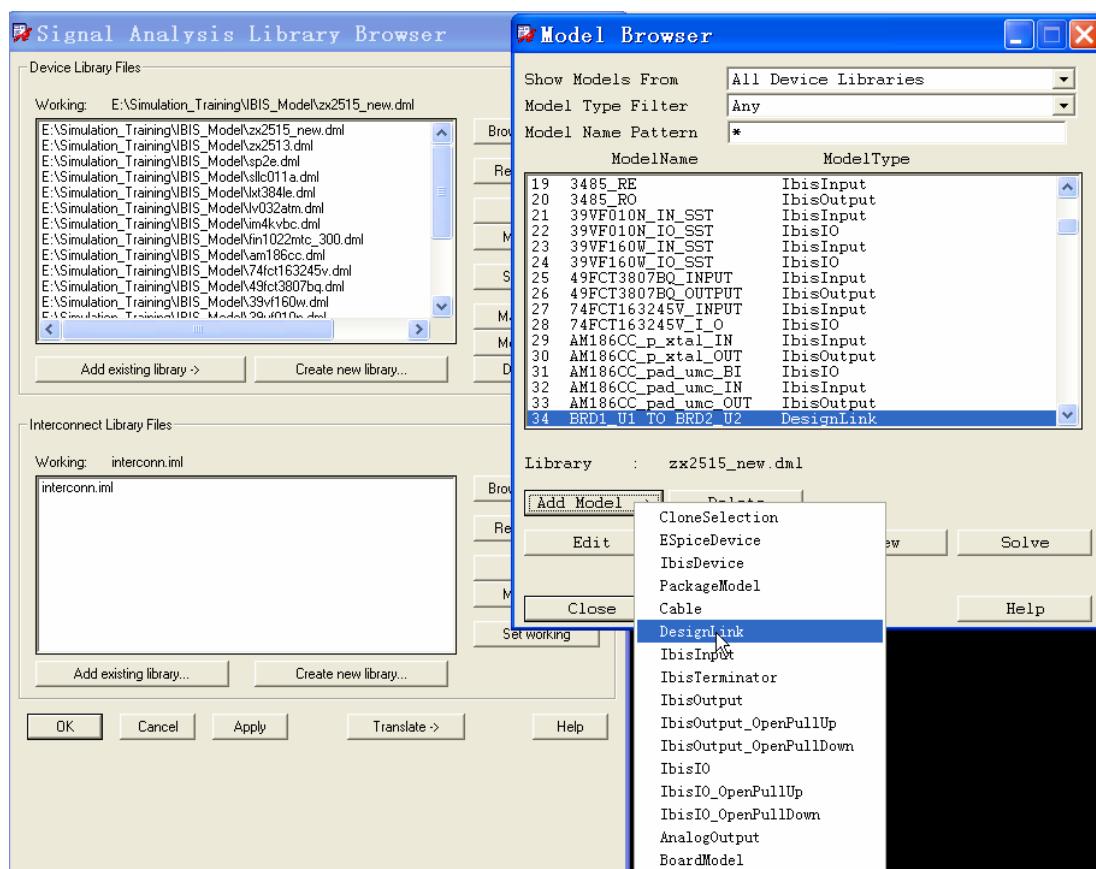


图 7-9 加入 DesignLink 模型

- 2、输入新的 DesignLink 模型名，点击 OK。（图 7-10）

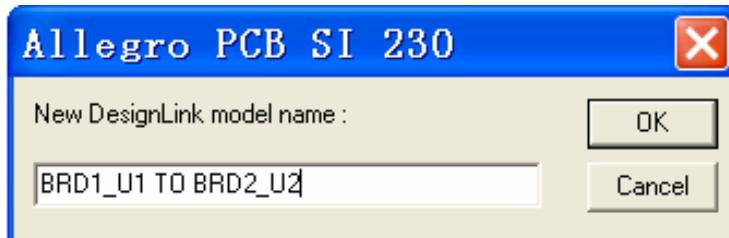


图 7-10 输入新的 DesignLink 名

这样这个新的 DesignLink 就加到了模型库中而且可以在模型浏览器中看到，如图 7-11。

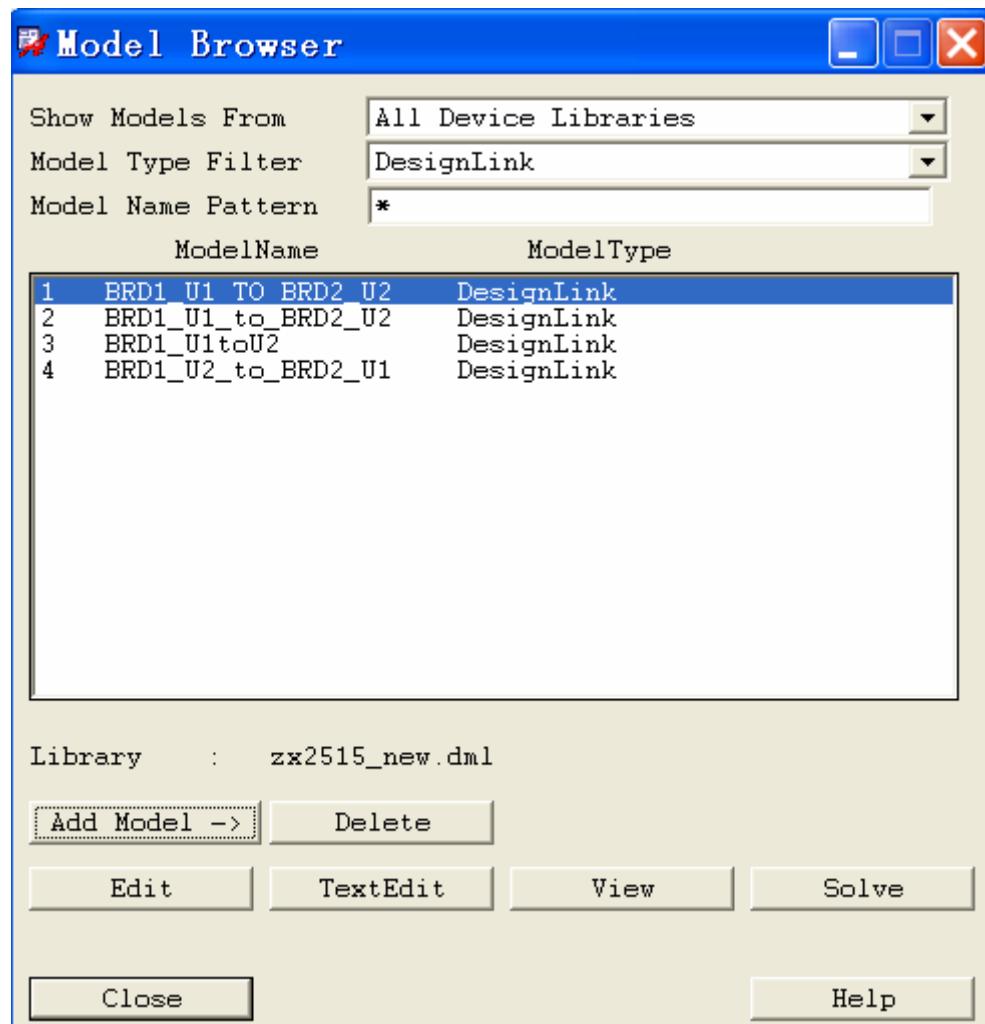


图 7-11 DesignLink 模型

3、点击模型浏览器中的 Edit 按钮。（系统配置编辑器出现，图 7-12）

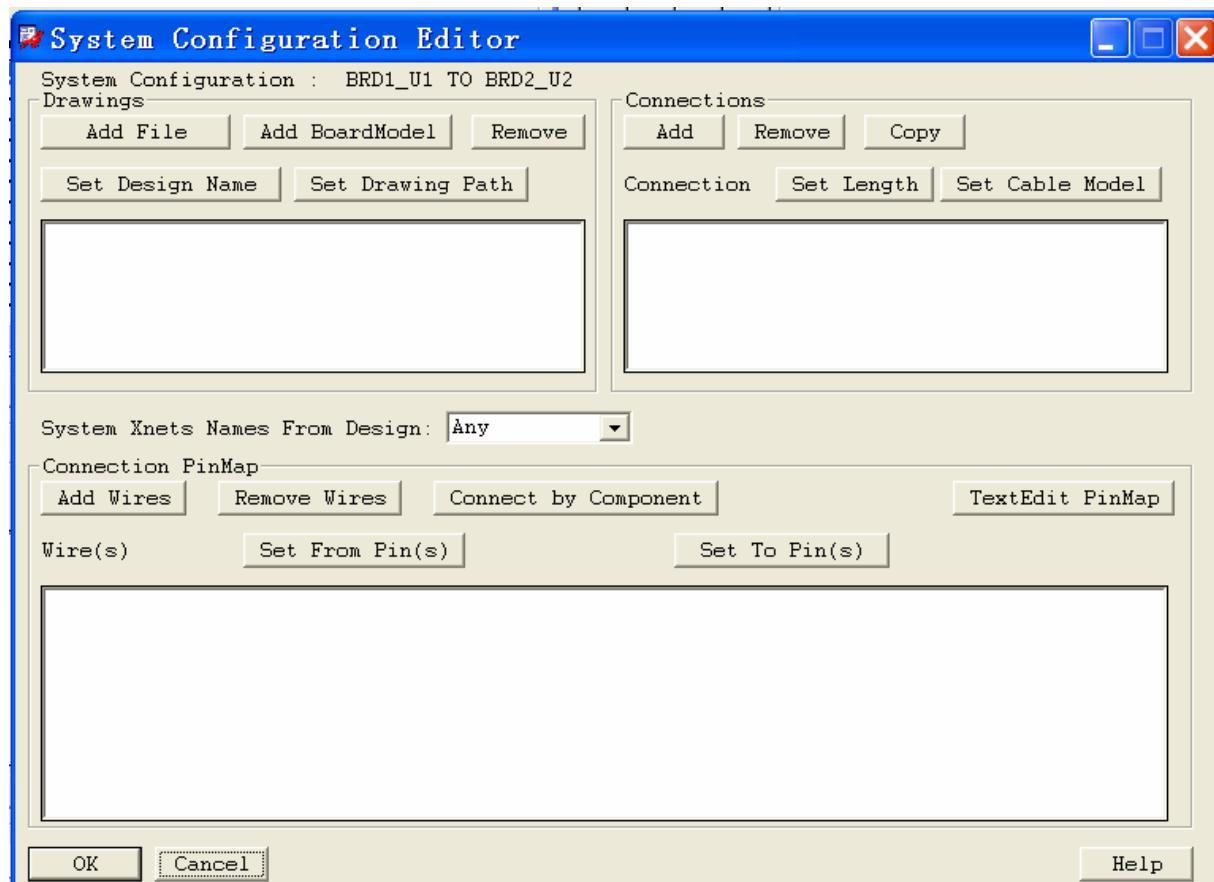


图 7-12 DesignLink 的 System Configuration Editor 界面

- 4、在 **Drawings** 部分：
- 选择 **Add File**
 - 在打开窗口中选择并打开 BRD1.brd
 - 在 BRD1.brd 设计名称区键入字母 A 并单击 OK，图 7-13。



图 7-13 DesignLink 中加入 PCB1

- 5、在 **Drawings** 部分：
- 选择 **Add File**
 - 在打开窗口中选择并打开 BRD2.brd

- c. 在 BRD2.brd 设计名称区键入字母 B 并单击 OK, 图 7-14



图 7-14 DesignLink 中加入 PCB2

- 6、在 **Connections** 部分

- 选择 **Add**
- 在 new connection name 区域输入 CONN1，并单击 OK
- 在 Connection Length 区域键入 0 并单击 OK，图 7-15

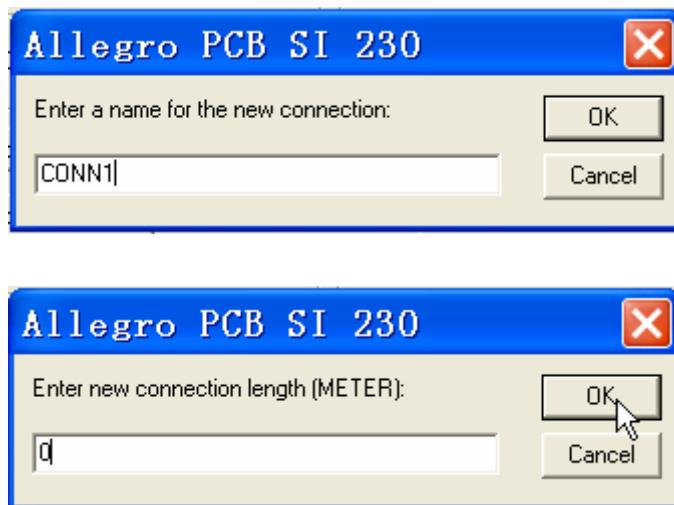


图 7-15 DesignLink 连接名

- 点击 Close 关闭模型浏览器（Model Brower）

因为例子中的母板和子卡是通过连接器直接相连的，所以在此不用添加 Cable 模型。母板和子卡上的连接器模型包含管脚寄生参数。

这样就创建了名叫 CONN1 的新连接，这个连接将母板上连接器的 A 排管脚镜像的子卡连接器的 A 排，连接长度为 0 表示连接器之间没有电缆相连。

- 7、选中 CONN1，在 **Connection PinMap** 部分：

- 选择 **Add**
- 在第一个 RLGC Wire Number 区域输入 1；这表示连接器管脚的起始数。如图 7-16：

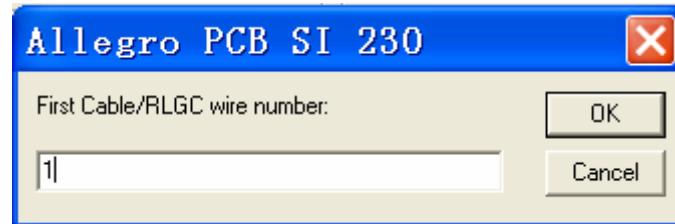


图 7-16 输入第一个连接器管脚的起始数

- c. 在另一个弹出窗口的 Number of RLGC Wires 区域输入 25；这表示管脚终结数。图 7-17

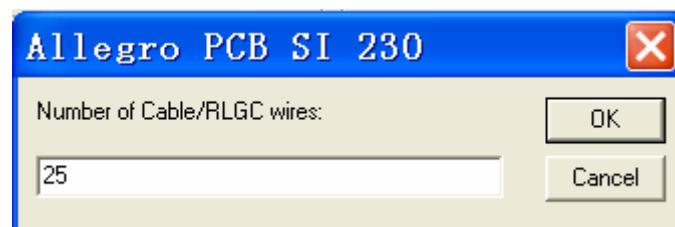


图 7-17 输入第一个连接器管脚的终结数

- d. 设置 First Connector Pin Name(From)Window 中的参数如下：图 7-18

Design A; Component X1; Pin number A1

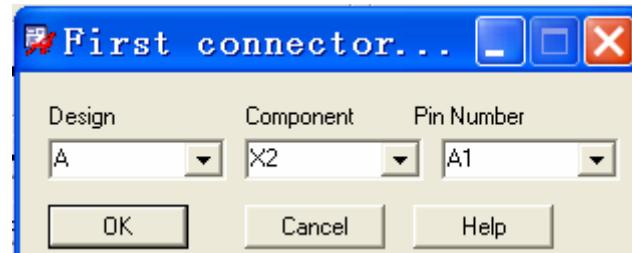


图 7-18 设置第一块板连接器的参数

- e. 设置 First Connector Pin Name(To)Window 中的参数如下：图 7-19

Design B; Component X2; Pin number A1



图 7-19 设置第二块板连接器的参数

这样，BRD1 板上连接器 X2 的 X1—X25 管脚到 BRD2 板上的连接器 X3 的 1—25 管脚的映射就如图 7-20 所示：

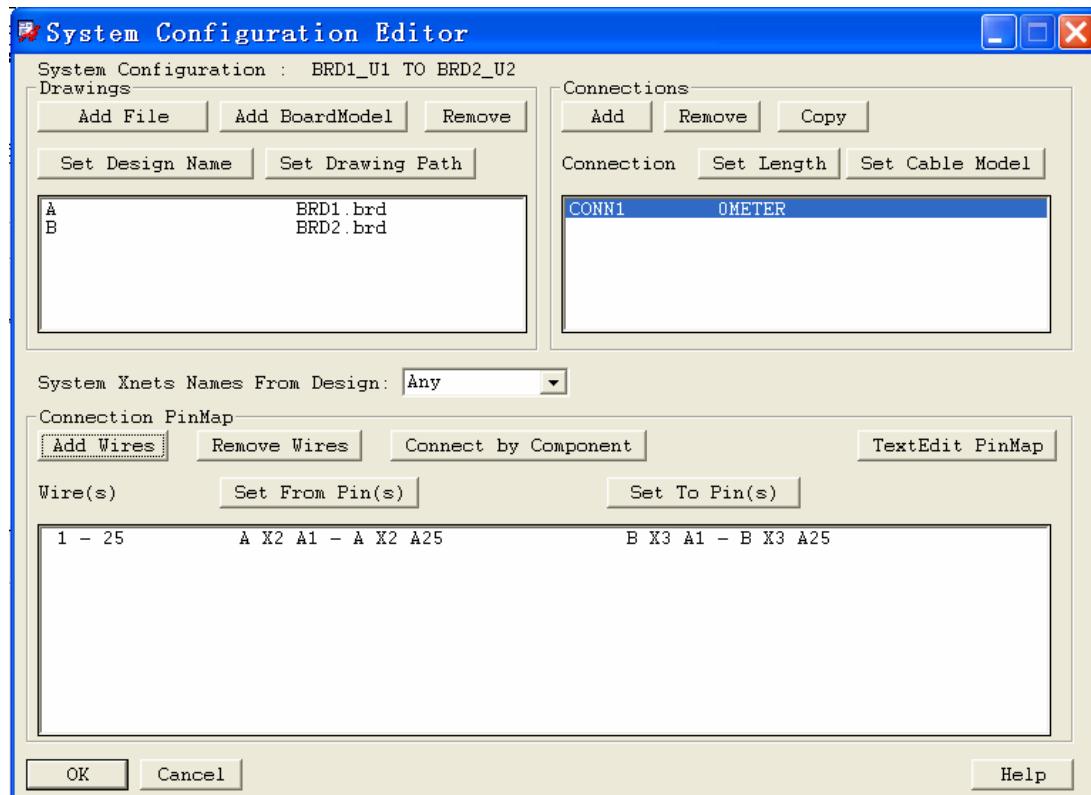


图 7-20 编辑完成第一个连接

- 8、重复以上步骤，建立 CONN2、CONN3、CONN4 等连接，分别设置它们相应的接插件管脚的映射。
 - 9、点击 System Configuration Editor 窗口中的 OK 键
 - 10、点击 Signal Analysis Library Browser 窗口中的 OK 键
- 至此，新的 Design Link 已经创建成功。

7.2.3 仿真通过 Design Link 连接的网络

一、在 PCB SI 中进行反射仿真，生成 Report:

- 1、选择 **Analyze—SI/EMI Sim—Initialize** 菜单
- 2、在 **Signal Analysis Initialization** 窗口的 **System Configuration Setup** 部分的下拉列表中选择 BRD1_U1 TO BRD2_U2，图 7-21
- 3、点击 OK

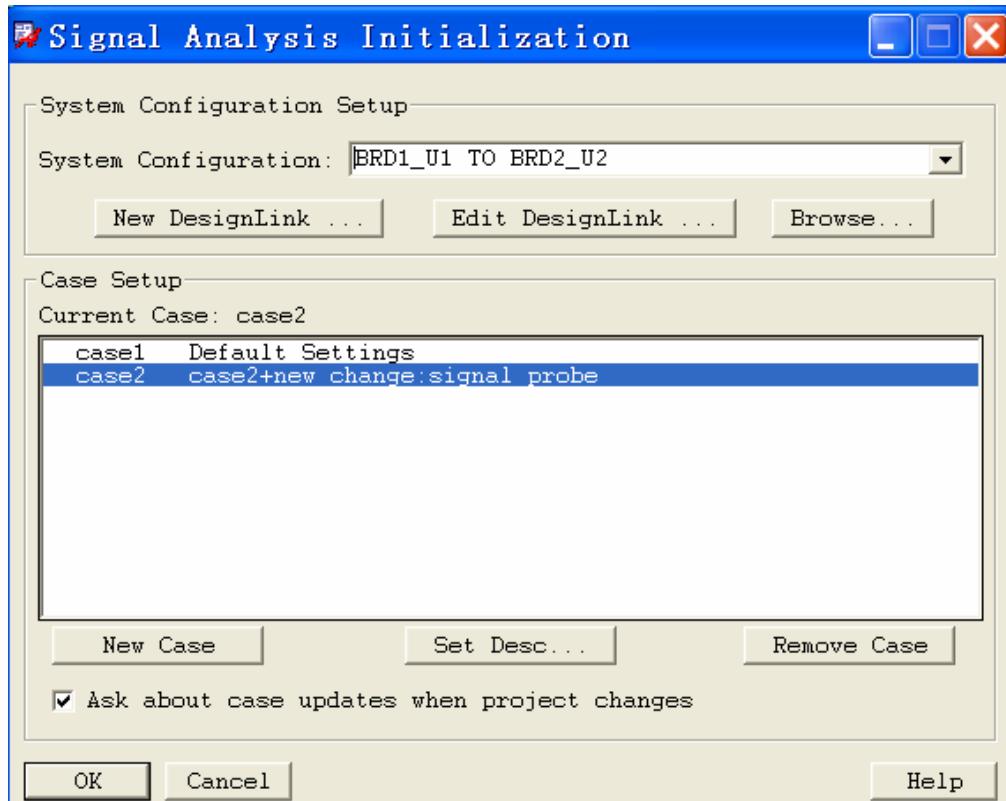


图 7—21 选择系统间的 DesignLink 连接

- 4、选择 **Analyze—SI/EMI Sim—Probe** 菜单
- 5、在 **Signal Analysis** 的命令行输入所要仿真的网络名并回车
- 6、在 Signal Analysis 窗口中选择 **Reports** 按钮
- 7、照图 7—22 设置参数。

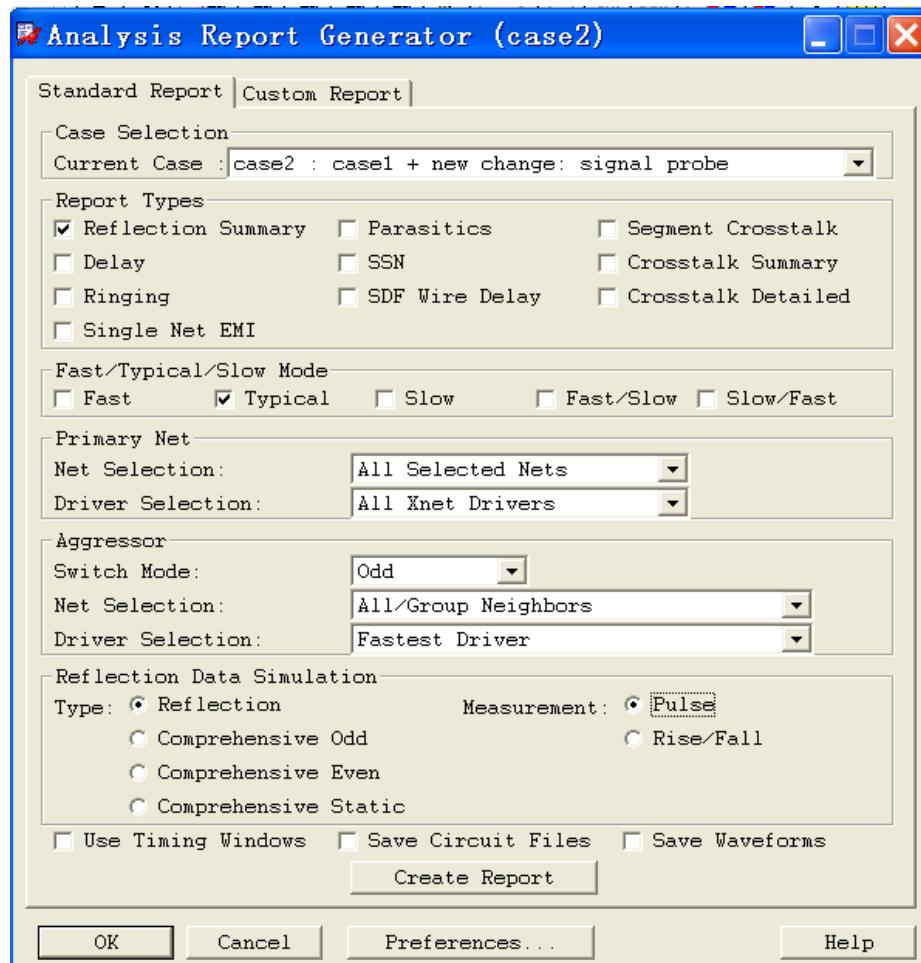


图 7-22 设置 Report 产生参数

8、点击 **Create Report** 按钮。

由于已经初始化为反射仿真，仿真器将对该网络进行仿真。

9、浏览报表，然后关闭报表

10、点击 **OK** 关闭 **Analysis Report Generator** 窗口

二、显示 Design Link 的波形

1、选择 Signal Analysis 窗口中的 Waveforms 按钮，弹出 **Analysis Waveform Generator** 界面。

2、选择 **Reflection** 标签

3、从下拉菜单中选择 Pulse

4、点击 **Typical** 模式

5、Primary Net 选择

Net Selection: All Selected Nets

Driver Selection: All Xnet Drivers

6、点击 **Create Waveform**，产生仿真波形列表，从波形列表中选择想观察的波形，图 7-23：

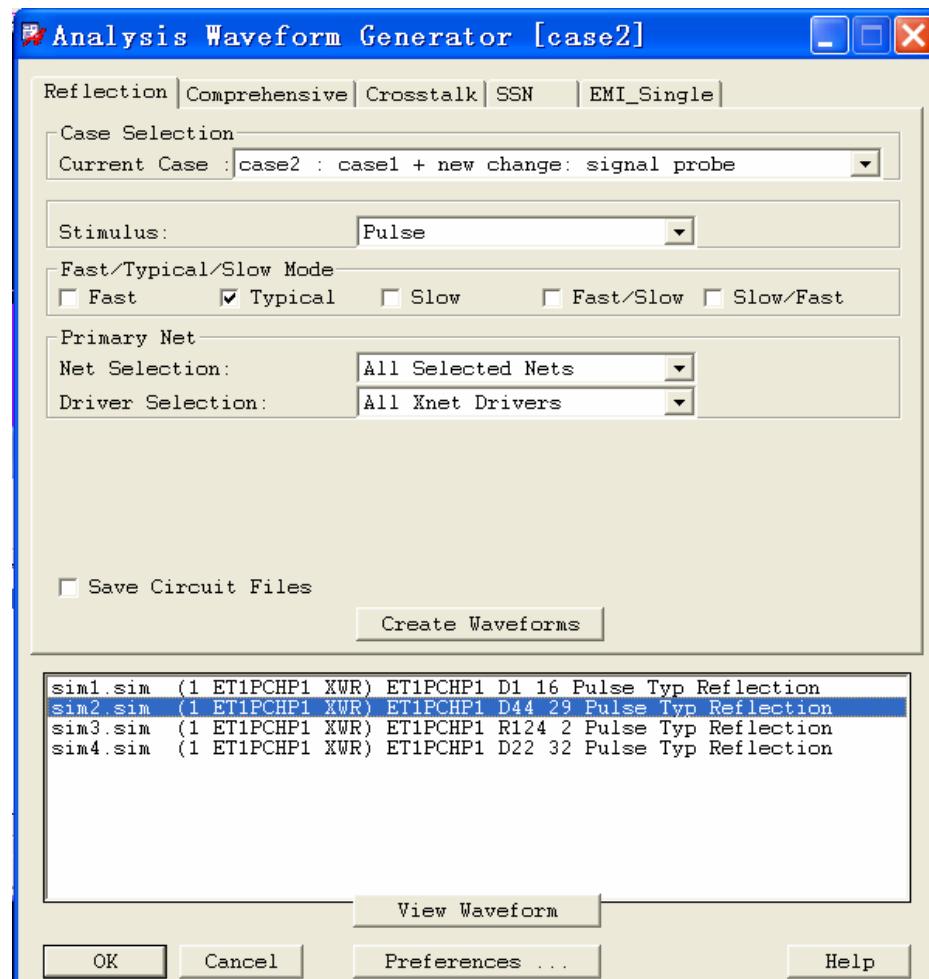


图 7-23 仿真波形产生界面

7、选择 **View Waveform** 按钮

8、观察波形，图 7-24

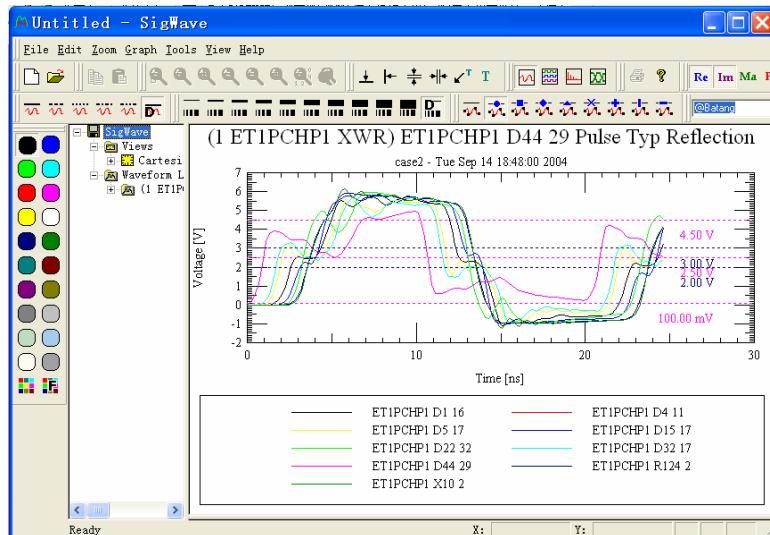


图 7-24 DesignLink 仿真波形

9、点击 OK 退出 Analysis Waveform Generator。

三、抽取并观看网络拓扑

1、选择 Signal Analysis 窗口中的网络

2、选择 View Topology，仿真拓扑显示在 SigXplorer 窗口。(图 7-25 所示)

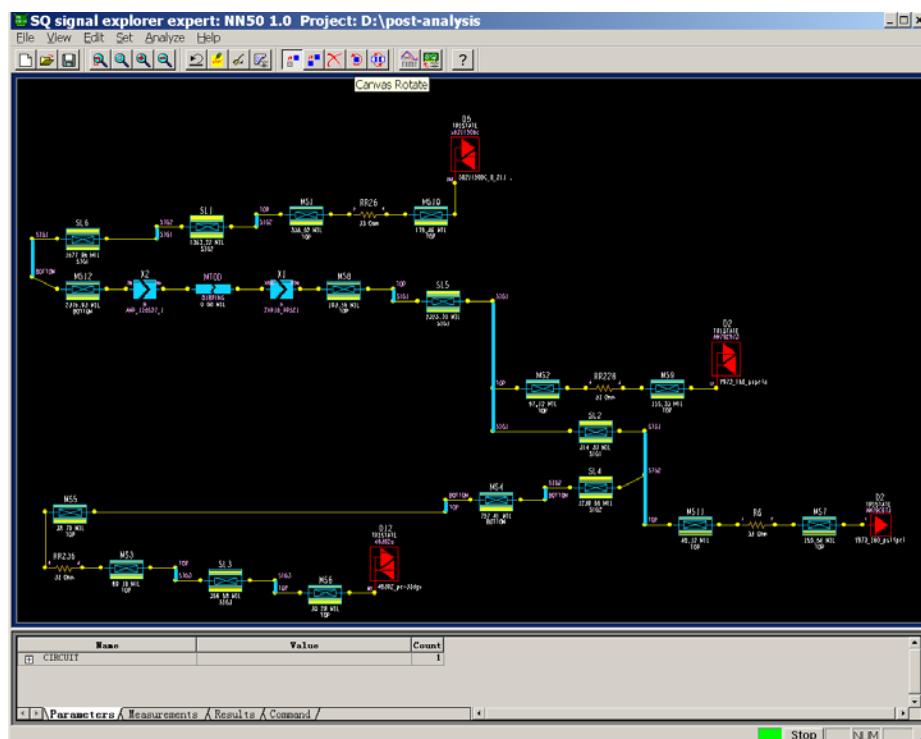


图 7-25 多板之间的拓扑结构

进入到 SigXplorer 中可以对不满足要求的的拓扑结构进行调整、仿真，仿真过程如前所述。

目录

第一章 约束管理器介绍.....	4
1.1 约束管理器简介.....	4
1.2 约束管理器界面简介.....	8
1.2.1 worksheet selector.....	8
1.2.2 用户接口.....	9
1.2.3 View 选项.....	9
1.3 启动约束管理器.....	11
第 2 章 OBJECTS 介绍	12
2.1 PIN-PAIRS	13
2.1.1 Pin-Pair 规则.....	14
2.2 NETS 和 XNETS	14
2.3 BUSES	15
2.4 MATCH GROUPS	15
2.4.1 如何确定 target pin pair	16
2.4.2 相对/匹配的群组规则.....	16
2.5 DIFF PAIRS	16
2.5.1 差分对工作表.....	17
2.5.2 差分计算器 (<i>Differential Calculator</i>) 的使用方法.....	19
2.5.3 差分对规则.....	19
2.6 DESIGNS AND SYSTEMS	20
第 3 章 设置网络的走线约束.....	21
3.1.1 设置网络的最大最小传输延迟.....	21
3.1.2 设置网络相对传输延迟.....	24
3.1.3 设置差分对约束.....	26
3.1.4 查看网络规范格式和物理格式.....	28
第 4 章 设置网络的时序和信号完整性约束	30
4.1 设置时序约束.....	30
4.2 设置信号完整性约束.....	32
4.2.1 设置电气属性约束.....	32

4.2.2 设置反射属性约束.....	33
---------------------	----

第 5 章 电子约束创建和应用 35

5.1 创建 ECSET	35
5.2 指定 ECSET 给网络	40
5.3 不考虑 ECSET 的缺省约束值.....	41
5.4 在原理图中查看 ECSET	41

第 6 章 ECOS 实现 43

6.1 在原理图中增加网络.....	43
6.2 在原理图中修改约束.....	45
6.3 在约束管理器中修改约束.....	46
6.4 在约束管理器中删除约束.....	46
6.5 在原理图中重新命名网络.....	47

第 7 章 在原理图和 PCB 之间同步约束 50

7.1 从原理图中输出约束.....	50
7.2 在 PCB DESIGN 中查看和添加约束	50
7.3 在原理图中导入并查看约束.....	51
7.4 在 PCB 和原理图之间同步约束的两种模式	52
7.4.1 用原理图中的约束重写 PCB 中的约束.....	53
7.4.2 在原理图中导入 PCB 中变更的约束.....	56

第 8 章 约束分析 58

8.1 查看工作表单元格和对象.....	58
8.2 定制约束、定制测量和定制激励.....	59
8.2.1 定制约束.....	59
8.2.1.1 用户定义的属性.....	59
8.2.1.2 约束的定制测量.....	59

第 9 章 SCHEDULING NETS 61

9.1 SCHEDULING NETS	61
9.2 SCHEDULING NETS-REVISITED.....	65

第 10 章 相对传输延迟 68

第 11 章 MATCH DELAY	73
第 12 章 解决 DRC 冲突	74
第 13 章 约束管理器	76
13.1 层次设计中的电子约束.....	76

第一章 约束管理器介绍

约束管理器是一个交叉的平台，以工作簿和工作表的形式在 Cadence PCB 设计流程中用于管理所有工具的高速电子约束。约束管理器让你定义、查看和校验从原理图到分析到 PCB 设计实现的设计流程中每一步的约束。可以使用约束管理器和 SigXplorer Expert 开发电路的拓扑并得出电子约束，可以包含定制约束、定制测量和定制激励。

本培训教材描述的主要是怎样在约束管理器中提取约束，并且约束如何与原理图和 PCB 的属性同步。本教材的内容是约束管理器、Concept HDL 和 PCB Design 的紧密集成的集锦。

所谓约束就是用户定义的限制条件，当在板上走线和放置元件时会遵守这些约束。电子约束（ECSets）就是限制 PCB 上与电行为有关的对象，比如可以设置某个网络最大传输延迟为 2ns。

教材主要内容如下：

- 第 1 章～第 7 章主要关于原理图约束管理器使用；
- 在约束管理器中提取 ECs (电子约束)；
- 在原理图和约束管理器中执行 ECO；
- 在 Concept 和 PCB Design 中传递 ECs。

这部分面向 Concept HDL 的约束管理器的初学者，但是要熟悉 Concept HDL 和 PCB Design。此教材不讨论 Concept HDL 和 PCB Design 不同模式和属性的细节，但是会详细地讨论约束管理器过程。

为了快速理解约束管理器的主要特点，可以看看 Concept HDL 的多媒体教材。请见 *Help – Learning Concept HDL– Demos in Concept HDL*。

将练习文件 project.zip 解压缩到一个空的路径\design。

确认设置环境变量 CONCEPT_INST_DIR 到 Cadence 安装路径（一般安装时设置好了）。

- 第 8 章～第 12 章主要关于 PCB 约束管理器使用，但是省略了与原理图相同的部分。
- 本培训教材附两个练习文件：project.zip 和 golderboard.rar。

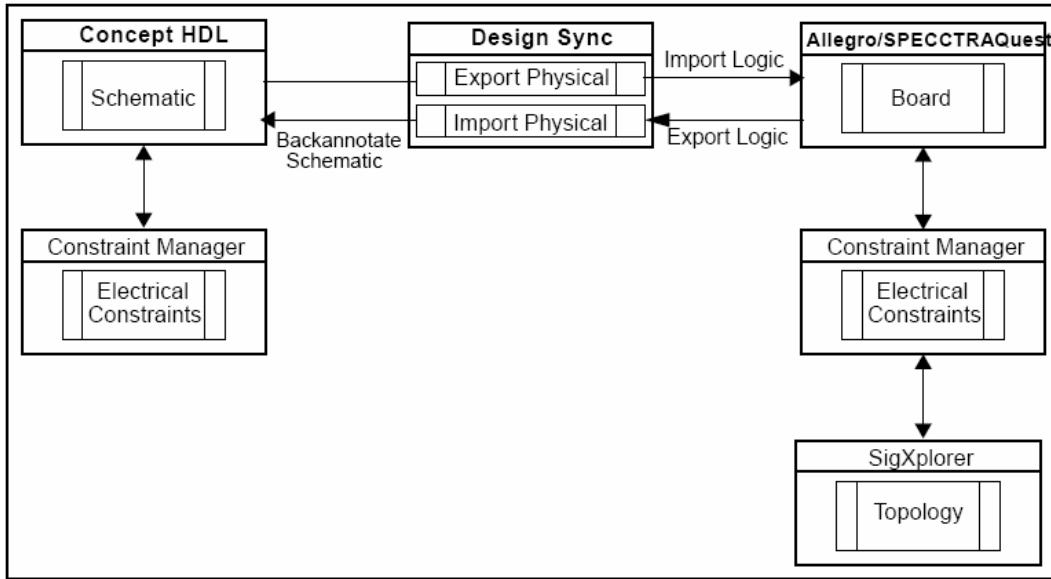
1.1 约束管理器简介

约束即用户定义的附加到网络或者管脚对上的要求，电子约束管理着网络和管脚对的行为。可以使用约束管理器来提取和管理电子约束。Cadence 推荐使用约束管理器来提取约束，因为约束管理器有下列特性：

- 提供工作表为基础的用户接口，允许快速的提取、修改、删除约束。
- 支持语法检查
- 支持约束继承，高层的约束可以被继承，低层的约束可以覆盖高层约束。

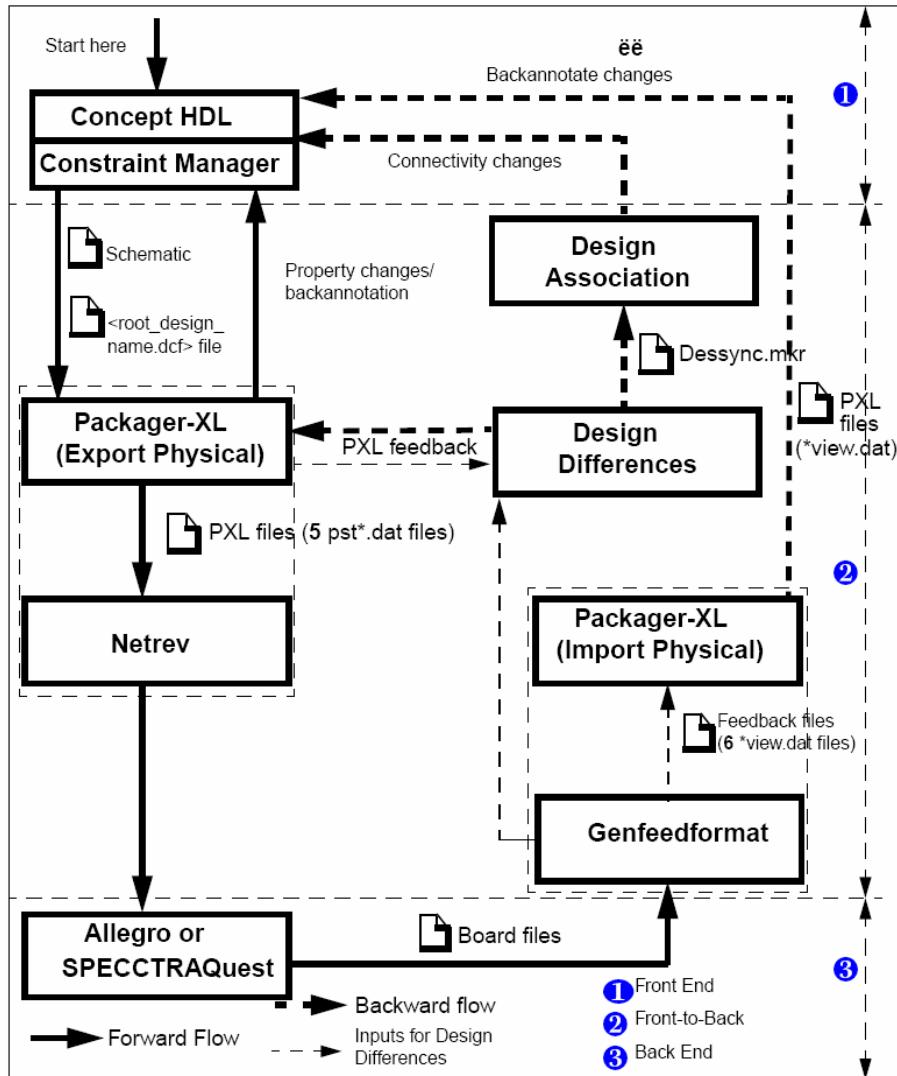
- 可以定义电子约束集。
- 创建约束报告。

约束管理器在流程中的位置和作用请见下图：



加入约束管理器的设计流程请见下图：

在下图中约束管理器保存电子约束信息在根设计一个新的目录下，约束视图包含*.dcf文件，里面包含设计的电子约束信息。在此流程中，在打包时 Packager-XL 创建 5 个 pst*.dat 文件，包含传统设计流程中的 3 个文件（pstchip.dat, pstxprt.dat, pstxnet.dat），还有两个文件 pstmdb.dat, pstmcb.dat。pstmdb.dat 包含当前设计中的电子约束，是 constraints 视图中的*.dcf 文件的拷贝。pstmcb.dat 包含的是板中的约束，在执行 import physical 时产生的。如果没有*.dcf 存在，Packager-XL 就允许在传统的流程。



约束管理器是以表格为基础的应用，很容易使用，并且允许创建通用的约束并将其同时应用到很多网络上，如果需求发生改变，可以编辑通用的约束并自动更新用到此约束的网络。请见图 1-1 约束管理器界面。

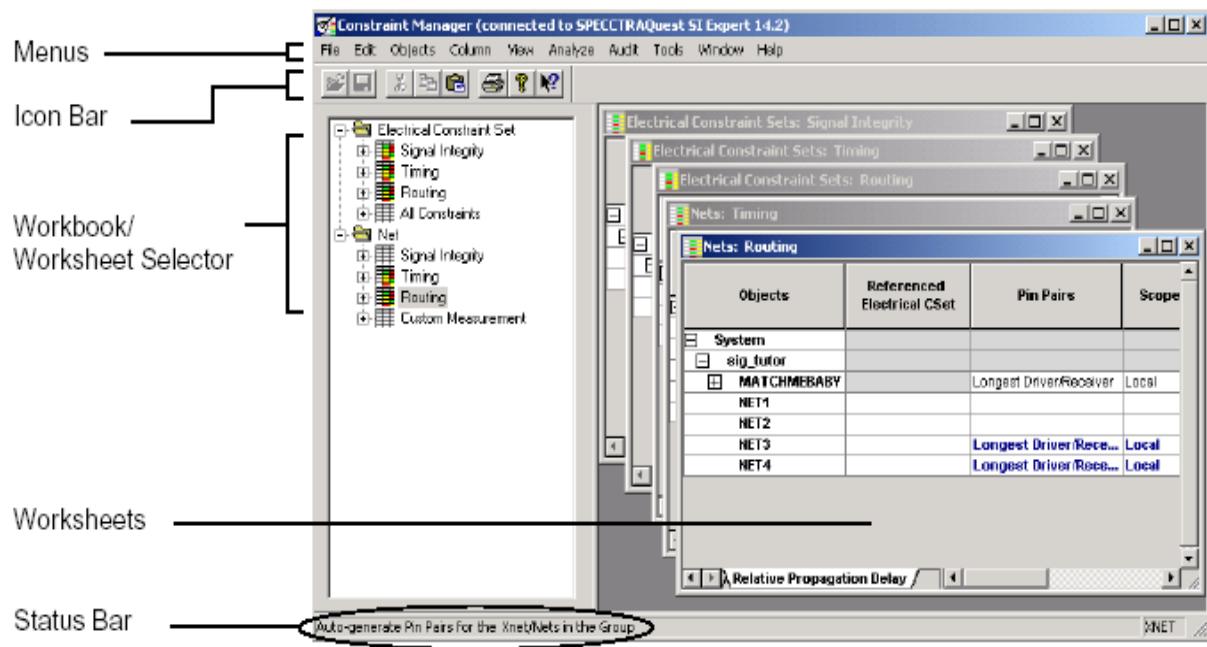


图 1-1 约束管理器用户界面

在约束管理器，你可以工作在对象（objects）（比如网络、管脚对）和 ECSets（Electrical constraint sets 电子约束集）。你可以以电子约束的形式定义一个或者多个约束以满足设计需求，然后指定合适的约束给设计中对象，如果需求变更可以交换 ECSets 或者重新定义当前的指定。一个 ECSets 可以被很多对象应用，对象和 ECSets 对于整个设计可以是通用的，或者仅设计中的指定网络应用。

约束管理器的特点请见表 1-1：

表 1-1 约束管理器的特点

特色	优点
对象分组	可以对对象进行分组成为容易管理的单位，例如 bus 或者 match net，可以比较容易应用约束给成员
概念性定义	可以先定义概念性的约束，之后再应用于物理的、网络的对象
重新定义约束	不用一一修改每个网络的约束，只要重新定义 ECSets，那么所有应用这个约束的对象被同时更新。
交叉检查	你可以用其他工具比如 Concept HDL, PCB SI 或者 PCB Design 运行约束管理器，在约束管理器中选择 Net 查看相关的对象，它在原理图、分析、布线里都是动态更新的。相反，当在某个工具中更改了约束，约束管理器会更新它的值。
拓扑开发（注 1）	在约束管理器中可以启动 SigXplorer 来确定管脚顺序并得出通用的、网络相关的约束。可以包含 定制约束 、 定制测量 和 定制激励 。 拓扑样本可以导入约束管理器 。
设计重用	约束可以被导出被重用。
克隆约束	可以拷贝并修改参数存为另外一个约束。

分析	约束管理器可以完成设计规则检查，有必要的话，还可以进行仿真分析。分析结果以 DRC 标记，结果也可以在工作表中显示，还可以与定义的约束进行比较，显示出裕量。
系统级约束	约束管理器能够提取板到板的互连约束。
永久保存	可以保存在板数据中，原理图数据中。

注 1：拓扑模板的存在比约束管理器早，拓扑模板与约束管理器的集成提供一个优选的创建和编辑 ECSets 的环境。拓扑模板除了提供图形环境来访问指定的管脚对和定义网络节点排序（scheduling）也可以使用电子约束。拓扑模板和 ECSets 可能会交换使用，但是应该注意此功能是可选的。在约束管理器中可以管理所有的 ECSets，并且 ECSets 可能仅包含规则而没有相关的拓扑。

1.2 约束管理器界面简介

请见图 1-1，约束管理器包含以下几个部分：

- menu 和 icon 命令选择
- worksheet selector 用于选择合适的工作表
- worksheets 用于提取、编辑和校验约束
- status bar 反馈对象选择和约束进程

注意当在约束管理器中选择一个目标时，按右键可以弹出一个上下文敏感的菜单，选择命令执行。

1.2.1 worksheet selector

使用 worksheet selector 启动想要编辑的合适的工作表。

在约束管理器中通过 worksheet selector 通过 Object type 管理约束和属性。Object type 就是最上层的文件夹 Electrical Constraint Set 和 Net。请见图 1-2。

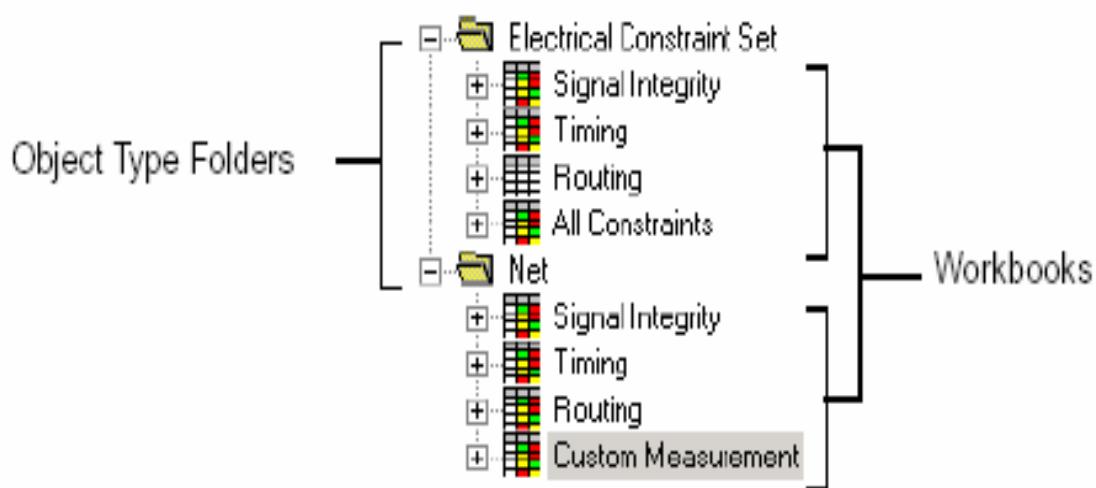


图 1-2 Object type 和 Workbooks

在 Electrical Constraint Set 文件夹中定义通用的规则，创建通用的对象分组（比如相对或者匹配群组和 pin-pair），然后再将这些约束 ECSets 指定给相应的对象。

在 Net 文件夹可以创建针对指定网络对象分组（symtem,design,bus,diff-pair,Xnet,net,relative or match group,and pin-pair）。也可以创建基于网络相关属性的 ECSet。这个 ECSet 将放在 Electrical Constraint Set 文件夹中。

当扩展 Electrical Constraint Set 或者 Net 文件夹时，工作簿通过设计规则组织这些对象，比如 Signal Integrity, Timing, Routing, and Custom Measurements，此外在 Electrical Constraint Set 文件夹还有一个 All Constraints 工作簿，包含所有工作表中的约束。在 All Constraints 的下面有一个 User-defined 文件夹包含 SigXplorer 定义的独特的约束。

一般，你定义一个约束在某个指定的工作表中，那么只能设置这个工作表相关的约束，不能设置其他工作表中包含的约束，你可以在 All Constraints 工作簿中定义这个约束的其他设置，而不用另外再建一个约束。在 All Constraints 工作簿也可以用于不同工作表中约束的比较。

1.2.2 用户接口

Cadence 约束管理器的基本操作与 Windows 基本操作基本相同。下面仅将快捷键介绍一下。

提供的快捷键如下：

表 1-2 快捷键

快捷键	功能
F3	Find Next
F9	Analyze
Ctrl+F9	Analysis Modes
Shift+F9	Analysis Settings
Ctrl+F6	View Options

1.2.3 View 选项

约束管理器提供很多选项以定义自己的用户界面。

设置 View 选项

1. 在启动约束管理器之前，首先打开项目文件 project.cpm，然后打开原理图。
2. 在 Concept HDL 界面，选择【Tools】/【Constraints】/【Edit】。弹出约束管理器对话框，提醒使用约束管理器要考虑兼容性。
3. 选择【Don't show me the message again】单选框。
4. 点击 OK 按钮。
5. 点击 Yes 按钮。在设计展开之后，启动约束管理器界面。注意在约束管理器标题栏标识“connected to Concept HDL”，表示约束管理器中的约束来自 Concept HDL。请见图 1-3。

0 第一章 约束管理器介绍

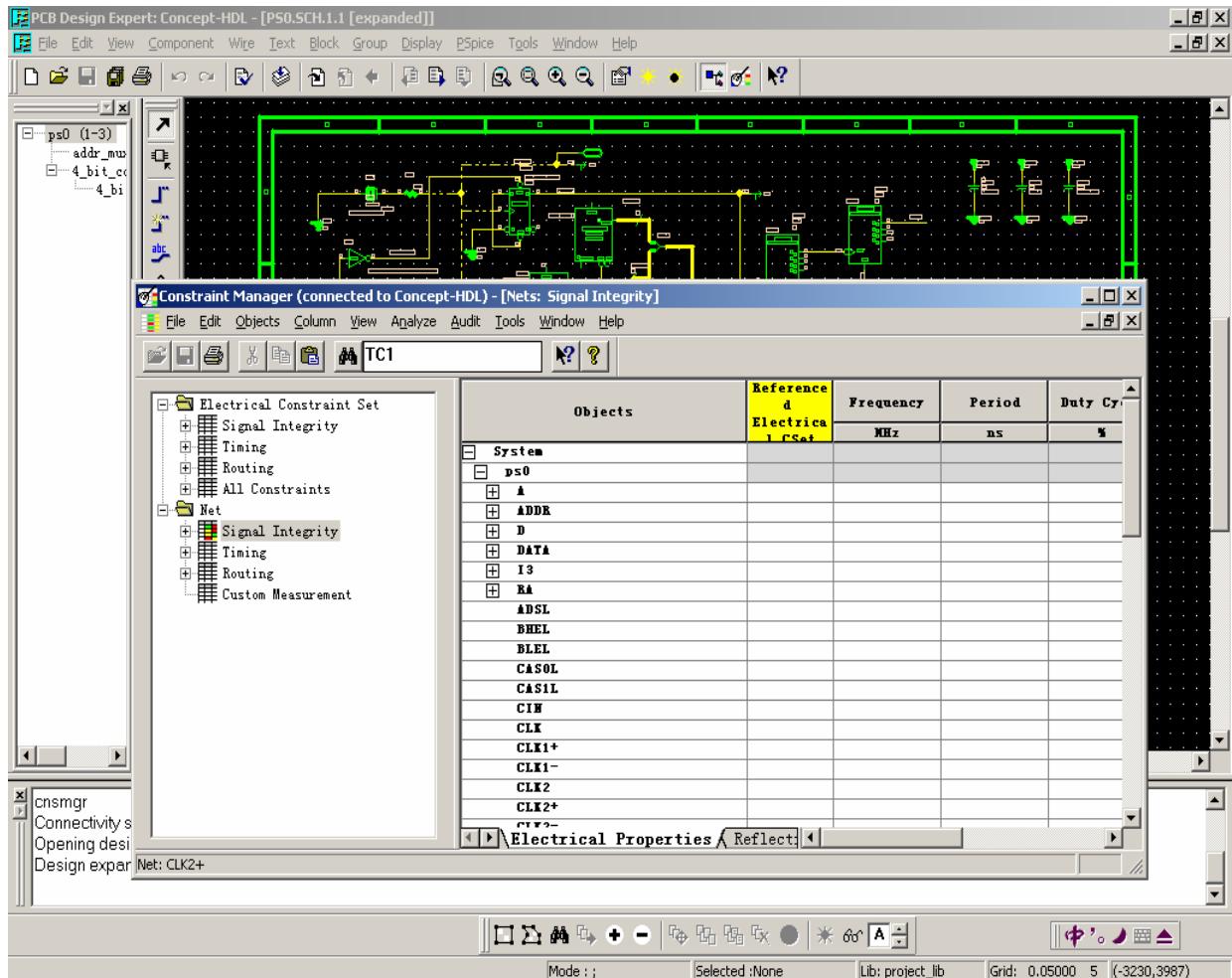


图 1-3 约束管理器界面

6. 选择【View】/【Option】命令，进入【View Options】对话框。

【Colors】栏的几个颜色选择对应不用状态的颜色选择：

【Pass】：当分析结果与指定的约束匹配时显示的颜色。

【Fail】：当分析结果与指定的约束不匹配时显示的颜色。

【Analysis error】：当分析不能完成时显示的颜色，在状态栏会显示错误的原因。

【Directly set】：直接对网络相关的约束设置时显示的颜色。

【Dividers】：规定 Objects 集的分隔显示的颜色。

【Use defaults】：选择此选项时表示使用缺省设置，如果不选使用用户的设置。

【Use colors】：选择此选项时表示使用颜色设置，如果不选不分类显示颜色。

关于【Names】栏的意思以后章节会详细解释。

1.3 启动约束管理器

上一节讲了一个启动约束管理器的方法，可以从以下几个工具启动约束管理器：

工具	菜单命令
PCB SI, PCB Design, Advanced Package Designer, or Chip I/O Planner (后边两个工具我们不 用)	Setup – Electrical Constraint Spreadsheet
Concept HDL	Tools – Constraints – Edit

也可以点击约束管理器图标  进入约束管理器。

第2章 Objects 介绍

上一章已经提过对象（objects）这个词，本章将具体介绍 objects。

约束管理器强制执行 objects 的优先顺序，最顶层的是 System，最底层的是 pin-pair。为顶层对象指定的约束会被底层的对象继承，为底层对象指定的同样的约束优先级高于从上层继承的约束。尽量在高层次指定约束，层次关系如下：



图 2-1 Objects 层次图

注意此 Object 层次图描述的是网络相关的对象类型，电子约束对象类型不包括网络相关的信息（Xnet 和 Net），但是与网络对象类型有同样的优先级。

对象的排序让你尽可能定义约束在最高层次，在低层次仅设置要覆盖的约束。

注意在某个工作表中，对象的子层次反映的分析结果，不会被用于约束优先的层次。**这些对象结果与一般的约束层次是不区分的，但是可以读，不能编辑这些约束。**

[+] A_TO_B	(System)
[+] A:RAS0	(Xnet)
A.U1.1:B.U33.2	(Pin Pair)
[+] A:CASE0	(Xnet)
 [-] A	
[+] AddressBus	(Design)
[-] DP1	(Bus)
[-] Addr0-	(Diff Pair)
U2.1:U4.1	(Xnet)
[+] Addr0+	(Pin Pair)
[+] DP2	(Xnet)
[+] DP3	(Diff Pair)
...	
[+] DataBus	(Diff Pair)
[+] Data0	(Bus)
[+] Data1	(Xnet)
[+] Data2	(Xnet)
...	
[+] DP35	(Xnet)
[+] control1	(Diff Pair which is not part of a bus)
U33.1:U34.2	(Pin Pair)
U33.1:U35.2	(Pin Pair)
U33.1:U36.2)	(Pin Pair)
[+] AA1	(Net which is not part of an Xnet)
 [+] B	
	(Design)

图 2-2 多板结构对象层次举例

图 2-2 描绘了多板 system 结构，包括主板 A_TO_B 和两个子板设计 A 和 B。也包含 net,Xnet,diff-pair,和 bus 对象分组。

2.1 Pin-Pairs

Pin-Pair 代表一对逻辑连接的管脚，一般是驱动和接收。Pin-Pairs 可能不是直接连接的，但是肯定存在于同一个 net 或者 Xnet（所谓 Xnet 即网络的中间可能串接电阻或者接插件，比如图 2-3 中的 U1.8 到 U3.8 的连接中间经过了一个电阻，即 Xnet，在 2.2 节会详细讲解。）。可以使用 pin-pairs 来获取 net 或者 Xnet 指定的 pin-to-pin 约束，也可以使用 pin-pairs 来获取 ECSets 通用的 pin-to-pin 约束，如果参考了某个 ECSets 会自动定义 net 或者 Xnet 的 pin-pairs。

可以指定 pin-pairs（比如 U1.8 U3.8）或者基于下面的格式直接提取。当从 SigXplorer 导入拓扑并应用 ECSets 给 net，约束管理器基于导入的拓扑文件创建 net 或者 Xnet 的 pin-pairs。

- Longest pin-pair
- Longest driver-receiver pair
- All driver-receiver pairs

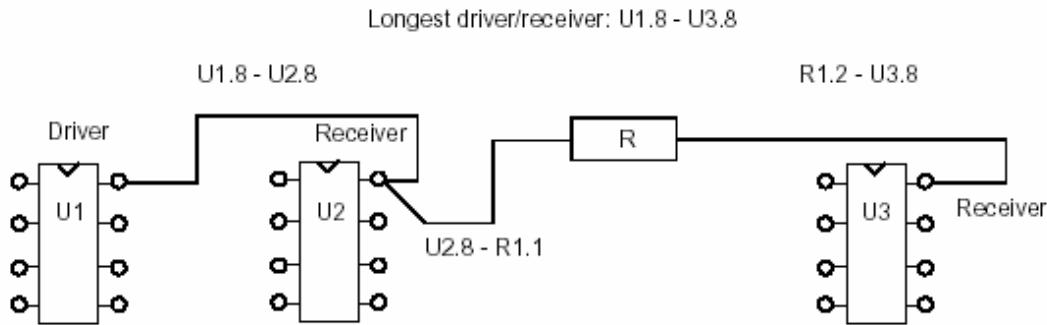


图 2-3 Longest pin-pair

注意：Concept HDL 数据库不能直接支持 pin-pair 对象，约束管理器能够更新和校验原理图中的 pin-pair 约束。

创建 pin-pair 的方法请见 3.1.1 节 15~19 步具体操作。

2.1.1 Pin-Pair 规则

下面的规则应用于创建 Pin-Pairs，Pin-Pairs 仅能在以下工作表中创建。

工作簿	工作表
All Constraints (不可以)	Signal Integrity/Timing/Routing
Timing	Switch/Settle Delay Setup/Hold
Routing	Impedance Min/Max Propagation delay Relative Propagation Delay

- 在对象中一定要存在某个管脚，才能创建相应的 pin-pair。
- 在 All Constraints 和 Timing 工作表中的对象一定要有驱动和接收。
- Pin-pair length 如果已经完成走线则是两个管脚之前走线的长度，如果没走线，就是连接两个管脚的走线的曼哈顿距离。
- 约束管理器确定 longest/shortest pin-pair length 是基于驱动和接收，如果没有任何驱动和接收，就考虑 Xnet。
- 对于相对传输延迟约束，仅仅确定 longest pin-pair。

2.2 Nets 和 Xnets

请见图 2-4 很容易理解 Cadence 的 Nets 和 Xnets 的区别。所谓 nets 就是从一个管脚到其他管脚的电子连接。如果 net 的中间串了无源的、分立的器件，比如电阻、电容或者电感，那么在数据库中每个网络段通过一个独立的 net 来表示。约束管理器解释这些网络段作为相邻的扩展的网络或者 Xnet，Xnets 在多板连接的结构中也可以贯穿连接器和电缆。可以

将 Nets 和 Xnets 与 ECSets 联系起来。

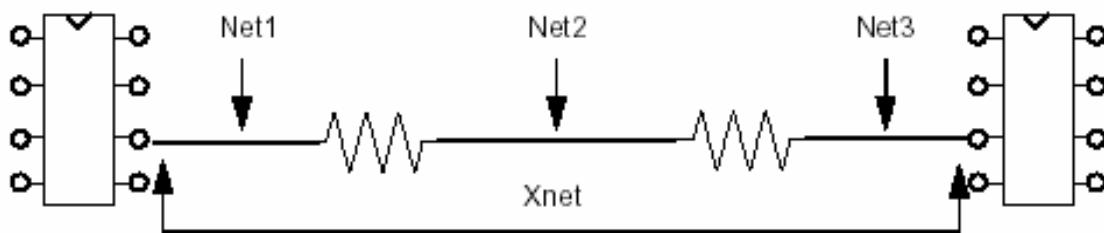


图 2-4 Nets 和 Xnets 的区别

2.3 Buses

总线代表 diff-pairs,Xnets 或者 nets 的指定的集合。在总线上获取的约束可以被所有总线的成员继承，可以通过 SigXplorer 定义管脚的连接顺序并增加约束信息。

- **Bus 规则**
- 可以在所有网络相关的工作表中创建总线。
- 当与 Concept HDL 关联时，约束管理器不能创建总线。
- 总线一定是 design-level，不能是 system-level。

2.4 Match Groups

Match Group 是 nets, Xnets 或者 pin-pairs 的集合，此集合一定要都匹配 (delay 或者 length) 或者相对于组内的一个明确的目标。如果 delta 值没有定义，组内的所有成员都将是绝对匹配的，并允许有一定的偏差。如果定义了 delta 值，那么组内所有成员将相对匹配于明确的目标网络。

下面是 Match Group 的必要属性：

- **Target** – 组内其他 pin-pairs 都要参考的 pin-pair 就是目标 (Target)，可以是默认的也可以是明确指定的 pin-pair，其他的 pin-pairs 都要与这个目标比较。
- **Delta** – 每个 pin-pair 成员与目标 pin-pair 的差值，如果没有指定此差值，那么所有成员就需要匹配，如果定义了此值不为 0，则此群组就是一个相对匹配的群组。
- **Tolerance** – 允许匹配的偏差值。

下面用三个例子来说明不同情况下的匹配群组（绝对的和相对的）。

例 1

Net	Target	Delta	Tolerance	Comments
Data1	未指定	未指定	10mil	这个例子中没有参考，所有的网络都必须彼此匹配
Data2	未指定	未指定	10mil	在 10mil 之内，如果三个网络中的一个是 1000mil，

Data3	未指定	未指定	10mil	其他两个网络必须在 990mil~1010mil 之间, delta 值未指定(不是 0)是绝对的匹配延迟, target 也未指定。
-------	-----	-----	-------	---

例 2

Net	Target	Delta	Tolerance	Comments
Data1		0mil	10mil	
Data2		0mil	10mil	
Data3	X	0mil	10mil	Data3 是此群组参考值, 所有的网络都必须匹配 Data3 在 10mil 之内, 如果 Data3 是 1000mil, 其他两个网络必须在 990mil~1010mil 之间, delta 值被指定是相对的匹配(传输)延迟。

例 3

Net	Target	Delta	Tolerance	Comments
Data1	X	100mil	10mil	
Data2		100mil	10mil	
Data3		100mil	10mil	Data1 此群组参考值, 所有的网络都必须匹配 Data1 在 100mil 之内并加上或者减去指定的偏差值 10mil。如果 Data1 是 1000mil, 其他两个网络必须在 990mil~1110mil 之间, 对于相对的匹配(传输)延迟 delta 和 tolerance 值被指定。

2.4.1 如何确定 target pin pair

一旦 pin-pairs 中的一对被选择作为目标, 其他的 pin-pairs 都要与此目标以给定的 delta 和 tolerance 内来匹配。约束管理器决定目标 pin-pairs 的方法如下:

- 明确指定的 pin-pair。
- 如果所有的 pin-pairs 都有 delta 值, 那么有最小 delta 值的网络就是目标。如果超过一对管脚对有同样的最小的 delta 值, 那么有最长的曼哈顿长度的网络被选为目标。
- 如果所有的管脚对都没有 delta 值, 那么就没有选择目标, 所有的管脚对就进行相互比较。

2.4.2 相对/匹配的群组规则

- Match Group 仅能在 Routing 工作簿的 Relative Propagation Delay 工作表中的指定。
- 可以为整个群组设置相对的/匹配的群组约束, 群组中每个成员可以根据要求修改 tolerance。
- 相对/匹配的群组之间的延迟可以在 system 和 design 一级设置。
- 匹配延迟约束从 14.0 版数据库升级 Delta 值为 0, 暗示所有的群组成员都要匹配一个指定的目标管脚对。

2.5 Diff Pairs

约束管理器支持两种类型的差分对:

- 模型定义的差分对
可以在器件信号模型中指定差分对，可以使用 PCB Design, PCB SI, SigXplores 来将模型指定给相应的元件。
- 用户定义的差分对
可以在约束管理器中 Net 一级的对象中创建差分对，可以灵活的更改差分对命名和更改差分对成员，但是没有模型指定差分对的精确性。
注意约束管理器不支持系统级的差分对。

2.5.1 差分对工作表

可以在 Routing 工作薄中的 Differential Pair 工作表中指定差分对约束，参考图 2-5 形象的描述出差分对规则检查和分析边界值和事件。请见图 2-6 约束管理器差分对工作表界面。

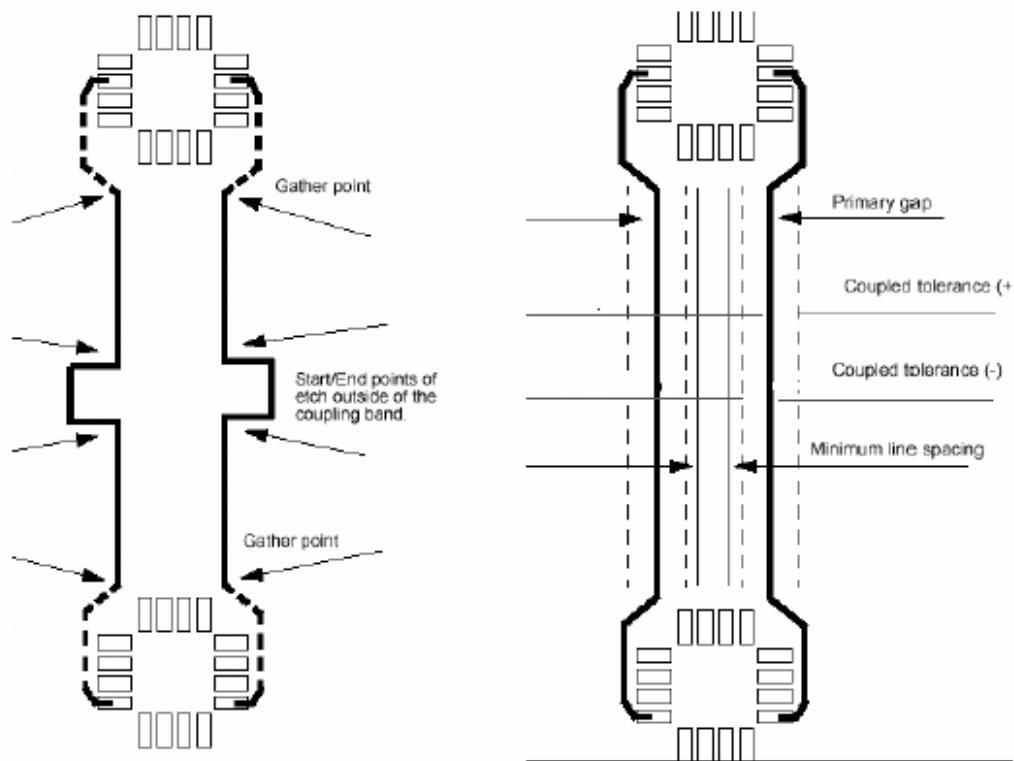


图 2-5 差分对 Gather Points 和 Coupling Bands

- Pin Delay
此值指一对网络之间管脚封装上的延迟，单位是时间 ns 或者长度 mil。
- Uncoupled Length
此值限制差分对的一对网络之间的不匹配的长度。如果 gather control 被设置为 ignore，则实际不耦合长度包括两个 gather point 之间的耦合带之外的长度，当超过 Max 值时，就会产生冲突。Length Ignored 包含 p43。

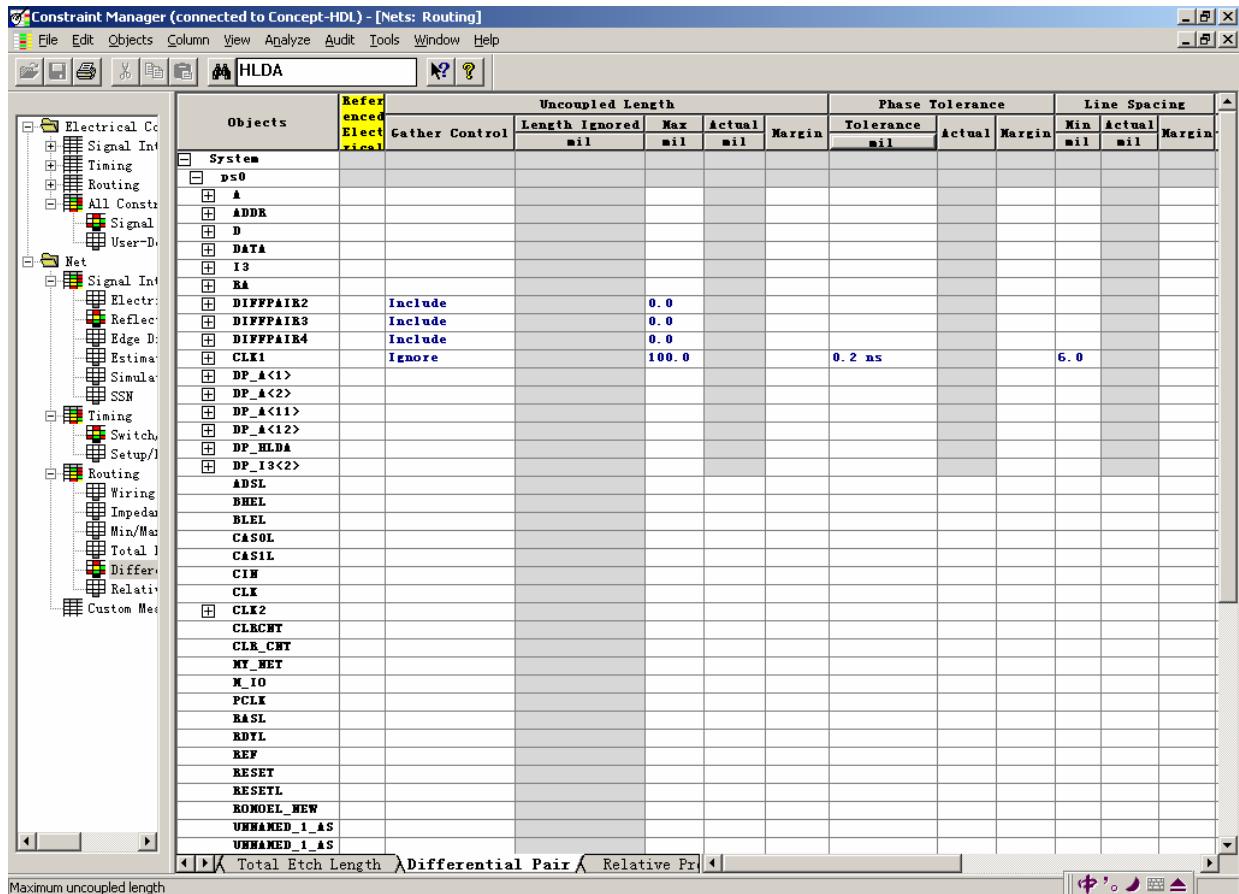
- Phase Tolerance

Phase Tolerance 约束确保差分对成员在转换时是同向的和同步的。单位是时间 ns 或者长度 mil。Actual 值反映的是差分对成员间的时间或者长度的差值，当差值超出 tolerance 值时，就会有冲突。

- Line Spacing

最小线间距约束指的是差分对之间的最小距离，在分析之后 actual 指的是间距最小值，如果小于 Min 值，则会报告冲突。

注意：设置的最小间距值一定要小于或者等于 Primary Gap 减去(-)Tolerance 值，也一定要小于或者等于 Neck Gap 减去(-)Tolerance 的值。



The screenshot shows the 'Constraint Manager (connected to Concept-HDL) - [Nets: Routing]' window. The main area is a table titled 'Differential Pair' with the following columns:

Objects	Referenced Electr.	Uncoupled Length			Phase Tolerance			Line Spacing			
		Gather Control	Length Ignored	Max	Actual	Margin	Tolerance	Actual	Margin	Min	Actual
System											
ps0											
A											
ADDR											
B											
DATA											
I3											
RA											
DIFFPAIR2	Include		0.0								
DIFFPAIR3	Include		0.0								
DIFFPAIR4	Include		0.0								
CLK1	Ignore		100.0		0.2 ns				6.0		
DP_A<1>											
DP_A<2>											
DP_A<11>											
DP_A<12>											
DP_HLDA											
DP_I3<2>	ADSL										
BHEL											
BLEL											
CASOL											
CASIL											
CIN											
CLK											
CLK2											
CLRCNT											
CLR_CNT											
NY_NET											
N_IO											
PCLK											
RASL											
RDYL											
REF											
RESET											
RESETL											
ROMEL_NEW											
UNNAMED_1_AS											
UNNAMED_1_AS											

图 2-6 差分对工作表

- Coupling

根据 Coupling 的约束确定已经完成走线的不耦合事件。约束管理器使用这些事件去决定不耦合的长度和相位偏差。差分计算器可以帮助你确定输入进 primary gap, neck gap 和 tolerance 的值。

- Primary Width – 设置的是差分对成员的理想宽度。
- Primary Gap – 设置的是差分对之间的边到边理想间距。(+/-)tolerance 值是允许

的偏差值，如果间距偏差在范围内，差分对被认为是耦合的。

- Neck Width – 设置的是最小可允许的差分线宽度，当在比较密集的区域走线时，要切换到 Neck 模式。
 - Neck Gap – 设置的是最小可允许的边到边差分线间距，当在比较密集的区域走线时，要切换到 Neck 模式。最小可允许的 gap 包括 Neck Gap 减去(-)Tolerance。
- 当差分对的间距低于 ECSet 指定给差分对网络的 Min neck width 规则值时，**Neck Gap 覆盖任何 Primary Gap 值。**
- 确保 neck gap 不要低于任何 Min line spacing 值。
 - 如果设置了(-)tolerance 值，不需要定义 neck gap，因为已经说明了需要的 neck gap。

2.5.2 差分计算器 (Differential Calculator) 的使用方法

使用差分计算器可以完成综合线宽和线距的计算以获得特殊的差分阻抗。在约束管理器中右键点击 Primary Gap, Neck Gap, 或者(+-)tolerance 相应的单元格，在弹出的菜单选择 Change 命令，然后点击 **Calculator** 按钮，即可启动差分计算器。

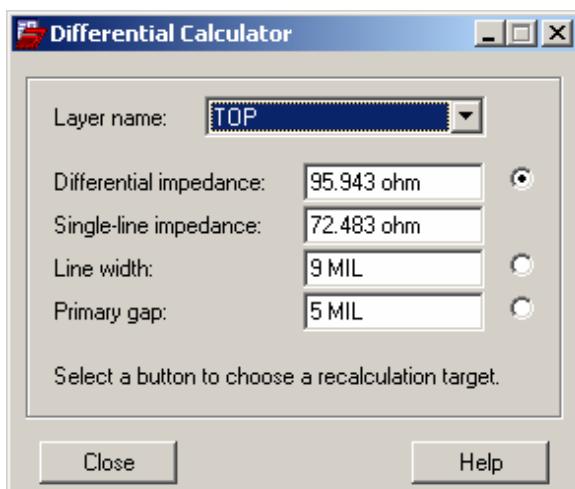


图 2-7 差分计算器

差分计算器仅能完成边对边耦合的差分对计算。

2.5.3 差分对规则

分模型定义的差分对和用户定义的差分对来说明：

模型定义的差分对	用户定义的差分对
可以在 PCB Design, PCB SI 中使用 Analyze-SI/EMIsim-Model 命令进行创建。（注 1）	可以在 PCB Design, PCB SI 中在约束管理器中使用 Create-Differential Pair 命令创建，也

	可以使用 Logic-Assign Differential Pair 命令创建。
在高速设计流程中首选采用模型定义差分对，因为带有独特的差分对的成员特性比如管脚寄生、启动延迟、逻辑门限和缓冲延迟。	用户定义的差分对没有模型指定的精确，因为模型指定的有 IBIS 器件值。
差分对成员不能作为其他差分对的成员。	差分对成员不能作为其他差分对的成员。
模型定义的差分对可以被提取进 SigXplorer 而带有耦合性。	用户定义的差分对仅单根线被提取进 SigXplorer。
模型定义的差分对有优先级。如果通过用户定义的方法定义了一个差分对，稍后用模型定义的方法又定义了同样的差分对，则模型定义的差分对有优先级。	用户定义的差分对与模型定义的差分对相比没有优先级。
在约束管理器中不能改变模型定义差分对成员，只能通过编辑模型的方法更改。	在约束管理器中可以对用户定义的差分对成员进行更改。
不能在 Concept HDL 创建模型定义的差分对。	可以在 Concept HDL 创建用户定义的差分对。在这种模式下，不支持分析和 DRC 检查。
模型定义的差分对，参考同样器件类型的任何器件都将继承指定的模型中差分对。这个是可以重用的就像创建 ECSet 和指定 ECSet 到很多设计对象。	在约束管理器中要分别创建用户定义的差分对，虽然自动设置简化了这个过程，与模型定义的差分对不同。

注 1：如果要做分析，首先需要进行设置 - 包含设置叠层、指定 DC 网络、指定元件 CLASS、指定模型等。具体请看关于仿真的 PCB SI 操作。

2.6 Designs and Systems

Design 代表一个单板或者系统中的一块单板，在多板结构中，每块板都是系统中的一个单独的设计。

System 代表设计结构包括贯穿这些设计的 Xnets 和互连电缆和连接器。

第3章 设置网络的走线约束

该章节内容学习如何使用约束管理器设置网络的走线约束，并且在 Concept HDL 原理图中查看约束。经过学习，掌握以下内容：

- Set the minimum and maximum delay for a net (最小和最大传输延迟)
- Navigate to a net (查找网络)
- Create a pin-pair (设置 pin-pair)
- Create a matched group (设置匹配网络)
- Set the delay for a net relative to another net (设置网络间相对传输延迟)
- Create a differential pair (设置差分对)
- Set constraints on a differential pair (设置差分对约束)
- View a constraint in Concept HDL (在 Concept HDL 中查看约束)
- View nets in physical and canonical format (用物理的和规范的格式查看网络)

3.1.1 设置网络的最大最小传输延迟

当设计原理图时，可能有些关键网络需要加约束比如阻抗和长度等等。下面将设置网络 HLDA 的最小和最大传输延迟，这个约束在 Net 工作簿的 Routing 工作表中。



设置网络的最大最小传输延迟

1. 在【Net】工作簿中点击【Routing】工作表，在右边的窗口中显示“ps0”设计的所有网络和总线。注意：你看到的是物理格式的网络，这是因为你的设计已经经过打包。如果设计没有打包，网络将显示成规范的格式。在本章后面将讲解如何转换这两种格式。
2. 双击【Routing】展开工作表。在这个工作表中有【Wiring】【Impedance】【Min/Max Propagation Delays】【Total Etch Length】【Differential Pair】【Relative Propagation Delay】几种表格。
3. 点击【Min/Max Propagation Delays】显示相关的表格。
4. 满屏显示表格。
5. 在原理图编辑界面，选择【Tools】/【Global Find】命令，进入【Global Find】对话框。
6. 输入网络名“HLDA”，确认选择【Net】选项，其他不选择。
7. 点击 按钮。
8. 在【Results】栏显示查找结果，点击“@project_lib.ps0(sch_1):page1_hlda”，相应的网络被高亮显示。
9. 点击 按钮，关闭【Global Find】对话框。

10. 在原理图编辑界面，点击高亮的网络“HLDA”。
11. 回到约束管理器窗口，可以看到“HLDA”网络已经被选择了。下面开始设置最大最小传输延迟，一般这个数据是由仿真得到的。对于关键网络有可能给所有的驱动和接收或者指定的管脚对设置约束，下面的练习是怎样给整个网络设置约束和给指定的驱动接收管脚对设置约束。
12. 在【Prop Delay】列下面的【Min】列，输入最小值“0.9”，注意缺省单位是“ns”，意即网络“HLDA”上的信号到达任何一个目标最小传输延迟都要有0.9ns。
13. 按【Tab】键。在【Pin Pairs】列自动选择了“All Drivers/All Receivers”，也就是说网络“HLDA”上的信号所有的驱动和接收都被设置了传输延迟。
14. 在【Prop Delay】列下面的【Max】列，输入最小值“1.1”，注意缺省单位是“ns”，意即网络“HLDA”上的信号到达任何一个目标最大传输延迟不能超过1.1ns。请见图3-1。

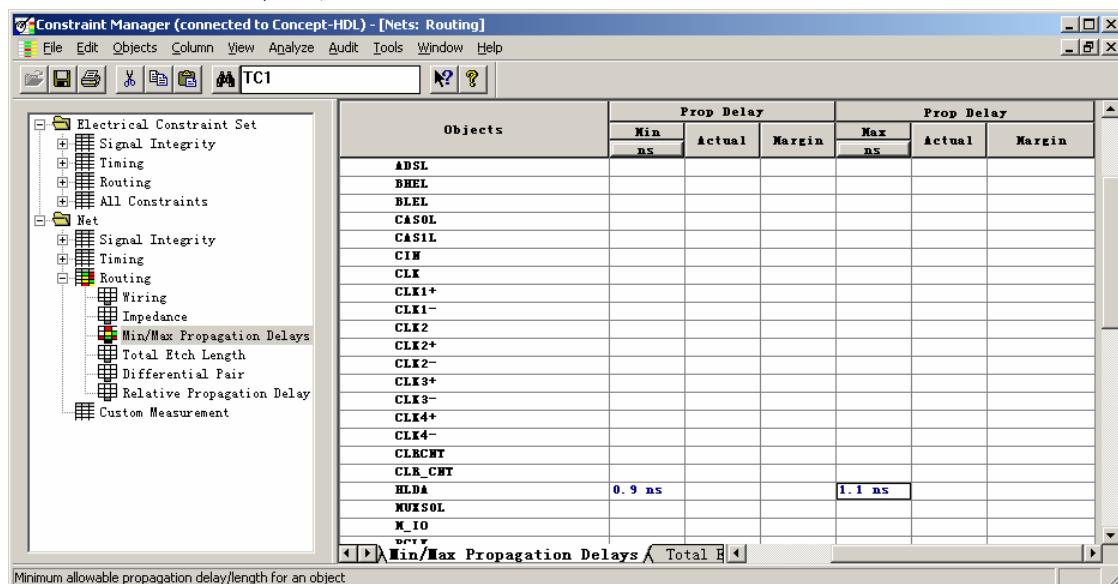


图3-1 约束管理器—最小最大传输延迟

15. 选择网络“HLDA”，然后在菜单选择【Objects】/【Creat】/【Pin Pair...】命令，进入【Creat Pin Pairs of HLDA for propagation delay】对话框。或者点击右键在弹出的菜单选择【Creat】/【Pin Pair...】命令。
16. 在【First Pins】列，点击“J1.25(In)”。
17. 在【Second Pins】列，点击“U2.3(Out)”。
18. 点击 **OK** 按钮。产生的管脚对显示出来，并且继承了网络“HLDA”的设置。
19. 将【Min】的值从“0.9ns”改为“0.8ns”。
20. 将【Max】的值从“1.1ns”改为“1.0ns”。(这表示这一对 Pin Pair 单独被设定)

Min/Max Propagation Delays 值。)

21. 在约束管理器界面，选择【File】/【Save】，将约束管理器中的约束保存。
22. 注意在约束管理器中增加的约束是设计中的“occurrence”属性是作为电子约束属性。约束将会自动在 Concept HDL 中显示。电子约束属性可以从“occurrence”模式传递给“hierarchy”模式。“Min/Max propagation delay”属性映射成“PROPAGATION_DELAY”属性，在原理图中以“occurrence”模式查看此属性。
23. 在 Concept HDL 窗口，选择【Tools】/【Occurrence Edit】命令。
24. 选择【Text】/【Attributes】命令。
25. 点击网络“HLDA”，出现【Attributes】对话框，请见图 3-2。有两个值，下面将值显示出来看看。

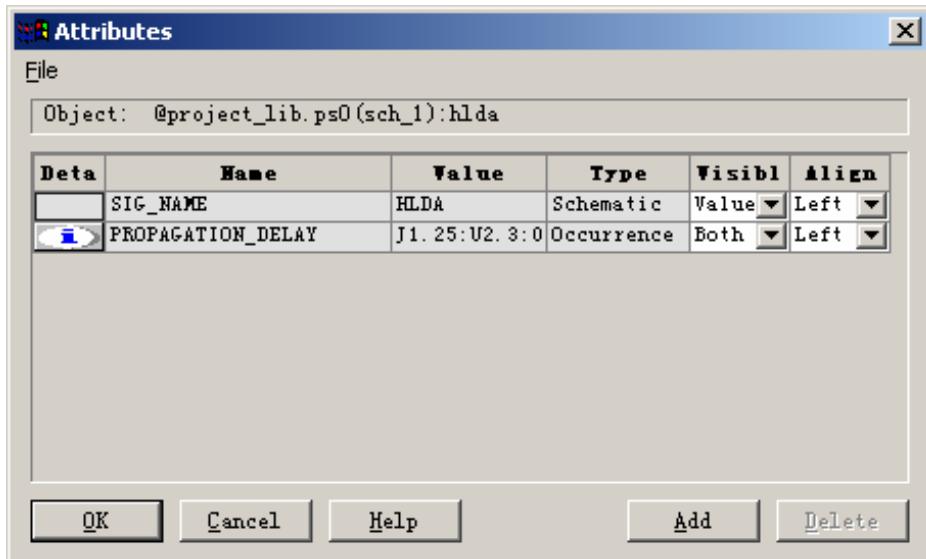


图 3-2 属性对话框

26. 在“PROPAGATION_DELAY”一行【Visible】下拉菜单选择“Both”。

27. 点击 **OK** 按钮，退出【Attributes】对话框。

28. 调整显示比例查看“PROPAGATION_DELAY”属性，如图 3-3。

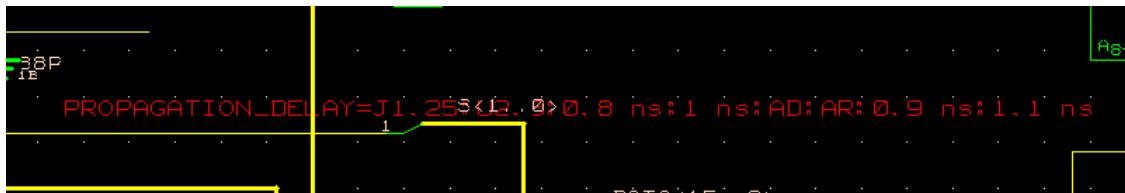


图 3-3 “PROPAGATION_DELAY”属性显示

29. 选择【Tools】/【Constraints】/【Update Schematic】命令，弹出【Concept-HDL】对话框。

30. 点击 **是(Y)** 按钮，保存原理图。

你可以转换成“hierarchy”模式查看网络的“PROPAGATION_DELAY”属性。

3.1.2 设置网络相对传输延迟

可以设置网络或者管脚对的相对于其他网络的传输延迟，所有这些网络或者管脚对可以形成一个匹配的群组，有目标管脚对或者网络，一个“delta”值，一个偏差值。下面将设置目标网络 D<0>的传输延迟，并生成一个匹配的网络，然后增加 D<14>和 D<15>到匹配的群组并设置相对于网络 D<0>的传输延迟。

- 设置步骤如下：
- 设置目标网络的最小、最大传输延迟
- 创建匹配的群组
- 增加网络 D<14>和 D<15>到匹配的群组
- 为 D<14>和 D<15>设置相对传输延迟值

设置网络相对传输延迟

1. 打开约束管理器，在【Min/Max Propagation Delays】工作表中找到总线“D”，然后展开总线“D”。
2. 在 D<0>行，【Min】列，输入值 1.0。
3. 在 D<0>行，【Max】列，输入值 1.2。
4. 在【Routing】工作簿选择【Relative Propagation Delay】工作表，找到总线“D”，然后展开总线“D”。
5. 选择 D<0>，然后选择【Objects】/【Create】/【Match Group】命令（或者按右键在弹出的菜单选择【Create】/【Match Group】命令），出现【Create Match Group】对话框。
6. 在【Match Group】栏输入名称“MY_GROUP”，请见图 3-4。

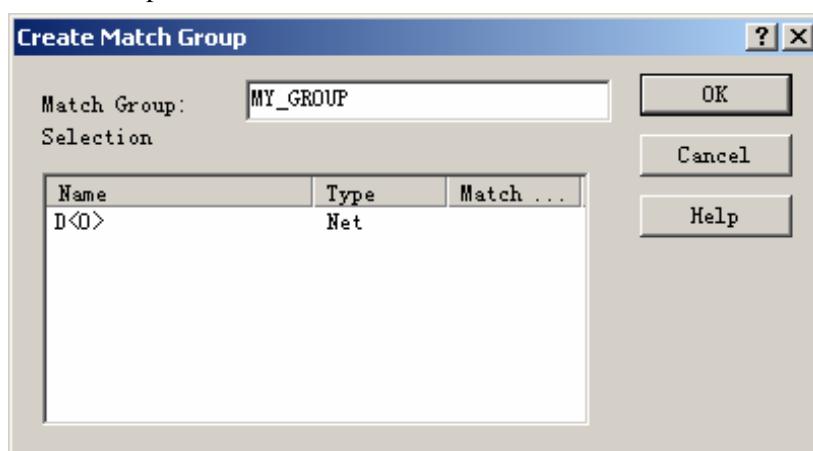


图 3-4 【Create Match Group】对话框

7. 点击 **OK** 按钮。
8. 在约束管理器界面，右键点击“MY_GROUP”，在弹出菜单选择【Membership】/【Match Group】，进入【Match Group Membership for MY_GROUP】对话框，请见图 3-5。

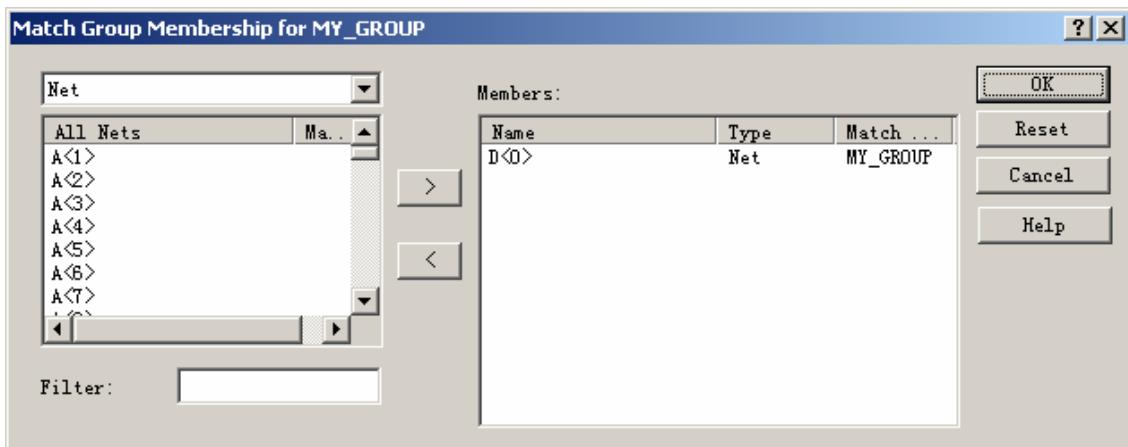


图 3-5 【Match Group Membership for MY_GROUP】对话框

9. 在【All Nets】栏，找到并点击 D<14>。
10. 点击 **>** 按钮将 D<14>移到【Members】栏。
11. 在【All Nets】栏，找到并点击 D<15>。
12. 点击 **>** 按钮将 D<15>移到【Members】栏。
13. 点击 **OK** 按钮，**请见图 3-6 约束管理器界面。**

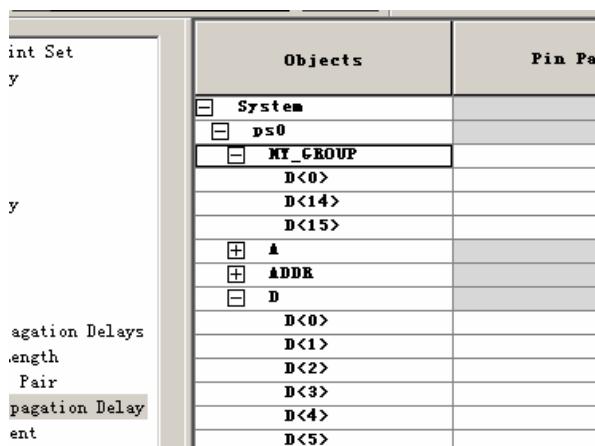


图 3-6 约束管理器显示界面

14. 针对网络 D<0>, 点击【Scope】栏空格, 在下拉选项选择“Global”。意思是匹配群组中的所有的管脚对要匹配。而【Delta:Tolerance】栏, 值自动设置为“0ns:5%”, “0ns”意思是约束管理器选择此网络作为目标网络。
15. 针对网络 D<14>, 点击【Scope】栏空格, 在下拉选项选择“Global”。而【Pin Pairs】栏自动设置为“All Drivers/All Receivers”。
16. 点击【Pin Pairs】栏在下拉菜单选择“Longest Pin Pair”。“Longest Pin Pair”的设置是最严格的, 如果最长的管脚对都匹配了约束, 那么可以确保网络中的所有其他管脚对都匹配此约束。
17. 在【Delta:Tolerance】栏输入“0.3ns:5%”。意思是信号 D<14>要比 D<0>多延时 0.3ns, 并且在误差“+/-5%”之内。
18. 针对网络 D<15>, 点击【Scope】栏空格, 在下拉选项选择“Global”。而【Pin Pairs】栏自动设置为“All Drivers/All Receivers”。
19. 在【Delta:Tolerance】栏输入“-0.03ns:0.06ns”。意思是信号 D<15>要比 D<0>短 0.03ns, 并且在误差“+/-0.06ns”之内。请见图 3-7。
20. 在约束管理器界面, 选择【File】/【Save】命令。

Objects	Pin Pairs	Scope	Relative Delay	
			Delta:Tolerance	Action
System				
p≤0				
MY_GROUP				
D<0>	All Drivers/All Rec...	Global	0 ns: 5 %	
D<14>	Longest Pin Paix	Global	3 ns: 5 %	
D<15>	All Drivers/All Rec...	Global	-0.03 ns: 0.06 ns	
▲				
ADDR				
D				
D<0>	All Drivers/All Rec...	Global	0 ns: 5 %	
D<1>				
D<2>				
D<3>				
D<4>				
D<5>				
D<6>				
D<7>				
D<8>				
D<9>				
D<10>				
D<11>				
n/a				

图 3-7 设置显示

3.1.3 设置差分对约束

可以创建差分对和设置约束。

设置差分对约束

1. 在约束管理器界面选择【Routing】工作薄的【Differential Pair】工作表。
2. 选择网络 CLK1+和 CLK1-。
3. 在约束管理器菜单选择【Objects】/【Create】/【Differential Pair】命令（或者

按右键在弹出的菜单选择【Create】/【Differential Pair】命令), 出现【Create Differential Pair】对话框。请见图 3-8。

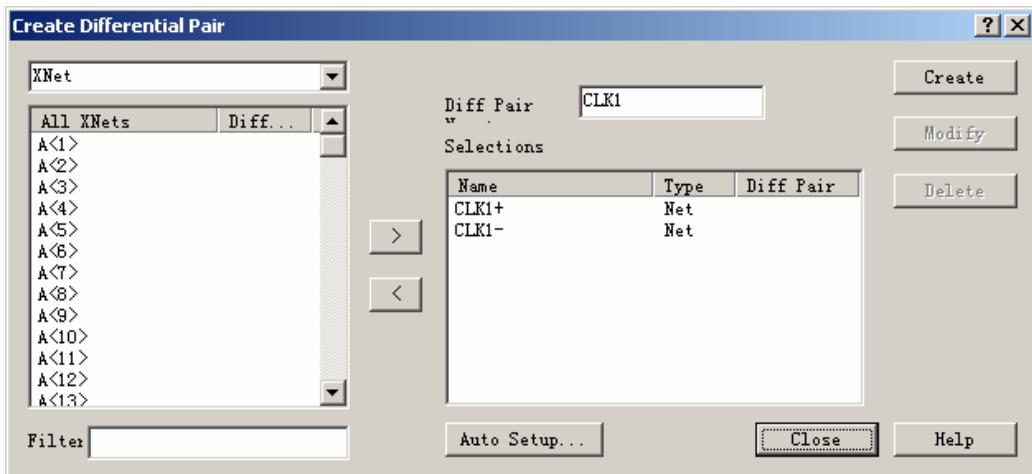


图 3-8 【Create Differential Pair】对话框

注意: 如果网络格式是 A+和 A-, 差分对的名称设置为 A。对于网络中的其他网络对, 差分对名字的格式是 DPn。

4. 点击 **Create** 按钮。
5. 点击 **Close** 按钮。查找生成的差分对, 请见图 3-9。

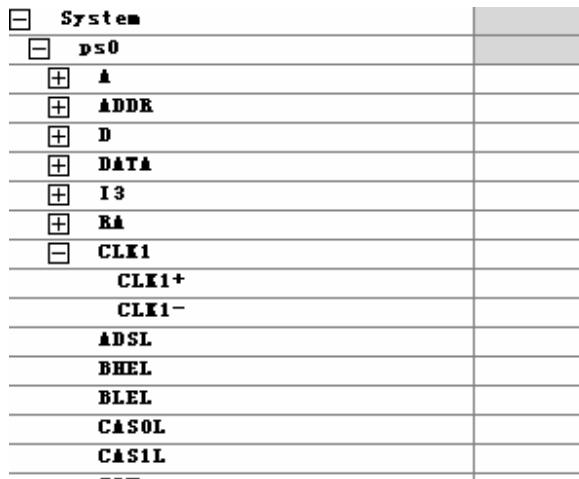


图 3-9 差分对显示

6. 选择【File】/【Save】。
7. 点击 Concept HDL 窗口。
8. 按照前面介绍的方法显示网络 CLK1+和 CLK1-的差分对属性。
9. 选择【Tools】/【Constraints】/【Update Schematic】命令。

注意：在差分对工作表中的差分对约束仅仅应用于差分对，不会针对差分对的单个成员。并且在约束管理器中添加的差分对约束仅保存在约束管理器数据库中，不会被传递到原理图，因此，在原理图中不能查看到这些约束。

10. 在约束管理器界面，针对 CLK1 进行设置。点击【Uncoupled Length】列下面的【Gether Control】列空格，在下拉菜单选择“Ignore”。这个选项“Ignore”或者“Include”决定计算不耦合长度是否包括从管脚出来的一段。
11. 设置【Max】为“200”，mil 为缺省单位。
12. 在【Phase Tolerance】栏设置【Tolerance】值为“0.2ns”。
13. 在【Line Spacing】栏，设置【Min】为“6mil”。
14. 在【Coupling】栏设置【Primary Gap】为“8mil”，设置【Primary Width】为“6mil”，设置【Neck Gap】为“4mil”，设置【Neck Width】为“6mil”，设置【(+Tolerance】为“2mil”，设置【(-Tolerance】为“2mil”。如果知道这一对管脚的封装延迟，就在【Pin Delay】中填入相应的值。
15. 选择【File】/【Save】，请见图 3-10。

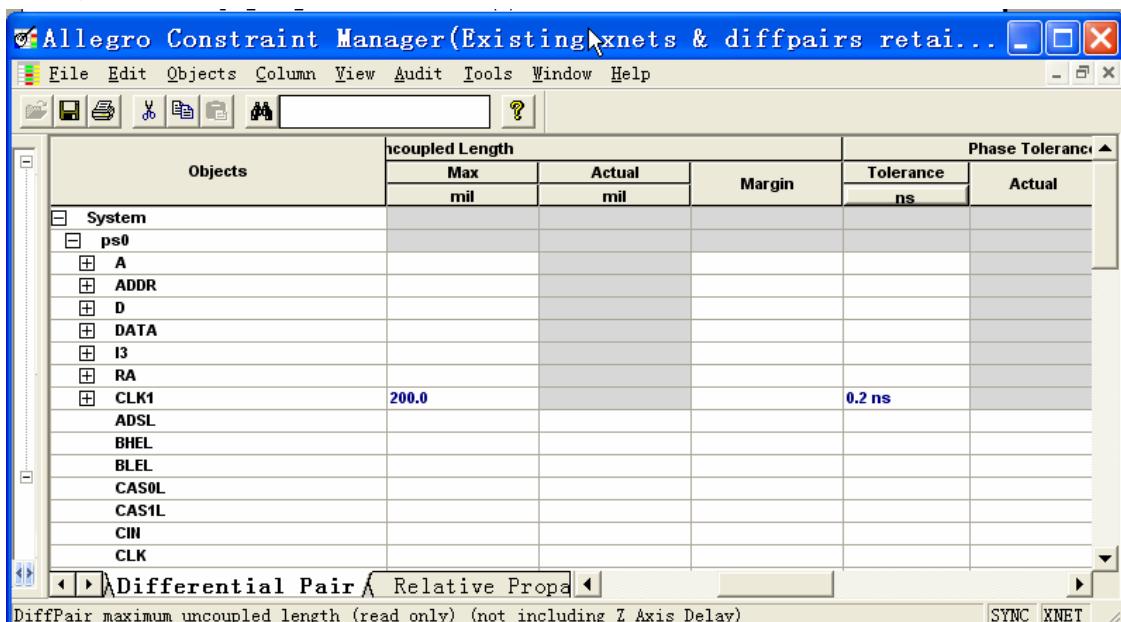


图 3-10 差分对设置结果

3.1.4 查看网络规范格式和物理格式

如果没有打包原理图而在原理图界面启动约束管理器，网络名缺省显示为规范的（逻辑的）格式。两种格式可以相互转换。

查看网络规范格式和物理格式

1. 在约束管理器界面选择【View】/【Options】命令。请见图 3-11。

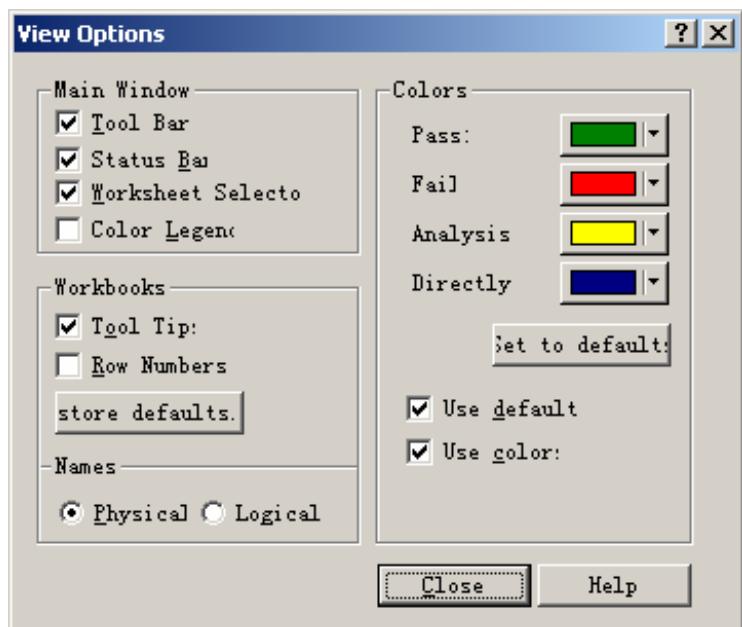


图 3-11 【View Options】界面

2. 在【Names】栏选择“Logical”，查看网络名显示有什么不同。
3. 在【Names】栏选择“Physical”，点击【Close】退出。

第4章 设置网络的时序和信号完整性约束

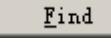
本章学习如何在设计中使用约束管理器设置网络的时序和信号完整性约束并在原理图中查看这些约束。

- 设置信号的转换和建立时间
- 控制信号的电气属性
- 设置信号最大过冲
- 设置信号的噪声裕量

4.1 设置时序约束

找到 RESETL 网络，添加建立和转换时间约束，然后保存约束并在原理图中查看相关属性。

设置时序约束

1. 在约束管理器界面【Net】文件夹，点击【Timing】。
2. 双击【Timing】展开工作簿。
3. 点击【Switch/Settle Delays】工作表，调整工作表为满屏显示。
4. 在 Concept HDL 界面，选择【Tools】/【Global Find】命令。输入网络名“RESETL”确保选择【Net】单选框。
5. 点击  按钮。
6. 在【Results】栏点击“@project_lib.ps0(sch_1):page1_resetl”。
7. 点击  按钮。
8. 在原理图界面点击网络“RESETL”。回到约束管理器窗口，发现“RESETL”已经被选择了。
9. 在【Min First Switch】栏，设置网络“RESETL”【Min】值为“0.25:0.26”，即设置信号上升沿为 0.25ns，下降沿为 0.26ns。
10. 在【Max Final Settle】栏，设置网络“RESETL”【Max】值为“3.25:3.25”，即设置信号最大的最终建立时间对于上升沿为 3.25ns，对于下降沿为 3.25ns。请见图 4-1。
11. 选择【File】/【Save】。在约束管理器中 Min First Switch 对应原理图中 MIN_FIRST_SWITCH 属性，Max Final Settle 对应原理图中 MAX_FINAL_SETTLE 属性。

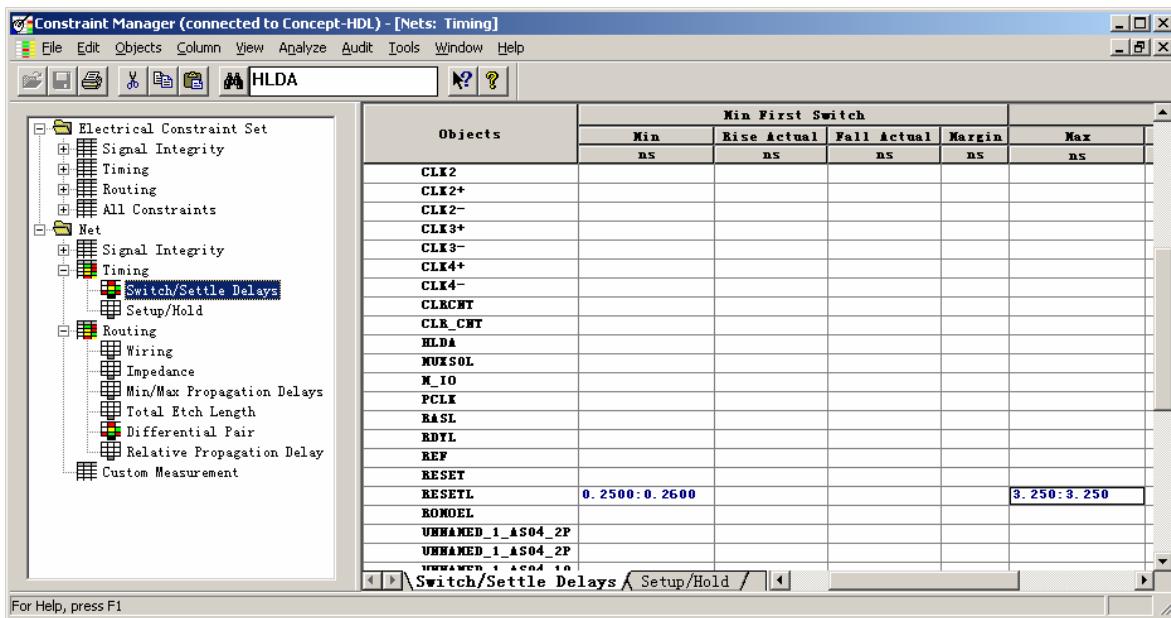


图 4-1 时序设置界面

12. 进入 Concept HDL 界面，选择【Text】/【Attributes】命令。
13. 点击网络“RESETL”。出现【Attributes】对话框，请见图 4-2。

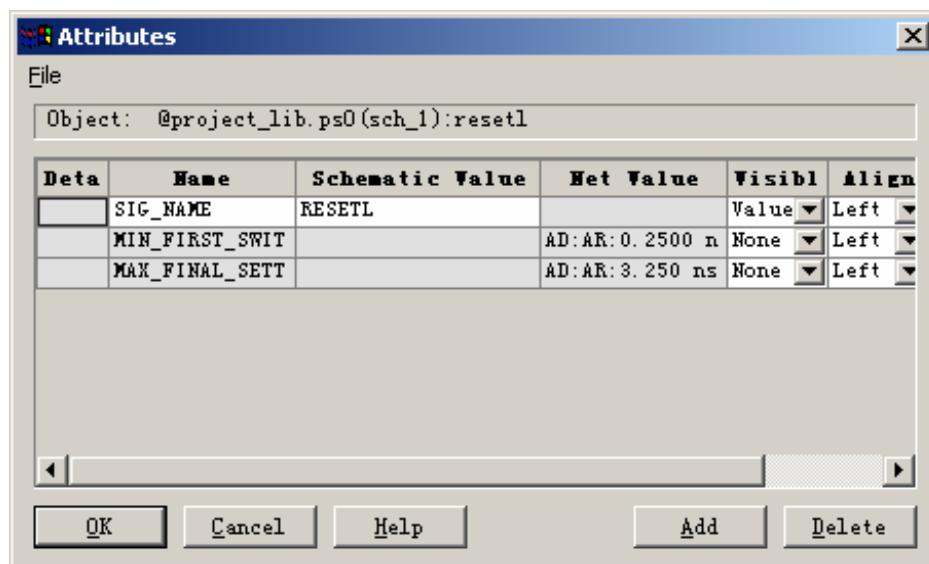


图 4-2 【Attributes】对话框

14. 在 MIN_FIRST_SWITCH 行的【Visible】栏下拉菜单选择“Both”。
15. 同样在 MAX_FINAL_SETT 行的【Visible】栏下拉菜单选择“Both”。
16. 点击 **OK** 按钮。

17. 选择【Tools】/【Occurrence Edit】，点击 **是(Y)** 按钮，查看属性的显示。

4.2 设置信号完整性约束

在设计中如何设置电属性、反射约束、最大过冲和噪声裕量。下面的练习针对网络 CLK。

4.2.1 设置电气属性约束

8 锁 设置信号完整性约束

1. 点击图标 ，进入约束管理器。
2. 点击【Net】文件夹的【Signal Integrity】。
3. 双击【Signal Integrity】工作薄，展开工作表，注意有【Electrical Properties】、【Reflection】、【Edge Distortions】、【Estimated Xtalk】、【Simulated XTalk and SSN】几个工作表显示。
4. 点击【Electrical Properties】，显示【Electrical Properties】工作表，找到网络 CLK。
5. 在 CLK 行【Frequency】列输入“66”，单位是 MHz。
6. 缺省的【Duty Cycle】是“50%”，改为“60%”。
7. 缺省的【Jitter】是“0”，改为“20”，缺省的单位是“ps”。
8. 缺省的【Cycle to Measure】是“1”，改为“2”。请见图 4-3。

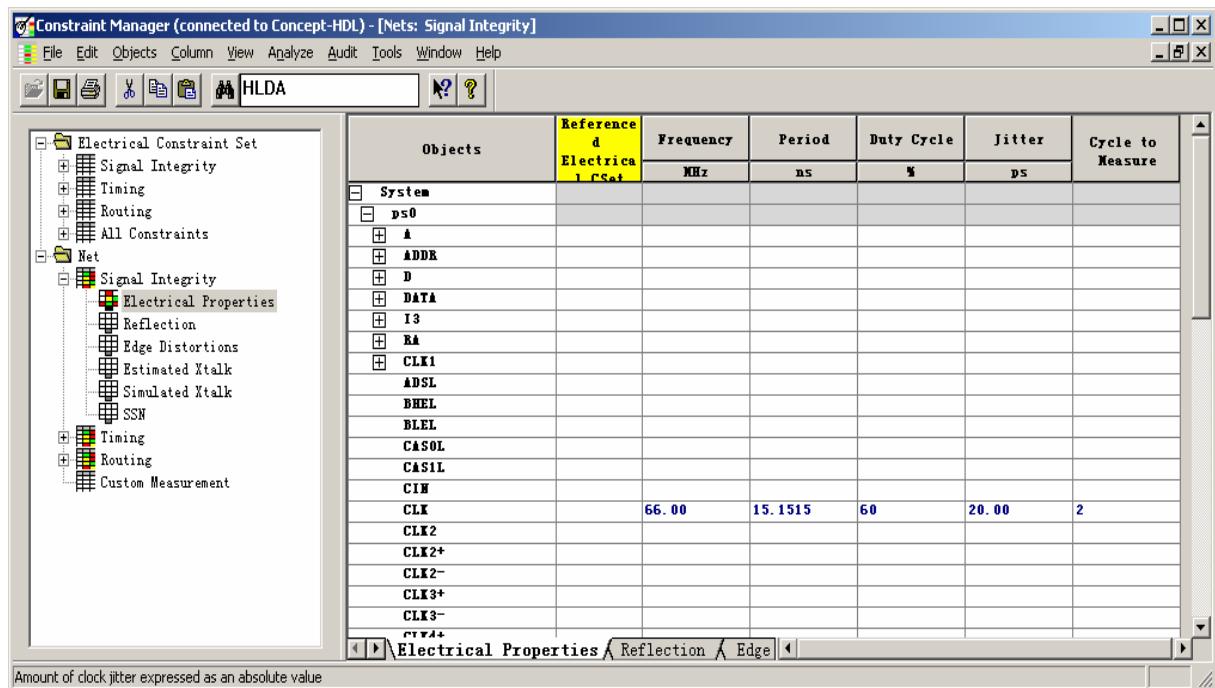


图 4-3 设置信号完整性约束

9. 选择【File】/【Save】。【Electrical Properties】对应原理图中的“PULSE_PARAM”属性。
10. 回到 Concept HDL 窗口，选择【Tools】/【Global Navigate】命令。
11. 再转到约束管理器窗口，调整窗口大小也可以看到原理图界面。
12. 右键点击网络 CLK，在下拉菜单选择【Select】命令，在【Global Navigate】对话框的【Results】显示“@project_lib.ps0(sch_1):page3_i1@project_lib.\4_bit_counter\sch_1):page1_clk”。
13. 在原理图界面点击【Global Navigate】对话框的【Results】显示“@project_lib.ps0(sch_1):page3_i1@project_lib.\4_bit_counter\sch_1):page1_clk”。
14. 点击  按钮，关闭【Global Navigate】对话框。
15. 点击  图标，然后点击网络 CLK，将“PULSE_PARAM”属性显示出来。
16. 在原理图界面选择【Tools】/【Constraints】/【Update Schematic】命令，将约束传递给每一个 canvas。

4.2.2 设置反射属性约束

设置反射属性约束，然后保存约束并在原理图中查看相关属性。

设置反射属性约束

1. 在约束管理器界面，点击【Reflection】工作表，找到 CLK 网络。
2. 设置网络 CLK 的【Oversheet】的【Max】栏值为“5100:-610”，缺省单位是 mV。意思是设置上升沿最大过冲为 5100mV，下降沿最大过冲为-610mV。对于【High Actual】、【Low Actual】、【Margin】的值是仿真后得到的实际结果，不能输入。
3. 设置【Noise Margin】，在【Min】栏输入“100:100”，缺省单位是 mV。对于【High Actual】、【Low Actual】、【Margin】的值是仿真后得到的实际结果，不能输入。
4. 选择【File】/【Save】。请见图 4-4。

第4章 设置网络的时序和信号完整性约束

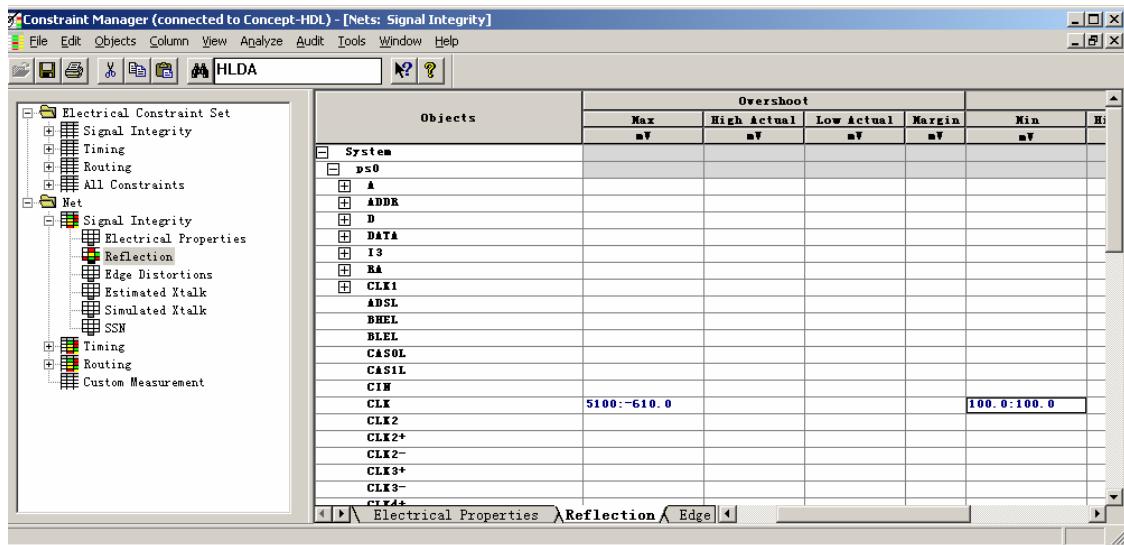


图 4-4 设置反射属性约束

5. 回到原理图界面，将属性显示出来。

第5章 电子约束创建和应用

本章主要学习如何创建电子约束并利用约束管理器应用到设计的网络和总线中。ECSet 是电子约束集，可以包含任何或者所有的约束（包含拓扑相关的信息）。

主要内容如下：

- 什么时候需要使用 ECSet (Electrical Constraint Set)
- 创建 ECSet
- 将 ECSet 指定给网络
- 不考虑 ECSet 中约束值
- 在原理图中查看 ECSet

你可以给关键网络定义约束，也可以将一组约束定义为一个 ECSet 然后应用到每个相应的关键网络，这样可以创建一个通用的约束应用到很多的网络上，并且约束变更时，所有参考此约束的网络都会更新。

另外可以重用 ECSet，可以将 ECSet 导入新的设计中，节省时间。

可以使用 ECSet 设置总线的某一位的 pin-pair 约束，然后将此约束加到总线上。

约束管理器的主要优点：

- 一个 ECSet 可以同时应用到很多网络上
- 可以在一个 ECSet 中获取任何或者所有电气约束
- 如果 ECSet 的约束变更，可以自动更新参考的网络
- 可以不考虑 ECSet 定义的约束

下面以 DATA 总线为例讲解在 Signal Explorer 中设置总线的某一位的约束，然后将 ECSet 导入约束管理器，再将 ECSet 覆盖给 DATA 总线。

5.1 创建 ECSet

在 Signal Explorer 中获取 DATA<1>的下述约束：

- Max overshoot
- Min noise margin
- Min first switch
- Max final settle
- Impedance

创建 ECSet

1. 在约束管理器界面，点击【Signal Integrity】工作簿下的【Reflection】。
2. 点击 DATA 总线前的  展开总线。
3. 右键点击 DATA<1>在弹出的菜单选择【SigXplorer...】，弹出【SigXp Product Choices】对话框。

4. 选择“Expert”，点击 **OK** 按钮，或者双击“Expert”。进入【Signal explorer expert】界面。调整窗口如图 5-1 显示。

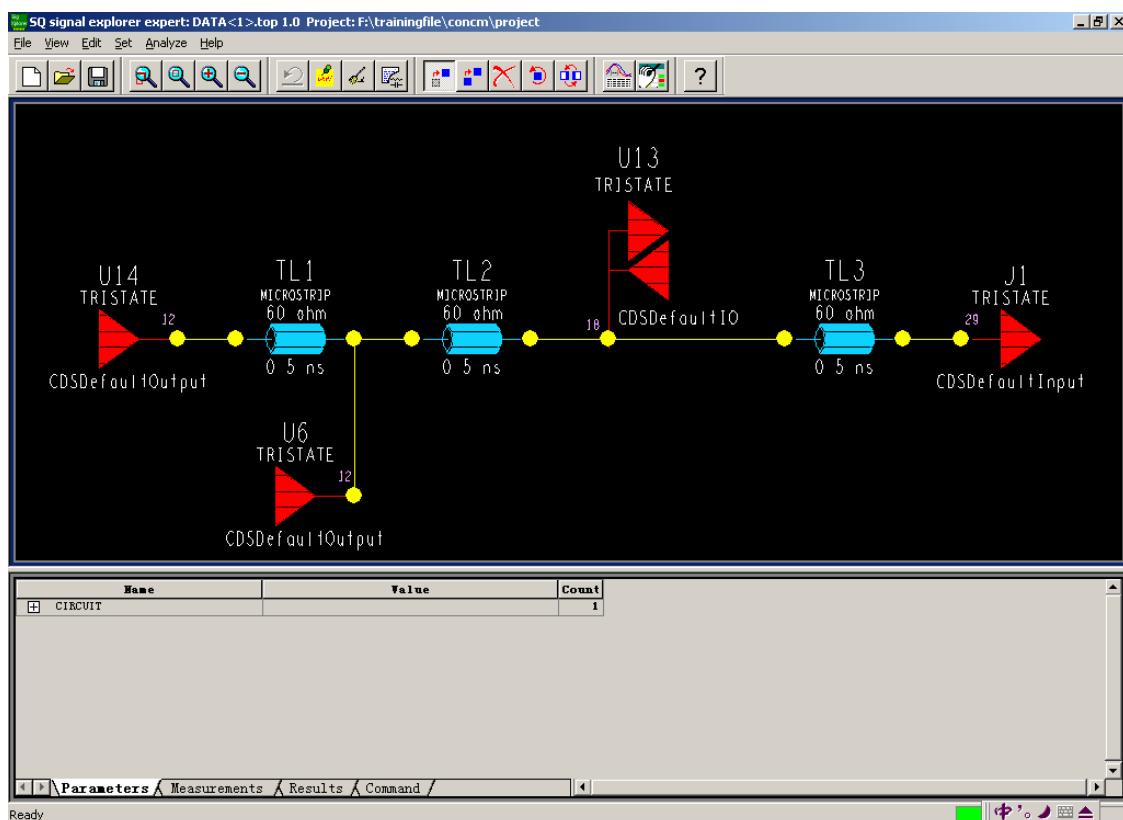


图 5-1 【Signal explorer expert】界面

注意：如果上述约束值不知道的话，需要做仿真和增加端接。你可以在端接值和仿真的上冲和下冲值之间做一个折衷，对于如何使用 Signal explorer，参考仿真流程培训教材。

5. 在菜单选择【Set】/【Constraints...】命令。出现【Set Topology Constraints】对话框。
6. 点击【Signal Integrity】标题。
 - (1) 在【Reflection】栏的【Overshoot:】/【High State】输入“5000”，【Low State】输入“-600”。
 - (2) 在【Reflection】栏的【Min Noise Margin:】/【High State】输入“20”，【Low State】输入“22”。
7. 点击 **Apply** 按钮。请见图 5-2。

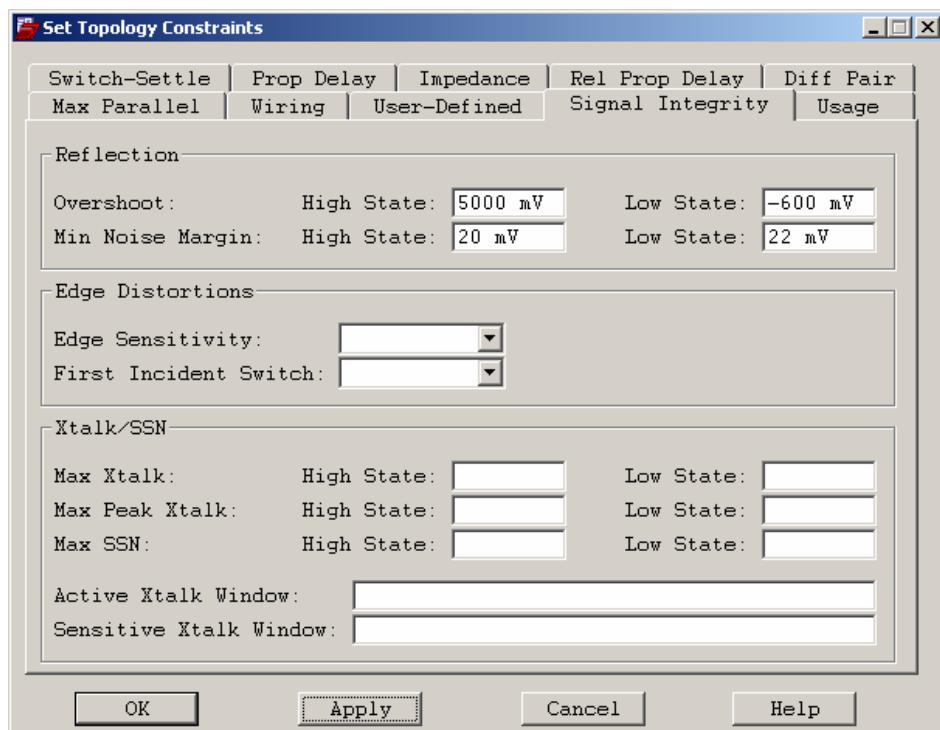


图 5-2 设置 Signal Integrity

8. 点击【Switch-Settle】标题。
9. 选择【Pins】栏的“ALL DRVRS/RCVRS”。
10. 在【Rule Editing】栏设置：
 - (1) 在【Min First Switch Delays】/【Rise】输入“2ns”。
 - (2) 在【Min First Switch Delays】/【Fall】输入“3ns”。
 - (3) 在【Max Final Settle Delays】/【Rise】输入“5ns”。
 - (4) 在【Max Final Settle Delays】/【Fall】输入“6ns”。
11. 点击 **Add** 按钮。
12. 点击【Impedance】标题。
13. 在【Pins/Tees】，点击“ALL/ALL”。
14. 在【Rule Editing】栏设置：
 - (1) 设置【Target】为“70 ohm”。
 - (2) 设置【Tolerance】为“2”。
15. 点击 **Add** 按钮。
16. 点击 **OK** 按钮。
17. 在菜单选择【File】/【Update Constraint Manager】命令。这将在约束管理器中

创建一个新的 ECSet。在约束管理器弹出【Constraint Manager】对话框，提示是否 DATA<1>参考名称为 DATA<1> 的 ECSet。

18. 点击  按钮。
19. 在约束管理器界面，点击【Electrical Constraint Set】文件夹下【All Constraints】，查看右边工作表中的 DATA<1>约束，请见图 5-3。

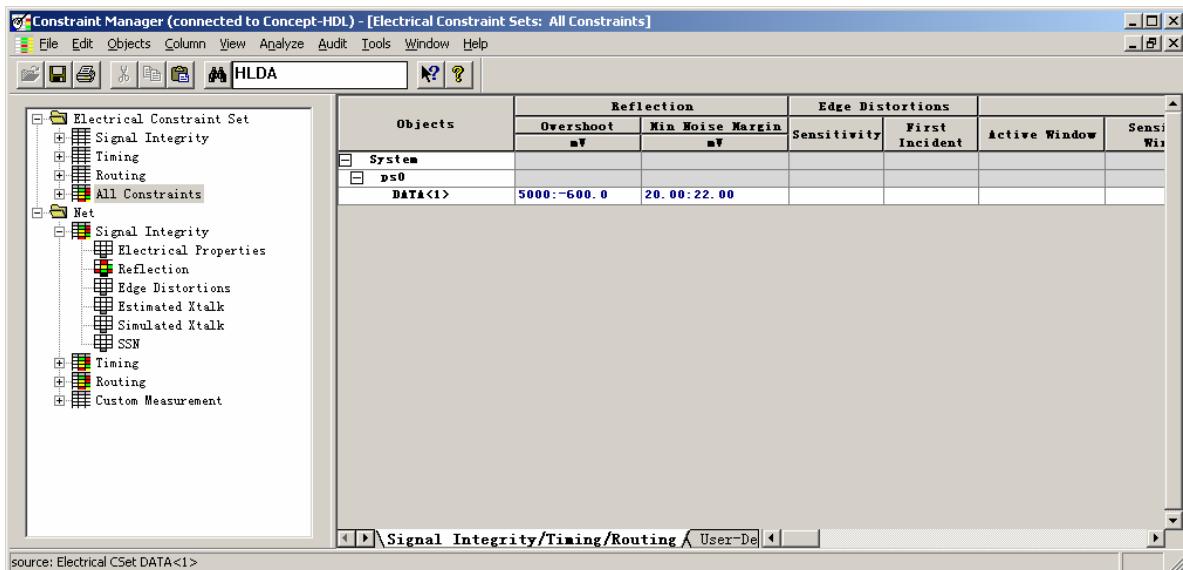


图 5-3 【Electrical Constraint Set】文件夹下【All Constraints】

在 ECSet 文件夹的 Routing 工作薄的 Wiring 工作表中，点击【Topology】栏的【Mapping Mode】相应的约束表格，在下拉菜单可以选择拓扑映射模式。映射模式及应用请见下表：

映射模式	约束管理器应用 ECSet 基于 net's 或者 Xnets 的...
PINUSE	Pin use Pin use and buffer model
REFDES	参考位号和管脚号 参考位号和管脚用途
PINUSE and REFDES	参考位号和管脚号 管脚用途和参考位号 管脚用途和 buffer 模型 管脚用途

- ECSet 规则
- 所有的 ECSets 都存在适当的设计或者系统中，并能被同一设计或者系统中的对象参考。
- ECSets 可以被任何数量的网络相关的对象 (bus, diff pair, Xnet 或者 net) 参考，但是一个对象只能参考一个 ECSets。
- 创建 ECSets

创建 ECSets 也可以采用以下方法：

- 在约束管理器界面，选择【Objects】/【Creat】/【Electrical CSet】命令来创建 ECSets。
- 或者右键点击【Electrical Constraints Set】下面的工作表的对象，比如一个 design，在弹出的菜单选择【Creat】/【Electrical CSet】命令创建。
- 或者右键点击【Electrical Constraints Set】下面的工作表的对象，比如一个 ECSet，在弹出的菜单选择【Creat】/【Electrical CSet】命令，确认不选择【Copy Constraints From】选项。
- 或者右键点击工作表的对象比如网络，在弹出的菜单选择【Creat】/【Electrical CSet】命令，确认不选择【Copy Constraints From】选项。

• 克隆一个 ECSets

克隆一个 ECSets 的方法与上面的第 3 和第 4 项的不同就是选择【Copy Constraints From】选项。

• 删除 ECSet

- 选择一个 ECSet，然后选择【Objects】/【Delete】命令。

• 在【Electrical Constraint Set】文件夹，点击一个 ECSet，然后按“Delete”键。

• 重命名 ECSet

右键点击一个 ECSet，在弹出的菜单选择【Rename】命令。

• 导入 ECSets

前边的练习讲解了从 SigXplorer 更新约束管理器的 ECSets，还可以在约束管理器界面选择【File】/【Import】/【Electrical CSets】。如果导入的 template 以前已经指定了作为一个 ECSets，那么导入将覆盖存在的约束值。

注意如果选择了【Automatic Topology Update】选项（在【Tools】/【Options】中），那么被更新的 template 信息将立刻应用到网络相关的对象，否则就要选择【Tools】/【Update Topology】来更新。（注意此项内容仅在 PCB Design 和 PCB SI 的约束管理器中才存在，在第 7 章还会详细说明）。

• 导入约束

使用【File】/【Import】/【Constraints】导入约束文件.dcf，此文件是电子约束信息的一个快照，包含用户定义的属性、ECSets 和它们的约束，还有网络相关的对象和它们的约束。在【Import Constraints】对话框中有以下几个选项：

- Overwrite current constraints – 删除当前的约束并读入新的约束，并产生一个报告。
- Merge with existing constraints – 保留当前的约束并读入新的约束，并产生一个报告。
- Replace current constraints – 仅覆盖那些导入的 DCF 文件中的约束。
- Report only – 只产生一个导入（Overwrite,Merge,Replace）的报告并不执行导

入。

5.2 指定 ECSet 给网络

PCB Design 和 PCB SI 都可以灵活的映射约束信息，如果网络不能和参考的 ECSet 的拓扑属性相匹配，映射将会失败，约束也就不起作用。

下面将指定 ECSet DATA<1> 给网络 DATA<15>、DATA<14>、DATA<13> 和 DATA<12>。

8 指定 ECSet 给网络

1. 在约束管理器界面的【Net】文件夹，点击【Signal Integrity】工作簿下面的【Reflection】工作表。
2. 点击网络 DATA<15>，选择【Objects】/【Electrical Cset References】命令，弹出【Electrical Cset References】对话框，请见图 5-4。

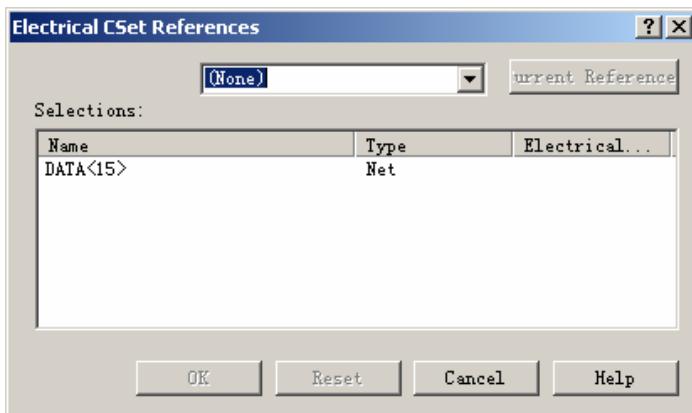


图 5-4 【Electrical Cset References】对话框

3. 在【Current References】按钮左边的下拉列表选择“DATA<1>”。
4. 点击 **OK** 按钮，查看网络 DATA<15>的约束。打开其他工作表查看约束，比如【Impedance】、【Switch/Settle Delay】。
5. 按照第 2 到第 4 步的方法，设置 DATA<14>、DATA<13> 和 DATA<12>。
6. 选择【File】/【Save】。

- 检查对象参考的 ECSet

在【Net】文件夹，点击工作簿或者工作表，然后点击对象（net,Xnet,bus,或者 diff pair）然后选择【Objects】/【Electrical Cset References】或者右键单击对象在弹出的菜单选择【Electrical Cset References】，将弹出如图 5-4 所示的对话框，显示出对象参考的 ECSets。

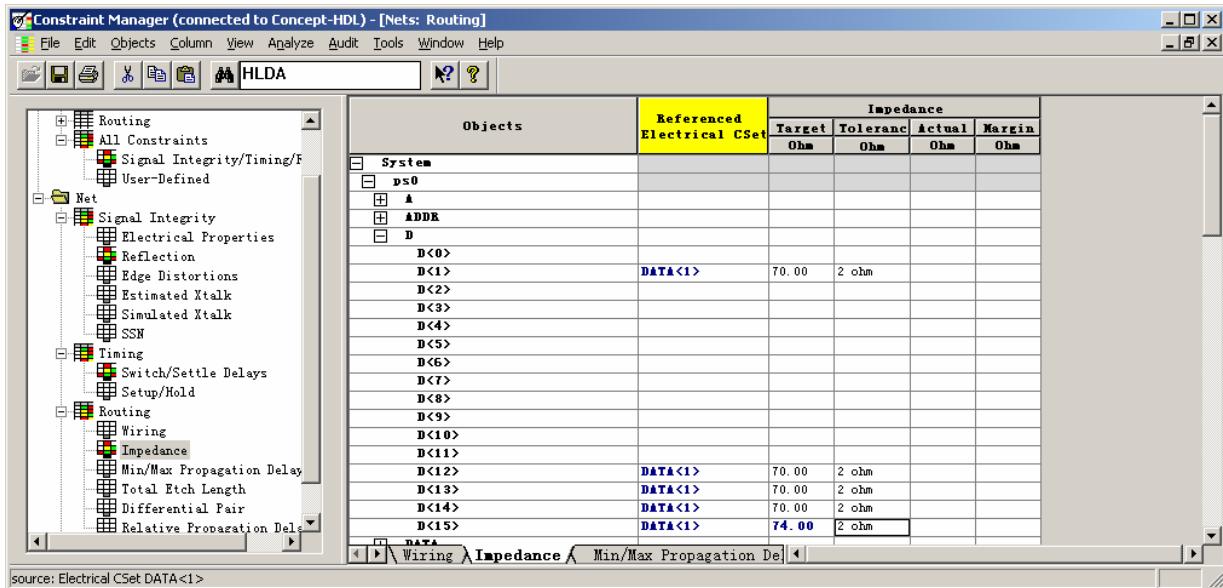
右键点击对象的【Referenced Electrical Cset】栏，在弹出的菜单选择【Go to Electrical CSet】可以回到参考的 ECSet。

5.3 不考虑 ECSet 的缺省约束值

有时在设计中有的网络已经覆给了约束，但是希望某些约束值被过滤掉不考虑，将会通过更改约束值来实现。下面以 DATA<15>为例来说明。

8 锁 键 更改 ECSet 的缺省约束值

1. 打开约束管理器【Net】文件夹下的【Impedance】工作表。
2. 更改 DATA<15>的【Target】阻抗值为“74”。请见图 5-5。



The screenshot shows the Constraint Manager interface with the title bar "Constraint Manager (connected to Concept-HDL) - [Nets: Routing]". The left pane displays a tree view of constraints, including "All Constraints", "Signal Integrity/Timing/Freq", "User-Defined", "Net", "Signal Integrity", "Electrical Properties", "Timing", "Routing", and "Wiring". The "Wiring" node is expanded, showing "Impedance", "Min/Max Propagation Delay", "Total Etch Length", "Differential Pair", and "Relative Propagation Delay". The right pane shows a table titled "Impedance" with columns: Objects, Referenced Electrical CSet, Target, Tolerance, Actual, and Margin. The table lists various bus segments (B<0>, B<1>, B<2>, B<3>, B<4>, B<5>, B<6>, B<7>, B<8>, B<9>, B<10>, B<11>, B<12>, B<13>, B<14>, B<15>) and their properties. The "Target" column for B<15> is highlighted in yellow and contains the value "74.00".

Objects	Referenced Electrical CSet	Impedance			
		Target	Tolerance	Actual	Margin
		Ohm	Ohm	Ohm	Ohm
System					
ds0					
▲					
▲DDR					
B					
B<0>					
B<1>	DATA<1>	70.00	2 ohm		
B<2>					
B<3>					
B<4>					
B<5>					
B<6>					
B<7>					
B<8>					
B<9>					
B<10>					
B<11>					
B<12>	DATA<1>	70.00	2 ohm		
B<13>	DATA<1>	70.00	2 ohm		
B<14>	DATA<1>	70.00	2 ohm		
B<15>	DATA<1>	74.00	2 ohm		

图 5-5 【Impedance】工作表

3. 打开【Switch/Settle Delay】工作表。
4. 更改 DATA<15>的【Min First Switch】的值为“0.5:0.6”。
5. 选择【File】/【Save】。

5.4 在原理图中查看 ECSet

约束管理器中的 ECSet 映射为原理图中的 ELECTRICAL_CONSTRAINT_SET 属性，当约束管理器同时打开时，此属性是只读的。下面看看 DATA<15>的属性。

8 锁 键 在原理图中查看 ECSet

1. 转到原理图界面。
2. 在数据中找到总线 DATA。
3. 点击  图标。

4. 点击总线 DATA，出现【Attributes】对话框。
5. 选择【Show Index】选项，【Index】设置为“15”，请见图 5-6。

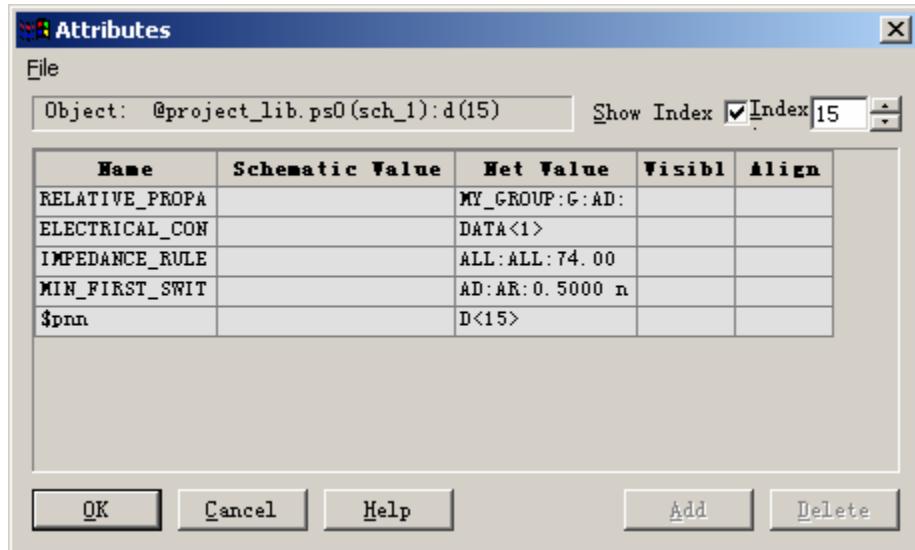


图 5-6 【Attributes】对话框

注意：IMPANCE_RULE 和 MIN_FIRST_SWITCH 属性单个显示出来，因为这两个值与 ELECTRICAL_CONSTRAINT_SET 值不一致。

6. 点击 **Cancel** 按钮，关闭对话框。

第6章 ECOS 实现

本章讲解如何完成原理图和约束的ECOs（Engineering Change Orders），从而保证约束和相关的电子属性同步。本章主要内容如下：

- 在没有打包的网络上获取约束
- 在约束管理器中修改约束
- 在原理图中修改约束
- 在约束管理器中删除约束
- 在原理图中重新命名某个网络并保留此网络的约束

以前已经加完约束并退出相关的工具，可以修改约束和相关的电子属性，当在约束管理器和原理图中电子约束和原理图被保存，那么原理图和约束管理器就是同步的。

6.1 在原理图中增加网络

下面的练习将在 BINARY CTR F393 的 Q0 和 20R8 的 I11 之间增加网络 MY_NET，给此网络加阻抗约束。最后将打包设计并查看约束管理器中的约束。

锁图标 在原理图中增加网络

1. 点击 Concept HDL 窗口，如果在 Occurrence 编辑模式，选择【Tools】/【Occurrence Edit】转为 expand 模式命令。
2. 选择【Tools】/【Unexpand Design】命令转为层次模式。约束管理器自动关闭。
3. 找到第一页的原理图中 BINARY CTR F393 和 20R8 的位置。请见图 6-1。

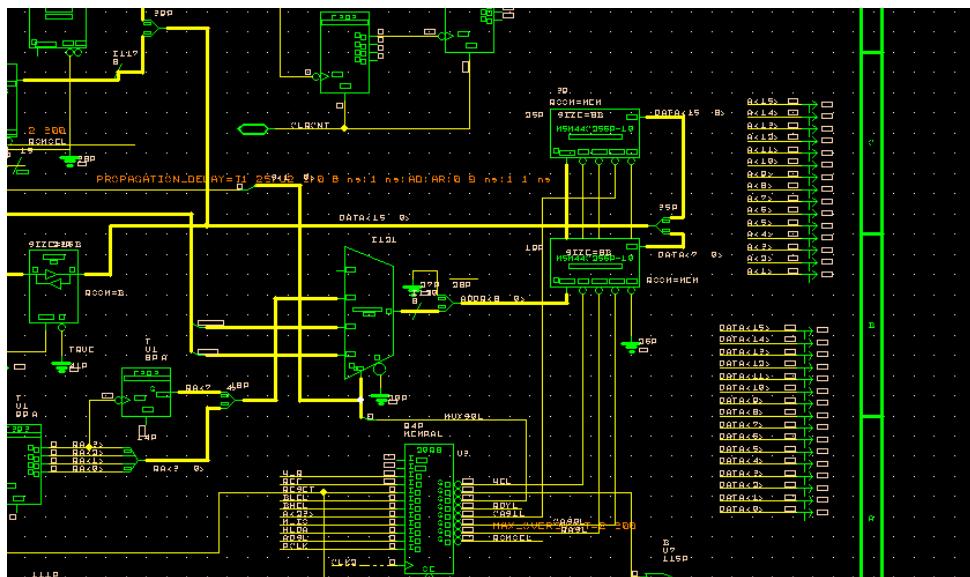
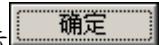


图 6-1 BINARY CTR F393 和 20R8 的位置

4. 选择【Wire】/【Route】命令，点击 BINARY CTR F393 的 Q0 管脚，然后点击 20R8 的 I11 管脚。如果弹出【Concept-HDL】对话框，点击  按钮。
5. 选择【Wire】/【Signal Name】命令，出现【Signal Name】对话框。
6. 输入“MY_NET”，然后点击原理图中新加的网络。关闭【Signal Name】对话框。
7. 选择【File】/【Save】命令。
8. 选择【Tools】/【Expand Design】命令。
9. 选择【Tools】/【Constraints】/【Edit】命令，打开约束管理器。
10. 打开【Impedance】工作表，可以查看到网络 MY_NET 显示为规范的格式，其它的网络显示为物理格式，因为新加的网络还没被打包。请见图 6-2。

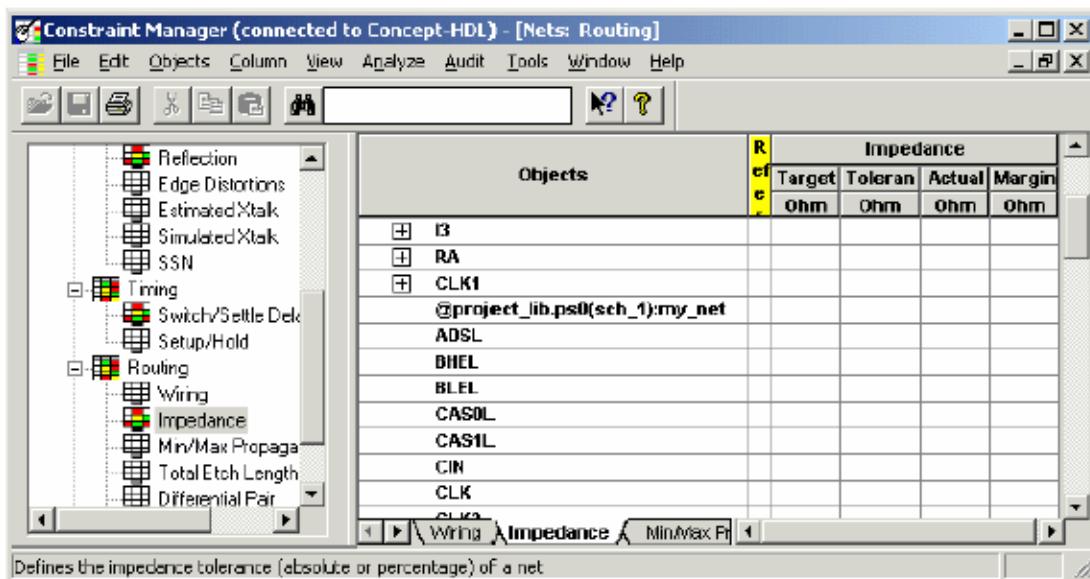


图 6-2 网络 MY_NET 显示为规范的格式

11. 设置网络 MY_NET 的【Target】值为“55”，【Tolerance】值为“3%”。
12. 选择【File】/【Save】命令。
13. 回到原理图界面，将 IMPEDANCE_RULE 属性显示出来。
14. 选择【File】/【Save】命令。
15. 选择【File】/【Export Physical】命令。
16. 点击  按钮。
17. 打包完成回到约束管理器窗口，查看结果，请见图 6-3。

Objects	Referenced Electrical CSet	Impedance			
		Target Ohm	Tolerance Ohm	Actual Ohm	Margin Ohm
HLDA					
NUXSL					
NY_NET		55.00	3.4		
X_IO					
PCLK					
RASL					
RDYL					
REF					

图 6-3 打包后结果

6.2 在原理图中修改约束

可以在原理图的属性窗口中修改相关的属性值而修改电子约束。

注意：在原理图中编辑属性一定要退出约束管理器。如果约束管理器和原理图同时打开的话，那么原理图中属性值为灰色的不能编辑。

下面练习将在原理图中修改网络 RESETL 的 MAX_FINAL_SETTLE 属性，然后在约束管理器中查看。

在原理图中修改约束

1. 点击 Concept HDL 界面。
2. 选择【Text】/【Attributes】，然后点击网络 RESETL。查看属性为灰色显示。
3. 点击 **Cancel** 按钮。
4. 回到约束管理器界面，选择【File】/【Exit】退出约束管理器。
5. 点击 Concept HDL 界面。
6. 选择【Text】/【Attributes】，然后点击网络 RESETL。
7. 修改 MAX_FINAL_SETTLE 值为 AD:AR:3.210 ns:3.280ns。
8. 点击 **OK** 按钮。
9. 选择【File】/【Save】命令。
10. 选择【Tools】/【Constraints】/【Edit】。
11. 打开【Switch/Settle Delays】工作表，查看更改的设置，请见图 6-4。

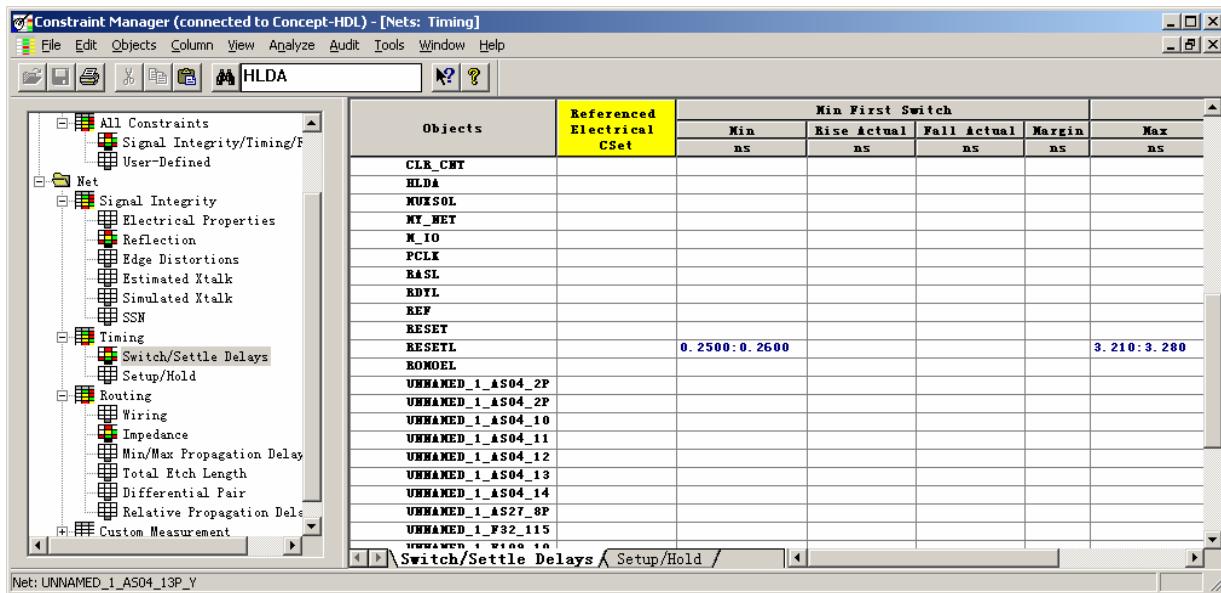


图 6-4 查看更改的设置

6.3 在约束管理器中修改约束

也可以在约束管理器中修改约束，然后在原理图中查看修改的属性。

下面以修改 RESETL 的 Min First Switch 属性为例来讲述如何实现。

在约束管理器中修改约束

1. 在约束管理器中打开【Switch/Settle Delays】工作表，找到网络 RESETL 的约束。
2. 改变【Min First Switch】的【Min】值为“0.2500: 0.2800”。
3. 选择【File】/【Save】命令。
4. 回到原理图界面，选择【Text】/【Attributes】，然后点击网络 RESETL，**查看属性值没有改变**。
5. 选择【Tools】/【Constraints】/【Update Schematic】。
6. 选择【Text】/【Attributes】，然后点击网络 RESETL，**查看属性值已经更新**。
也可以转为 hierarchy 模式查看 MIN_FIRST_SWITCH 属性，但是如果约束管理器正在打开，那么会自动关闭。

6.4 在约束管理器中删除约束

可以在约束管理器中删除约束，相应的原理图中的属性就被删除。

下面以删除网络 CLK 的属性为例来讲解。

在约束管理器中删除约束

1. 在约束管理器中打开【Electrical Properties】工作表，找到网络 CLK。
2. 删除【Frequency】属性值，则【Period】、【Duty Cycle】和【Jitter】属性值自动被删除。
3. 选择【File】/【Save】命令。
4. 回到原理图，并确认不在 occurrence 编辑模式。
5. 打开 4_BIT_COUNTER 设计的第 1 页。
6. 选择【Text】/【Attributes】，点击网络 CLK，查看属性，注意属性并没有被删除。
7. 点击  按钮。
8. 选择【Tools】/【Constraints】/【Update Schematic】。
9. 打开 4_BIT_COUNTER 设计的第 1 页。
10. 选择【Text】/【Attributes】，点击网络 CLK，查看属性，注意属性值已经被删除，但是 PULSE_PARAM 仍然存在，如果以后需要还可以再加属性。

6.5 在原理图中重新命名网络

可以重新命名有约束的网络，但是约束仍然保留。

下面将给网络 ROMOEL 指定一个新名字，然后在约束管理器中查看此网络。

在原理图中重新命名网络

1. 打开设计 ps0 的第 1 页，找到网络 ROMOEL，共有两处。
2. 选择【Tools】/【Unexpand Design】，转换为 hierarchy 模式。
3. 选择【Text】/【Attributes】，点击网络 ROMOEL。
4. 更改【SIG_NAME】从“ROMOEL”为“ROMOEL_NEW”。
5. 点击  按钮。
6. 按照第 4 和第 5 步修改另一处网络名为“ROMOEL_NEW”。
7. 选择【File】/【Save】命令。
8. 选择【Tools】/【Expand Design】扩展设计。
9. 选择【Tools】/【Export Physical】打包设计（此处与 CADENCE 教材中的不同）。
10. 选择【Tools】/【Constraints】/【Edit】。
11. 打开【Reflection】工作表，查看网络属性，可以看到 ROMOEL 和 ROMOEL_NEW 都在表中显示，请见图 6-5。

Objects	Referenced Elec	Overshoot		
		Max	High Actual	Low Actual
		mV	mV	mV
RESETL				
ROMOEL		2.300		
ROMOEL_NEW		2.300		
UNNAMED_1_AS04_2P_A				
UNNAMED_1_AS04_2P_T				
UNNAMED_1_AS04_10P_T				

图 6-5 查看网络属性

12. 选择【Audit】/【Obsolete Objects】命令，出现【Audit Obsolete Objects】对话框，请见图 6-6。

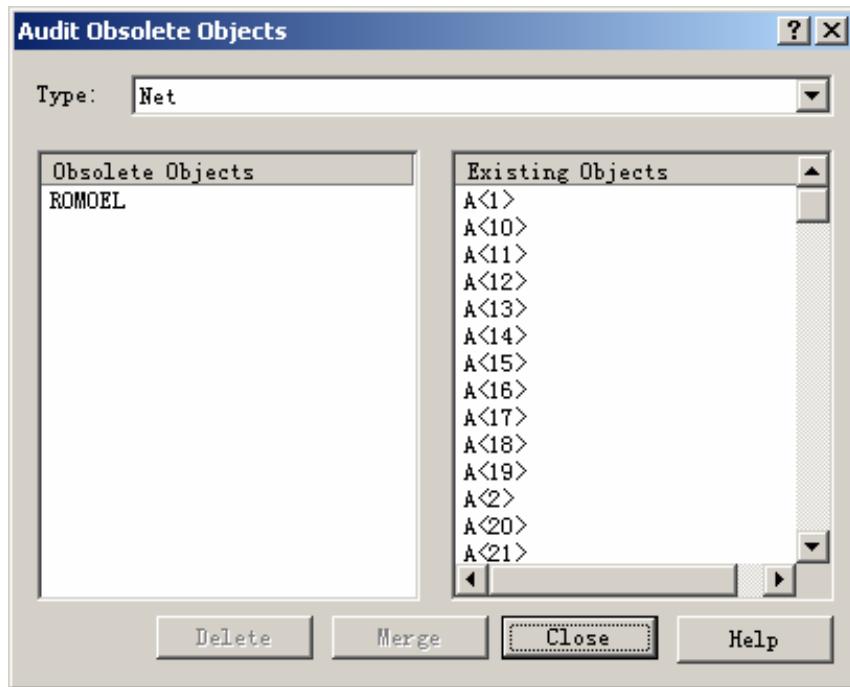


图 6-6 【Audit Obsolete Objects】对话框

13. 在【Obsolete Objects】选择 ROMOEL，点击 按钮。

14. 点击 按钮。

15. 点击 按钮。

16. 选择【File】/【Save】命令。

17. 选择【File】/【Exit】命令。

- **Audits 命令**

约束管理器提供了审查功能通过报表给用户一个反馈。在菜单 **【Audit】** 下面有几个命令选项：

- **Constraints** – 创建约束的错误报告，帮助用户发现并解决冲突，包含下面的检查内容：

最小值超过最大值

值小于 0

完全冲突

组成员冲突

相关组冲突

对线的并行长度和间距

设置和保持相对时钟周期

差分对成员不匹配

网络相关的覆盖（注意：网络覆盖就是代替继承的 ECSet 中的值，缺省会用蓝色显示）

- **Obsolete Objects** – 产生一个报告，包含的内容是约束管理器与 PCB Design 或者 Concept HDL 一定要统一的部分。比如上面的练习内容。此命令一般用于在后面导入约束或者当约束管理器的对象与原理图中的对象的连接断开时。当仅运行约束管理器时，此命令不能使用。

- **Electrical Csets** – 产生一个报告，包含当前设计中的 ECSets 和参考这些 ECSets 的网络相关对象的状态。报告的前边总结了参考约束的数量和错误。在 ECSets 中定义的每个约束继承的状态报告包括：

在网络相关对象和 ECSets 之间的拓扑特性的任何不匹配，在这种情况下，ECSet 的约束不被继承。

网络相关属性继承 ECSet 约束。

在约束管理器中当参考的 ECSets 时黄色显示的话，这暗示着有旧的 ECSet 参考，你可以运行 **【Audit】/【Electrical Csets】** 来清除这些设置并排除这些差异。

- **Topology Templates** – 移植冲突的属性到约束管理器使用的 ECSet 参考。

- **导出 ECSets**

通过执行导出 ECSets 可以实现设计重用。可以有以下两种方法导出：

执行 **【File】/【Export】/【Electrical】** 命令保存设计或者系统中选择的 ECSets 为 *.top 文件。

执行 **【File】/【Export】/【Constraints】** 命令导出词典（dictionary）和约束文件 *.dcf。此文件包含所有的电子约束信息。用户可以在大面积修改约束之前保存现有的约束以备以后导入查看。

第7章 在原理图和 PCB 之间同步约束

本章学习如何同步从原理图中获取的约束或者从 PCB 中获取的约束。

主要内容如下：

- 传送电子约束从原理图到 PCB
- 传送电子约束从 PCB 到原理图
- 在原理图中重写电子约束加到板上，或者反过来
- 仅传送变更的电子约束从原理图到 PCB 或者反过来

7.1 从原理图中输出约束

一旦完成原理图设计并加了所有的约束，可以传送逻辑到 PCB Design 板，当创建了 PCB 板，电子约束也可以传递给 PCB。

下面就打包一个设计并创建一个 PCB 文件，此板文件将包含在原理图中添加的所有约束。



从原理图中输出约束

1. 点击 Concept HDL 窗口，选择【File】/【Export Physical】，出现【Export Physical】对话框。
2. 确认选择了【Package Design】选项，注意如果原理图中加了新的约束，一定要打包设计，以便约束传递到相关的板。
3. 选择【Update Allegro Board (Netrev)】选项。
4. 在【Output Board File】栏输入“my_board”。
5. 点击 按钮。
6. 点击 按钮，不查看报告。

7.2 在 PCB Design 中查看和添加约束

约束管理器是与 Concept HDL 和 PCB Design 集成在一起的。PCB 工程师可以在 PCB Design 中启动约束管理器来查看原理图中获取的约束，除了查看，还可以进行以下工作：

- 在 PCB 中获取相关的布局和走线的约束
- 万一发现约束与板上的走线情况不一致时，更新原理图中获取的约束
- 分析不同约束的值
- 输出分析结果，原理图设计者可以在约束管理器中查看有没有冲突

下面将在 PCB Design 中启动约束管理器，查看网络 RESETL 的约束，编辑此网络的 Min First Switch 约束，并增加 Max Xtalk 约束在网络上，并将分析这个约束和输出结果。

在 PCB Design 中查看和添加约束

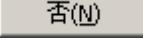
1. 点击【Project Manager】界面，点击 Layout 图标，进入 PCB Design 界面。
2. 选择【Setup】/【Electrical Constraint Spreadsheet】命令，启动约束管理器，注意标题是连接到 PCB。
3. 在【Net】工作簿，双击【Timing】，打开【Switch/Settle Delays】查找网络 RESETL 并查看网络属性。
4. 改变【Min First Switch】的【Min】值为“0.2500: 0.2900”。
5. 双击【Signal Integrity】，打开【Estimated Xtalk】工作表，查找网络 RESETL。
6. 在【Xtalk】的【Max】输入“30:30”。
7. 回到 PCB Design 窗口，选择【File】/【Save】命令。
8. 点击  按钮，确认覆盖原文件。
9. 在约束管理器中，选择【Analyze】/【Analyze】命令，查看是否有冲突发生。
10. 选择【File】/【Export】/【Analysis results】。
11. 点击  按钮。

7.3 在原理图中导入并查看约束

在 PCB 上添加的约束也要导入原理图中，这就需要保持原理图的逻辑和物理设计同步。可以通过原理图的导入功能来实现物理信息传递到原理图中。

下面将从原理图中启动导入对话框，导入物理设计信息。并在原理图中查看导入的约束信息。

在原理图中导入和查看约束

1. 点击原理图窗口，选择【File】/【Import Physical】。
2. 选择【Generate Feedback Files】选项。注意板文件为 my_board.brd，将要从此文件中读入约束。
3. 确认选择了【Backannotate Schematic】选项。
4. 点击  按钮。
5. 点击  按钮。
6. 选择【Tools】/【Expand Design】命令。
7. 在设计 ps0 的第 1 页找到网络 RESETL。
8. 选择【Text】/【Attributes】，并点击网络 RESETL，弹出【Attributes】对话

框, 请见图 7-1。

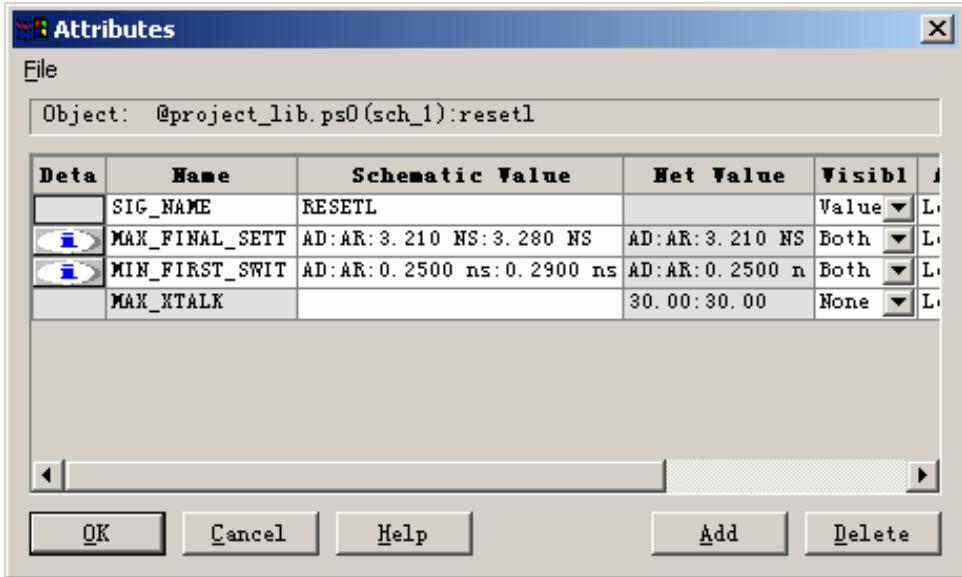


图 7-1 【Attributes】对话框

9. 将属性 MAX_XTALK 设置为显示。

10. 点击 **OK** 按钮。

11. 选择【Tools】/【Constraints】/【Update Schematic】命令。

12. 点击 **是(Y)** 按钮, 确认保存。

13. 放大网络 RESETL 约束显示区域, 请见图 7-2。



图 7-2 网络 RESETL 约束显示

7.4 在 PCB 和原理图之间同步约束的两种模式

以下情况很可能发生, 在 PCB 已经创建之后已经附带这所有的约束, 可能原理图约束有改动, 而同时 PCB 上的约束也有改动, 这时原理图和 PCB 就没有保持同步。可以使用下面两种模式传递变更:

- 重写当前的约束

当从原理图传递变更到 PCB, 设计同步会用原理图中的约束将 PCB 文件中的

电子约束全部重写。

相似的，当从 PCB 传递到原理图，设计同步会用 PCB 中的约束重写原理图中的约束。

- 仅传递变更的约束

当从原理图传递变更到 PCB，设计同步仅重写 PCB 中上次传递之后原理图中变更的约束。

相似的，当从 PCB 传递到原理图，设计同步仅重写原理图中上次传递之后 PCB 中变更的约束。

7.4.1 用原理图中的约束重写 PCB 中的约束

在 PCB Design 中启动约束管理器增加网络 CLK 的 Min First Switch 约束，然后将变更原理图中约束管理器的下列约束：

- 删除 Min Noise Margin
- 改变 Max Overshoot
- 增加 Max Xtalk

下面将重写原理图中的变更到 PCB 中。

用原理图中的约束重写 PCB 中的约束

1. 在 PCB Design 界面启动约束管理器。
2. 打开【Switch/Settle Delays】工作表，在网络 CLK 的【Min First Switch】栏的【Min】输入“0.24:0.24”。
3. 在约束管理器中选择【File】/【Export】/【Analysis results】。
4. 点击 PCB Design 窗口，选择【File】/【Save】。
5. 点击  覆盖保存。
6. 选择【File】/【Exit】退出 PCB Design。
7. 进入 Concept HDL 界面，启动约束管理器。
8. 选择【File】/【Import】/【Analysis results】命令，启动【Import Actuals】对话框。
9. 双击“my_board.acf”，在 PCB Design 中的分析结果被导入。
10. 打开【Reflection】工作表，针对网络 CLK 做如下修改：
 - (1) 更改【Overshoot】栏【Max】值为“5200:-600”。
 - (2) 删除【Noise Margin】栏【Min】值。
11. 打开【Estimated XTalk】工作表，针对网络 CLK 设置【XTalk】栏【Max】为“26:25”。
12. 选择【File】/【Save】。
13. 回到 Concept HDL 界面，选择【File】/【Save】。
14. 选择【File】/【Export Physical】，启动【Export Physical】对话框。

15. 在【Electrical Constraints】栏选择【Overwrite current constraints】选项, 请见图 7-3。

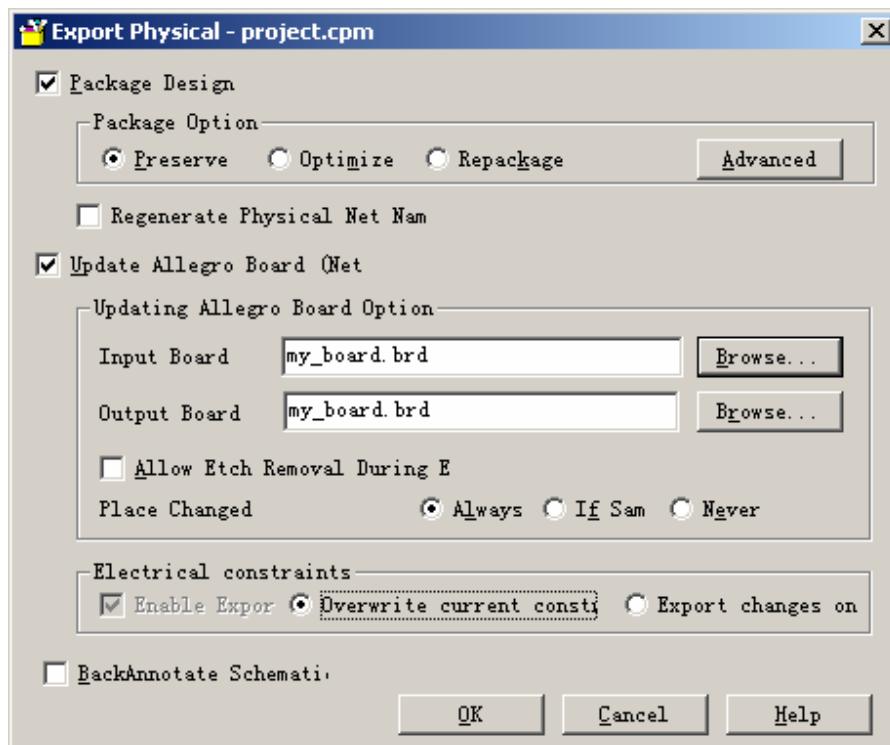


图 7-3 【Export Physical】对话框设置

16. 点击 **OK** 按钮。
17. 点击 **否(N)** 按钮。
18. 启动 PCB Design, 选择【Setup】/【Electrical Constraint Spreadsheet】命令。
19. 打开【Reflection】工作表查看, 可以看到。【Overshoot】栏【Max】值已经更改为“5200:-600”, 并删除【Noise Margin】栏【Min】值。请见图 7-4。

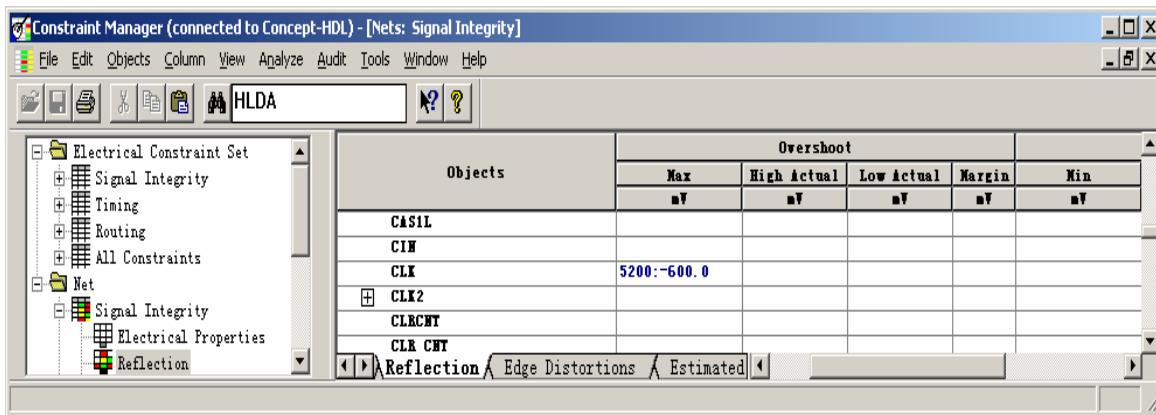


图 7-4 【Reflection】工作表已经被更改

20. 打开【Estimated XTalk】工作表，查看网络 CLK 【XTalk】栏【Max】为“26:25”已经被设置。
21. 打开【Switch/Settle Delays】工作表，之前在 PCB Design 中添加的网络 CLK 的【Min First Switch】栏的【Min】的“0.24:0.24”的值已经被删除了，因为此值在原理图中并不存在。
- 控制约束管理器中的对象如何继承约束信息
选择【Tools】/【Option】，打开【Options】对话框，请见图 7-5。



图 7-5 【Options】对话框

- Automatic topology update – 缺省是选择的。当设计变更或者最初参考约束时，控制应用拓扑相关的约束。当选择时，约束管理器随着设计变更会更新约束，当不选择时，需要执行【Tools】/【Update Topology】来更新变更。如果从不选择变为选择，约束管理器提示一个确认信息用更新的拓扑来更新网络的信息。什么时候不希望自动更新呢，当设计变更频繁时和参考比较复杂的 ECSets 时。

- Overwrite existing constraints – 缺省是不选择的。控制当重新应用 ECSet 时，ECSet 中的约束只是否覆盖已经存在的网络的相关约束。当使用【Audit】/【Topology Templates】命令移植 14.0 的设计时，一定要选择 Overwrite existing constraints。这将确保 14.0 的拓扑样本被覆盖。
- Rip up etch when mapping topology – 缺省是不选择的。控制当 ECSet 重新应用和网络的 schedule 变更时是否走线和过孔会被移走。

7.4.2 在原理图中导入 PCB 中变更的约束

在 PCB Design 中启动约束管理器变更约束管理器的下列约束：

- 改变 Min First Switch
- 删除 Max Final Settle
- 增加 Max Overshoot

下面将变更到 PCB 的约束导入原理图中。

在原理图中导入 PCB 中变更的约束

1. 在 PCB Design 界面，打开约束管理器。
2. 打开【Switch/Settle Delays】工作表，针对网络 RESETL 改变【Min First Switch】栏的【Min】的“0.25:0.26”，删除【Max Final Settle】栏的【Max】值。
3. 打开【Reflection】工作表，针对网络 RESETL 更改【Overshoot】栏【Max】值为“5200:-600”。
4. 回到 PCB Design 界面，选择【File】/【Save】。
5. 点击  覆盖保存文件。
6. 回到 Concept HDL 界面，选择【File】/【Import Physical】命令，启动【Import Physical】对话框。
7. 在【Electrical constraints】栏，选择【Import changes only】选项，请见图 7-5。选择此选项，设计同步会仅导入在 PCB Design 中电子约束变更的部分。

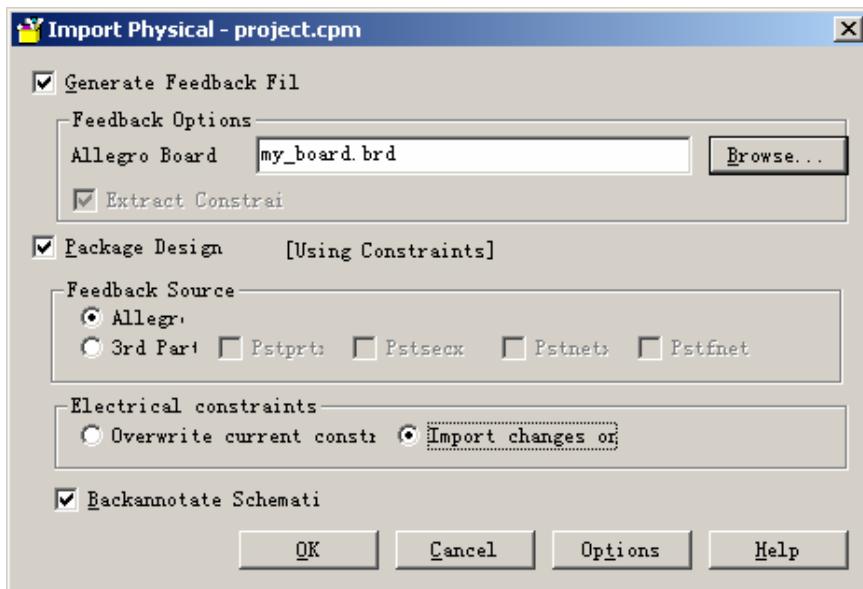


图 7-5 【Import Physical】对话框

8. 点击 **OK** 按钮。
9. 点击 **否(N)** 按钮。
10. 选择【Tools】/【Constraints】/【Update Schematic】命令。
11. 选择【Text】/【Attributes】，然后点击网络 RESETL，启动属性对话框，请见图 7-6。查看属性，MIN_FIRST_SWITCH 已经变更，增加了 MAX_OVERSHOOT 约束，而 MAX_FINAL_SETTLE 仅有占位符。

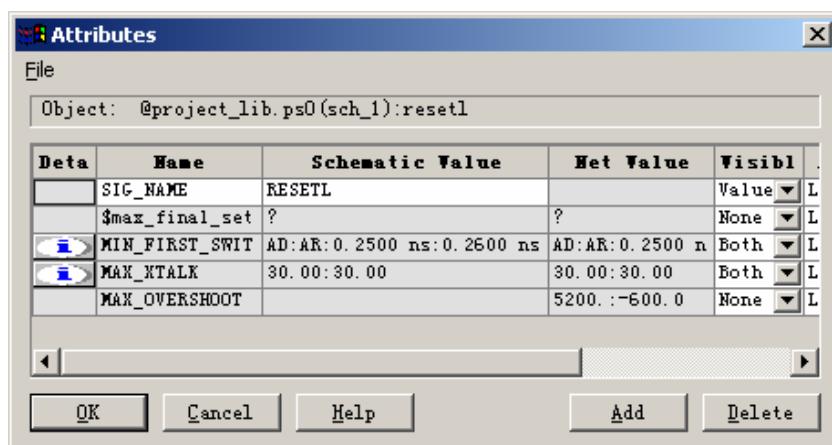


图 7-6 属性对话框

12. 点击 **Cancel** 按钮。

第8章 约束分析

约束管理器有两种方法分析设计中的约束：

- **设计规则检查**

实时设计规则检测是针对 routing 工作表中的约束，与布局布线做比较结果返回给工作表。如果发生设计规则冲突，约束管理器中相应的单元格显示就会变成红色，此外也会在 layout 中以蝴蝶结标识出冲突的位置。

约束管理器有三种模式的设计规则检查。可以用约束模式对话框的 DRC 控制（【Analyze】/【Analysis Mode】），也可以指定分析设置，DRC 模式和输出期望的报告。这些将在以后的章节详细介绍。

- **仿真分析**

仿真分析是针对 Signal integrity 和 timing 工作表的。比较计算值和约束值分析结果返回工作表单元格。Margin 是差值，Actual 是实际值。

分析仿真基础的约束，一定要运行在 PCB Design 或者 PCB SI。

8.1 查看工作表单元格和对象

因为设计的复杂度越来越高，设计中的对象也是越来越多，相应的 ECSets 的数量也越来越多，约束管理器提供了一些简单的方法改变视图，从而容易的找到关注的对象。

任务	命令	行动
定位一个 object，一个 result 或者一个 ECSet	【Edit】/【Find】	查找指定的 object 可以按照如下内容过滤： <ul style="list-style-type: none"> ● Match whole word only ● Expand hierarchy 可以点击 Find Next 或者按 F3 查找下一个。
	【Edit】/【Go to source】	定位拥有 ECSet 的上一级对象，比如总线中的一位继承了总线的 ECSet，则总线就是 parent object。
	【View】/【Options】/【Row Numbers】	在工作表中显示出行号。
	【Objects】/【Filter】	选择显示或者隐藏工作表中的下列对象： <ul style="list-style-type: none"> ● net ● Xnet ● Pin-pair ● Results ● Diff pair ● Bus ● Match group
控制工作表或者对象的层次	【Objects】/【Expand/Collapse】或者使用 [+] 或者 [-]	扩展或者折叠工作表 最差的结果显示在折叠的对象。

	【 View 】 / 【 Show All Rows】	扩展或者折叠所有的工作表
工作在列	【Column】 / 【Sort】 或者 双击列的表头	排列对象或者约束的顺序
	【 View 】 / 【 Hide/Show Column】	
	Resize	调整列的宽度
比较单元格	【Window】 / 【Tile】	比较两个或者更多不同的工作表中的单元格。
	【 Window 】 / 【 New Window】	比较同一个工作表中的单元格。

8.2 定制约约、定制测量和定制激励

约束管理器支持定制约束、定制测量和定制激励。如果没有约束管理器，只能从 PCB 提取网络，然后在 SigXplorer 中定义定制约束、定制测量和定制激励，每次都要做这些工作很可能会发生错误或者很烦。因为约束管理器可以对 PCB 上所有的网络进行全局的查看，所以应用定制约束、定制测量和定制激励是很简单的。

不用在约束管理器中定义定制约束、定制测量和定制激励，仅仅指定、管理和分析它们。在 SigXplorer 中定义定制约束、定制测量和定制激励，然后保存位拓扑文件然后作为一个 ECSet 导入约束管理器或者刷新当前的 ECSet 参考。任何参考 ECSet 的网络相关的对象都会继承 ECSet 中定制约束、定制测量和定制激励数据。

8.2.1 定制约约

除了预先定义的约束，约束管理器也支持用户定义的属性和约束定制测量。

8.2.1.1 用户定义的属性

可以使用用户定义的属性来获取对象的特性。约束管理器不能完成这些属性的设计规则检查或者分析。

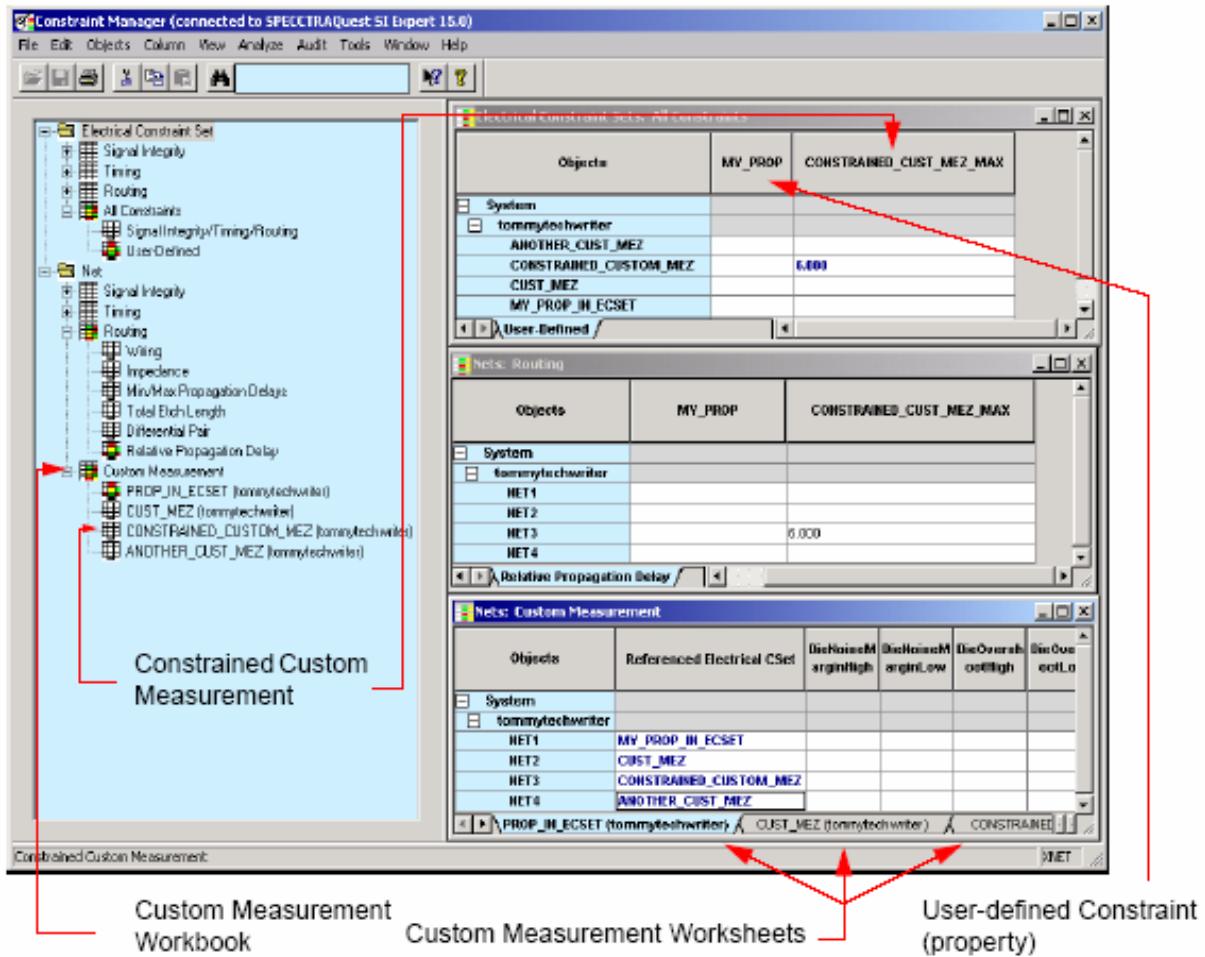
可以在 PCB Design, PCB SI 中使用 **【Setup】 / 【Property Definitions】** 命令来定义属性，也可以在 SigXplorer 中使用 **【Set】 / 【Constraints】 / 【User-Defined】** 来定义属性，现在也可以直接在约束管理器中直接定义属性。

对于约束管理器去显示或者报告用户定义的属性，一定要用 **【Column】 / 【Add】** 命令在 Net 相关的工作表中增加一列，并从对话框中选择期望的属性。约束管理器加一列在工作表的最右边并以属性名称作为列的标签。没有 Actual 和 Margin 与用户定义的属性相关联。此外，属性显示在 ECSet 文件夹的 All Constraints 工作薄中请见图 8-1。

8.2.1.2 约束的定制测量

可以使用定制的测量和定制的激励指定自己的约束，这些约束不同于约束管理器中用户定义的属性，它可以通过设计规则检查和分析校验。

可以在 SigXplorer 中使用表达式编辑器用定义非约束的定制测量的方法来创建约束的定制测量。当选择 None 作为约束类型时，SigXplorer 创建非约束的定制测量。当选择 minimum、maximum、min-max 或者 target:tolerance 作为约束类型时，SigXplorer 创建约束的定制测量，实际上时用户定义的约束。



第9章 Scheduling Nets

—网络中的节点排序

9.1 Scheduling Nets

可以使用 PCB Design 和约束管理器将 schedule 应用于多个网络。

在这一节中将根据图 8-1 重新调整网络 A3 的节点顺序，并使用约束管理器将拓扑传递给相似的网络。

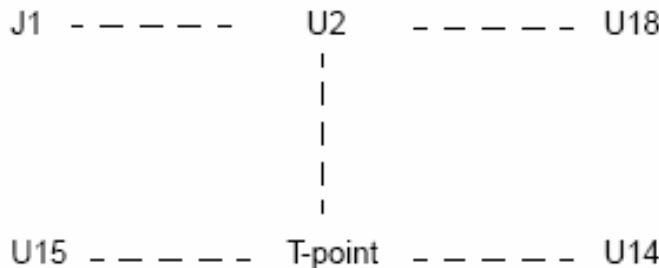


图 9-1 简单的网络节点排序



网络中的节点排序

1. 启动 PCB Design 打开文件 lesson1.brd。
2. 选择【Display】/【Blank Rats】/【All】，隐藏所有网络鼠线。
3. 选择【Setup】/【Electrical Constraint Spreadsheet】启动约束管理器，点击 **OK** 按钮。
4. 选择【Net】文件夹【Routing】工作簿下面的【Wiring】工作表，请见图 9-2。

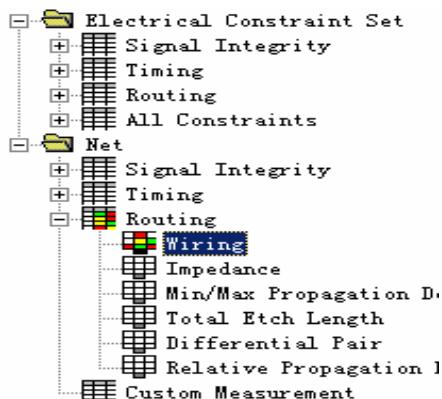


图 9-2 选择【Wiring】工作表

5. 回到 PCB Design 界面，选择【Display】/【Show Rats】/【Net】。
6. 回到约束管理器，右键点击【Objects】栏下面的网络 A3，在弹出的菜单选择【select】命令。
7. 回到 PCB Design 界面，查看网络 A3 的鼠线已经显示出来，右键点击在弹出的菜单选择【Done】。下面将完成网络节点的重新排序，请见图 9-3 是排序前和重新排序后的网络鼠线。

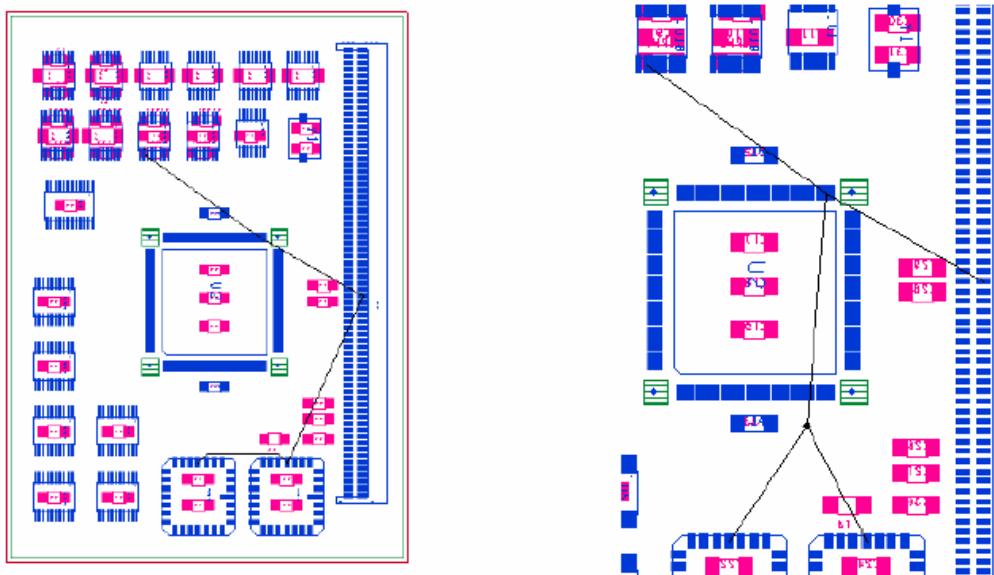


图 9-3 排序前和重新排序后的网络鼠线

8. 选择【Logic】/【Net Schedule】。
9. 点击 J1 的 pin 64，移动鼠标，鼠线附在鼠标上。
10. 点击 U2 的 pin 52。
11. 点击 U18 的 pin 10。
12. 再点击 U2 的 pin 52。
13. 右键点击在弹出的菜单选择【Insert T】命令。
14. 点击加上 T-point。
15. 点击 U14 的 pin 8。
16. 点击 T-point。
17. 点击 U15 的 pin 8。
18. 右键点击在弹出的菜单选择【Done】命令。下面开始创建一个 ECSet 以便将此网络排序应用到相似的网络。
19. 回到约束管理器界面，注意网络 A3 的 topology schedule 已经被定义为“UserDefined”，并显示为蓝色。
20. 右键点击网络 A3 选择【Creat】/【Electrical CSet】命令，在弹出的菜单选择【Creat】/【Electrical CSet】命令，出现了【Creat Electrical CSet】对话框。

21. 确认选择了【Copy Constraints From:】选项，输入 ECSet 名 “a_constraints”，点击

按钮。新创建的 ECSet 继承了网络 A3 的信息。

22. 选择网络 A2 ~ A23，右键点击在弹出的菜单选择【Electrical Cset References】。出现【Electrical Cset References】对话框。

23. 在下拉菜单选择“a_constraints”，点击 按钮。出现【Electrical Cset Apply Information】对话框。

24. 查看报告文件，网络 A16 到 A23 都有 error，网络的管脚数量与 ECSet 的管脚数不匹

配。点击 按钮，关闭报告。请见图 9-4。

Objects	Referenced Electrical CSet	Topology			Stub Length		
		Verify Schedul	Schedule	Actual	Margin	Max mil	Actual mil
ADSL							
A2			TEMPLATE				
A3			UserDefined				
A4			TEMPLATE				
A5			TEMPLATE				
A6			TEMPLATE				
A7			TEMPLATE				
A8			TEMPLATE				
A9			TEMPLATE				
A10			TEMPLATE				
A11			TEMPLATE				
A12			TEMPLATE				
A13			TEMPLATE				
A14			TEMPLATE				
A15			TEMPLATE				
A16			TEMPLATE				
A17			TEMPLATE				
A18			TEMPLATE				
A19			TEMPLATE				
A20			TEMPLATE				
A21			TEMPLATE				
A22			TEMPLATE				
A23			TEMPLATE				
BHEL							

图 9-4 约束显示

25. 注意网络 A16 到 A23 对应的【Referenced Electrical CSet】都是红色显示的，将鼠标放在网络 A16 对应的【Referenced Electrical CSet】栏，查看状态栏显示信息。

26. 右键点击网络 A16 对应的【Referenced Electrical CSet】栏，在弹出的菜单选择【Audit Electrical CSet】，查看报告，点击 按钮，关闭报告。

27. 注意查看网络 A3 的【Schedule】的信息为“UserDefined”。因为网络 A16~A23 不能映射 ECSet 的 schedule，下面将参考的 ECSet 去掉。

28. 选择网络 A16~A23 的【Referenced Electrical CSet】栏，点击右键在弹出的菜单选择【Clear】。

注意：约束管理器中网络 A2~A15 的【Actual】和【Margin】栏是黄色的，暗

示着不对当前的设置做分析。有些约束（信号完整性和时序）需要仿真来计算【Actual】值。当【Actual】值被计算并返回工作表，此值与指定的约束值做比较，差值显示在【Margin】栏。其他的约束比如 topology schedule 简单的生成一个 pass/fail 状态。

29. 移动鼠标放在网络 A2~A15 的【Actual】栏，查看状态栏显示“DRC analysis mode is not on”。选择【Analyze】/【Analysis Modes】命令，出现【Analysis Mode】对话框。
30. 选择【Stub length/Net】选项“On”，确认选择了【on-line DRC】。
31. 点击 **确定** 按钮。
32. 右键点击【Topology】的【Actual】栏，在弹出的菜单选择【Analyze】命令分析拓扑。查看此栏显示依然为黄色。
33. 将鼠标放在黄色区域，观察状态栏显示“‘Verify schedule’ is not set to ‘YES’”。可以用几种方法将【Verify Schedule】栏设置为“YES”。
 - Net-by-net – 即每次点击一个网络的【Verify Schedule】栏，在下拉列表选择“YES”。
 - By range – 即一次选中很多网络，然后点击网络的【Verify Schedule】栏，在下拉列表选择“YES”。
 - By object grouping – 先创建一个“bus”然后点击网络的【Verify Schedule】栏，在下拉列表选择“YES”。
 - Alter an ECSet – 在【Electrical Constraint Set】文件夹的【All Constraints】工作簿，点击 ECSet 的【Verify Schedule】栏选择“YES”。所有的参考此 ECSet 的网络都会继承这个信息并更新。
34. 按照上述第 4 个方法将【Verify Schedule】栏选择“YES”。查看约束管理器【Net】文件夹下面的网络 A2~A15 的显示已经有分析的结果。请见图 9-5。

Objects	Referenced Electrical CSet	Topology				Max	Min
		Verify Schedule	Schedule	Actual	Margin		
ADSL							
A2	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A3	A_CONSTRAINTS	Yes	UserDefined	PASS			
A4	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A5	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A6	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A7	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A8	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A9	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A10	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A11	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A12	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A13	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A14	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A15	A_CONSTRAINTS	Yes	TEMPLATE	PASS			
A16							

图 9-5 分析结果

9.2 Scheduling Nets-Revisited

在上一节学习重新定义一个网络的节点顺序并使用约束管理器指定此 schedule 到几个网络。在本节，将使用 SigXplorer 和约束管理器完成同样的任务。

利用 SigXplorer 和约束管理器重排网络节点

1. 在 PCB Design 界面打开文件 lesson2.brd，然后启动约束管理器。
2. 打开【Net】文件夹的【Routing】下面的【Wiring】工作表。
3. 选择网络 A2 ~ A15, 按右键选择【Creat】/【Bus】，输入总线名“a_bus”，点击 **OK** 按钮。请见图 9-6。

Objects	Referenced Electrical CSet	Topology	
		Verify Schedule	Schedule
System			
lesson2			
A_BUS			
A2			
A3			
A4			
A5			
A6			
A7			
A8			
A9			
A10			
A11			
A12			
A13			
A14			
A15	Net A13		
DIFFPAIR1			
DIFFPAIR2			

图 9-6 生成总线

4. 回到 PCB Design 界面，选择【Display】/【Show Rats】/【Net】命令。
5. 在约束管理器界面，选择总线 A_BUS，按右键选择【Select】。查看总线 A_BUS 的网络鼠线都显示出来。下面提取总线进入 Sigxp。
6. 在约束管理器界面，右键点击总线 A_BUS，在弹出的菜单选择【SigXplorer】。如果出现对话框，选择【Expert】。拓扑显示如图 9-7。拓扑结构为总线的第 1 个成员的。注意部件的名称可能与各位的不同。

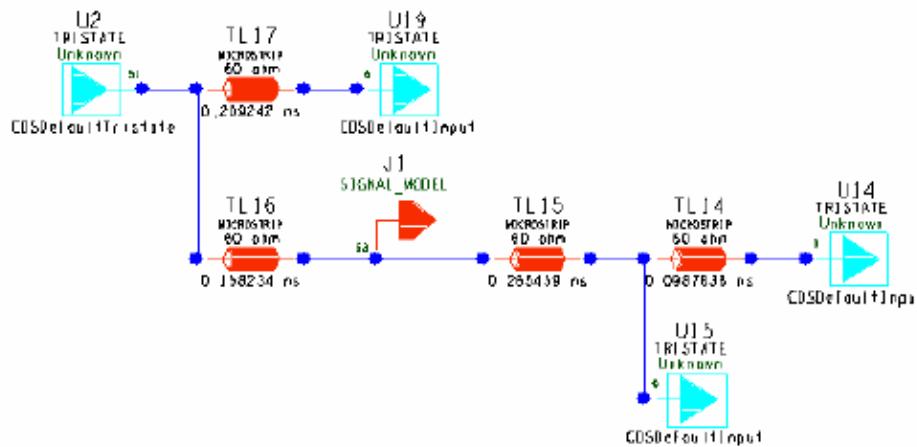


图 9-7 拓扑结构

图中的三角形代表管脚 buffers，圆柱体代表理想传输线，下面显示的值是 time 或者 length，细的线代表理想的连接。

7. 点击每条细的黄色线，删除所有细的黄色线。

8. 移动各个部件，并点击 按钮，再点击一个理想传输线，拷贝一条线，放在图中，如图 9-8 所示。

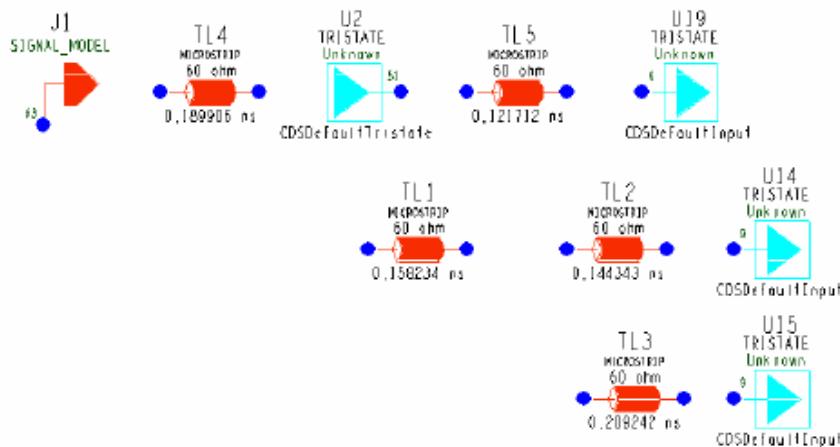


图 9-8 重排部件

9. 点击各个原点，将线连接。请见图 9-9。

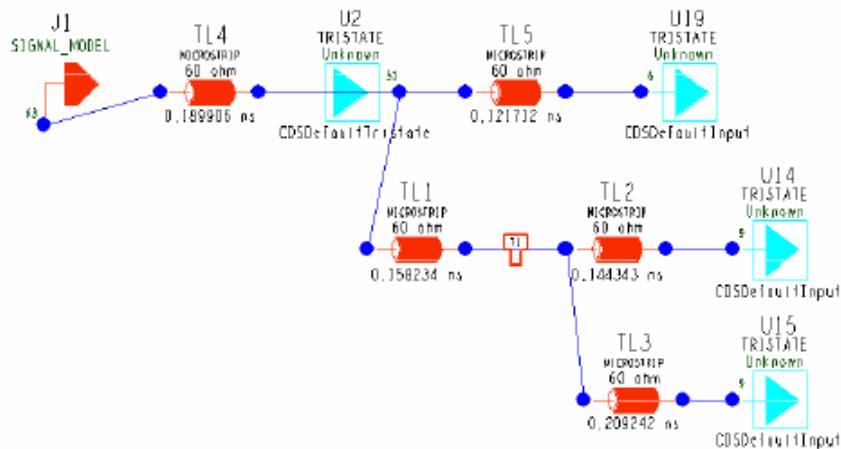


图 9-9 连线完成的拓扑

10. 点击 按钮，调整部件排列，请见图 9-10。

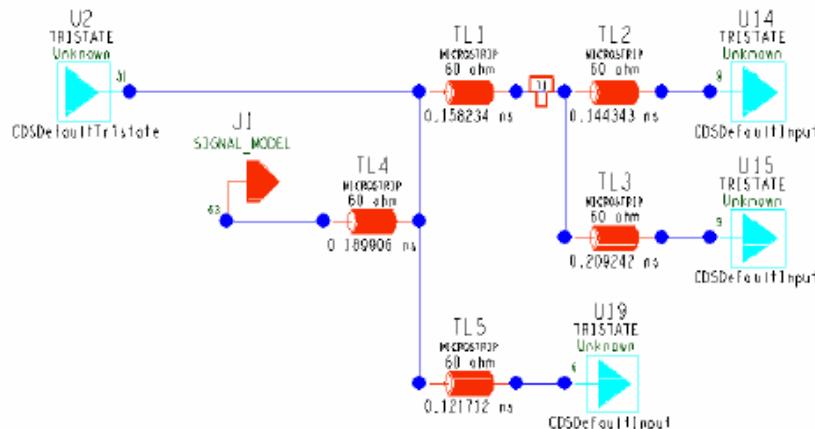


图 9-10 重排的拓扑

11. 选择【Set】/【Constraints】命令，点击【Wiring】标签栏，设置【Verify Schedule】为“**Yes**”。点击  按钮。

12. 点击 按钮更新约束管理器。

13. 回到约束管理器界面，点击 **是(Y)** 按钮，点击 **Close** 按钮。

14. 关闭 SigXplorer。

第10章 相对传输延迟

在第 3 章已经介绍了相对传输延迟的内容，本章将利用约束管理器和 SigXplorer 来创建一个包含串联端接的复杂的拓扑。请见图 10-1 的走线规则：

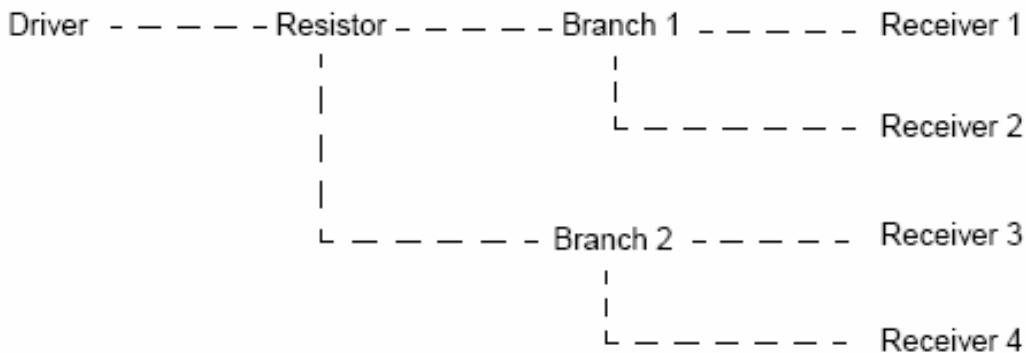


图 10-1 走线规则

从 Driver 到每个分支的走线长度一定要在 350~5400mil 之间，此外从驱动到每个分支的走线差值不能超过 150mil。从每个分支到接收的走线长度一定要在 350~1000mil 范围之内。



相对传输延迟

1. 启动 PCB Design，打开 lesson3.brd。
2. 点击  启动约束管理器。
3. 打开【Wiring】工作表，右键点击 ADDR_BUS，在弹出的菜单选择 SigXplorer，选择【Expert】。
4. 按照上一章介绍的方法重新调整拓扑，请见图 10-2。

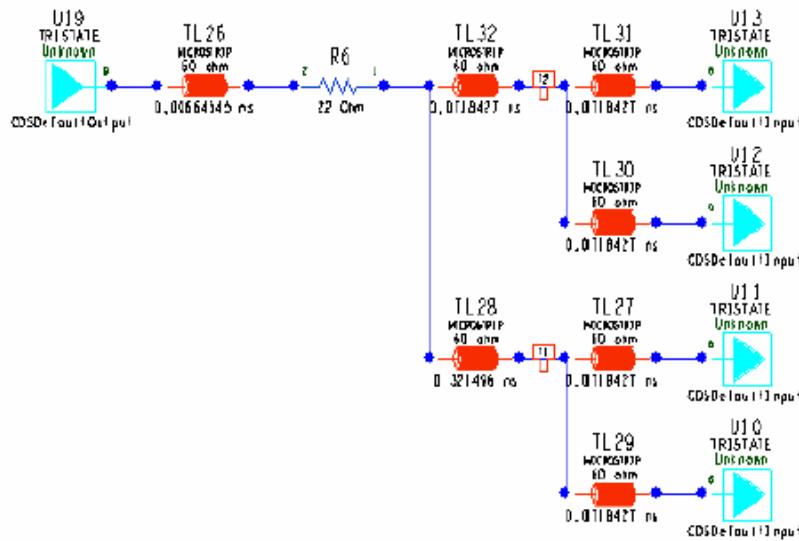


图 10-2 调整后拓扑

5. 选择【Set】/【Constraints】，点击【Wiring】标签，将【Verify Schedule】设置为“Yes”。
6. 点击【Rel Prop Delay】标签。

在【Rule Editing】栏点击 **New** 按钮，

在【Pins/Tees】栏点击 U19.9，

再点击 T.2，

注意【Scope】栏为“Local”，

在【Delta Type】栏，选择“None”，

在【Tol Type】栏，选择“Length”，

在【Tolerance】栏，输入“150”，

点击 **Add** 按钮。

再增加另外一条规则。

在【Rule Editing】栏点击 **New** 按钮，

在【Pins/Tees】栏点击 U19.9，

再点击 T.1，

注意【Scope】栏为“Local”，

在【Delta Type】栏，选择“None”，

在【Tol Type】栏，选择“Length”，

在【Tolerance】栏，输入“150”，

点击 **Add** 按钮。请见图 10-3。

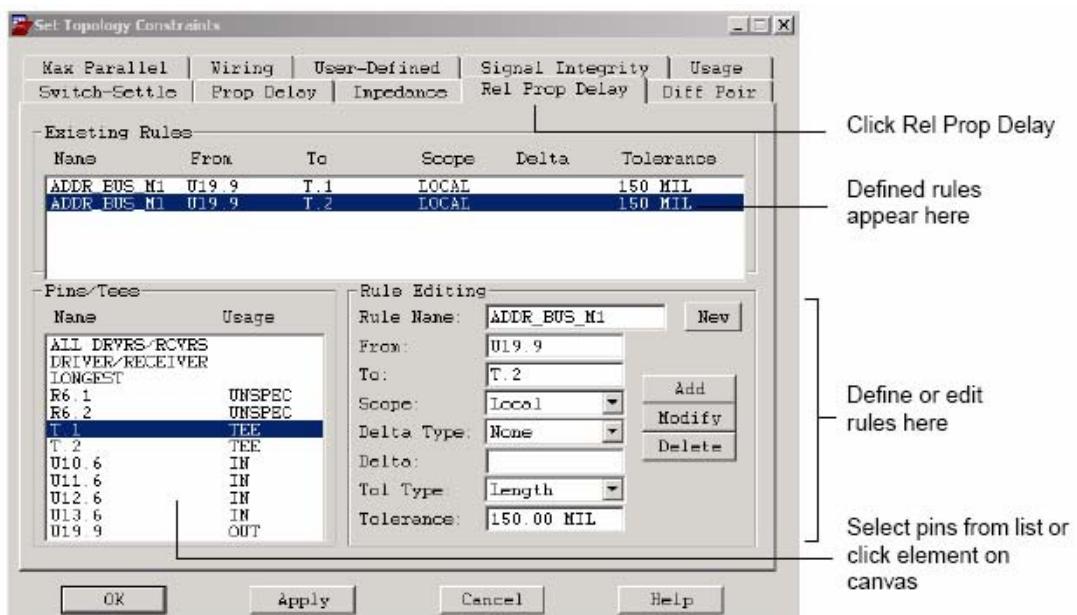


图 10-3 相对传输延迟设置

7. 点击【Prop Delay】标签。

设置【Rule Type】栏为“Length”, 使用上面的方法设置传输延迟如下表。设置完成请见图 10-4。

From	To	Min Length	Max Length
T.x	U10.6	350	1000
T.x	U11.6	350	1000
T.y	U12.6	350	1000
T.y	U13.6	350	1000
U19.9	T.1	1400	5400
U19.9	T.2	1400	5400

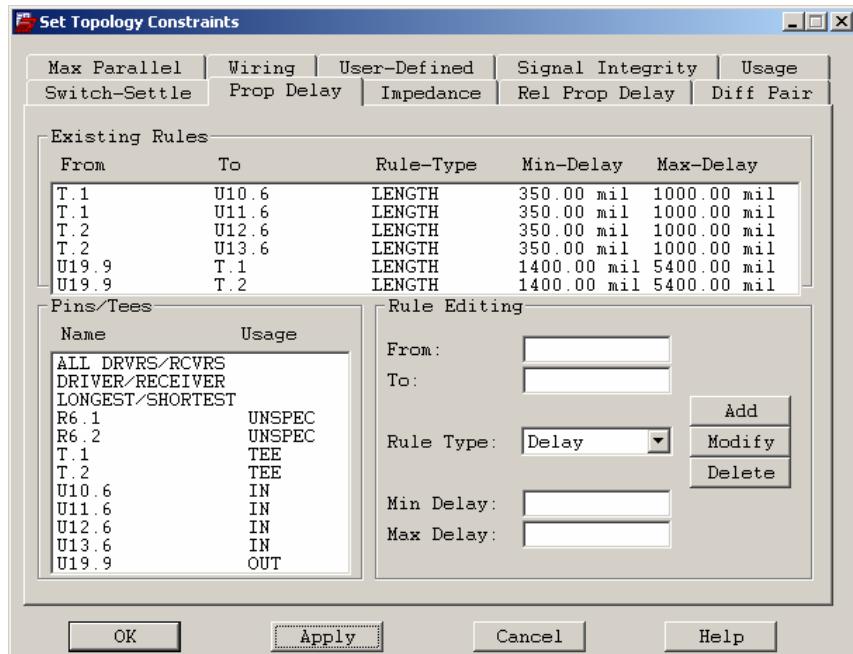


图 10-4 设置传输延迟

8. 点击 **OK** 按钮。
9. 选择【File】 / 【Update Constraint Manager】。
10. 到约束管理器点击 **是(Y)** 按钮，点击 **Close** 按钮。
11. 退出 SigXplorer。
12. 打开【Min/Max Propagation Delays】工作表，请见图 10-5。

Objects	Referenced Electrical CSet	Pin Pairs	Prop Delay			Prc	
			Min ns	Actual	Margin	Max ns	Acl
System							
lesson3							
ADDR_BUS	ADDR_BUS						
ADDR0	ADDR_BUS						
ADDR0.T.1:U12.6			350 MIL			1000 MIL	
ADDR0.T.1:U13.6			350 MIL			1000 MIL	
ADDR0.T.2:U10.6			350 MIL			1000 MIL	
ADDR0.T.2:U11.6			350 MIL			1000 MIL	
U19.9:ADDR0.T.1			1400 MIL			5400 MIL	
U19.9:ADDR0.T.2			1400 MIL			5400 MIL	
ADDR1	ADDR_BUS						
ADDR1.T.1:U12.7			350 MIL			1000 MIL	
ADDR1.T.1:U13.7			350 MIL			1000 MIL	
ADDR1.T.2:U10.7			350 MIL			1000 MIL	
ADDR1.T.2:U11.7			350 MIL			1000 MIL	
U19.7:ADDR1.T.1			1400 MIL			5400 MIL	
U19.7:ADDR1.T.2			1400 MIL			5400 MIL	
ADDR2	ADDR_BUS						
ADDR2.T.1:U12.8			350 MIL			1000 MIL	
ADDR2.T.1:U13.8			350 MIL			1000 MIL	
ADDR2.T.2:U10.8			350 MIL			1000 MIL	
ADDR2.T.2:U11.8			350 MIL			1000 MIL	
U18.9:ADDR2.T.1			1400 MIL			5400 MIL	
U18.9:ADDR2.T.2			1400 MIL			5400 MIL	
ADDR3	ADDR_BUS						
ADDR3.T.1:U12.9			350 MIL			1000 MIL	
ADDR3.T.1:U13.9			350 MIL			1000 MIL	
ADDR3.T.2:U10.9			350 MIL			1000 MIL	
ADDR3.T.2:U11.9			350 MIL			1000 MIL	
U18.7:ADDR3.T.1			1400 MIL			5400 MIL	
U18.7:ADDR3.T.2			1400 MIL			5400 MIL	
ADDR4	ADDR_BUS						
ADDR4.T.1:U12.11			350 MIL			1000 MIL	
ADDR4.T.1:U13.11			350 MIL			1000 MIL	
ADDR4.T.2:U10.11			350 MIL			1000 MIL	
ADDR4.T.2:U11.11			350 MIL			1000 MIL	
U17.9:ADDR4.T.1			1400 MIL			5400 MIL	
U17.9:ADDR4.T.2			1400 MIL			5400 MIL	
ADDR5	ADDR_BUS						

图 10-5 更新结果

13. 选择【Analyze】/【Analysis Modes】，出现【Analysis Modes】对话框，选择【On-line DRC】。

第11章 Match Delay

本章将利用约束管理器和 SigXplorer 来为所有的总线成员创建匹配延迟。

相对和匹配的延迟组是 nets,Xnets,or pin pairs 的集合，一定要匹配或者相对于群组中的某个指定的目标。如果 Delta 值没有定，组中的所有成员将匹配在指定的误差范围内（匹配延迟）。如果定义了 Delta 值，组中的所有成员都相对于某个指定的目标网络（相对传输延迟）。

匹配的延迟

1. 启动 PCB Design，打开 lesson4.brd，启动约束管理器。
2. 打开【Relative Propagation Delay】工作表，右键点击 D_BUS，在弹出的菜单选择【SigXplorer】。
3. 进入 SigXplorer，选择【Set】/【Constraints】，点击【Rel Prop Delay】标签。

在【Rule Editing】栏点击  按钮，更改名字为“D_BUS_M1”，

在【Pins/Tees】栏点击 U2.1，

再点击 U6.9，

设置【Scope】栏为“Global”，意即规则应用于网络之间不是在一个网络内。

在【Delta Type】栏，选择“None”，

在【Tol Type】栏，选择“Length”，

在【Tolerance】栏，输入“200”，

点击  按钮。

4. 点击  按钮。

5. 选择【File】/【Update Constraint Manager】。

6. 到约束管理器点击  按钮，点击  按钮。

7. 退出 SigXplorer。

8. 回到约束管理器，查看总线 D_BUS 设置。

9. 选择【Analyze】/【Analysis Modes】，出现【Analysis Modes】对话框，选择【On-line DRC】选项。

10. 设置【Relative Propagation Delay】为“on”，选择【DRC Unrouted】选项，约束管理器计算延迟是基于鼠线的曼哈顿距离。

11. 点击  按钮，查看【Actual】和【Margin】相应栏为黄色显示。

12. 右键点击 D_BUS_M1，在弹出的菜单选择【Analyze】，在【Actual】和【Margin】栏显示出相应数值。请见图 11-1。

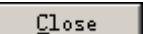
Objects	Scope	Relative Delay			Length mil	
		Delta:Tolerance		Actual		
		mil	mil			
System						
lesson4						
M1	Global	:200 MIL		29 MIL		
U2.1:U6.9	Global	:200 MIL	145 MIL	55 MIL	1077.00	
U2.81:U5.2	Global	:200 MIL	120 MIL	80 MIL	983.00	
U2.82:U5.3	Global	:200 MIL	119 MIL	81 MIL	984.00	
U2.83:U5.4	Global	:200 MIL	119 MIL	81 MIL	984.00	
U2.86:U5.5	Global	:200 MIL	171 MIL	29 MIL	932.00	
U2.87:U5.6	Global	:200 MIL	170 MIL	30 MIL	933.00	
U2.88:U5.7	Global	:200 MIL	171 MIL	29 MIL	932.00	
U2.89:U5.8	Global	:200 MIL	170 MIL	30 MIL	933.00	
U2.90:U5.9	Global	:200 MIL	170 MIL	30 MIL	933.00	
U2.92:U6.2	Global	:200 MIL	170 MIL	30 MIL	1102.00	
U2.93:U6.3	Global	:200 MIL	170 MIL	30 MIL	1102.00	
U2.94:U6.4	Global	:200 MIL	171 MIL	29 MIL	1103.00	
U2.95:U6.5	Global	:200 MIL	170 MIL	30 MIL	1102.00	
U2.96:U6.6	Global	:200 MIL	170 MIL	30 MIL	1102.00	
U2.99:U6.7	Global	:200 MIL	119 MIL	81 MIL	1051.00	
U2.100:U6.8	Global	:200 MIL	119 MIL	81 MIL	1051.00	
D_BUS						

图 11-1 分析后结果

第12章 解决 DRC 冲突

本章的内容和上一章有些类似，不同之处在于本章的练习是已经走好线的并包含约束冲突。

解决 DRC 冲突

- 启动 PCB Design，打开 lesson5.brd，移动画面到走线完成的部分。
- 启动约束管理器，打开【Relative Propagation Delay】工作表。
- 右键点击【Referenced Electrical CSet】栏，在弹出的菜单选择【Hide Column】。
- 按照上述操作，将【Pin-Pair】和【Scope】栏隐藏。
- 选择【View】/【Option】命令，不选择【Worksheet Selector】选项。
- 点击  按钮。
- 在约束管理器界面，右键点击 D_BUS_M1 在弹出的菜单选择【Analyze】。将界面调整成如图 12-1 所示。

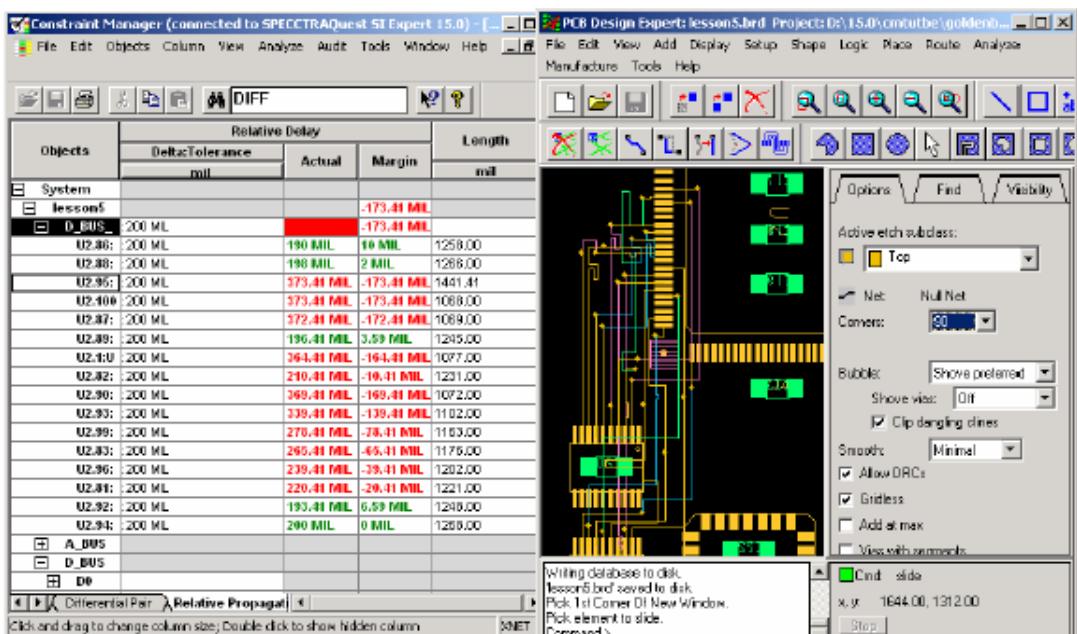


图 12-1 显示界面

下面将通过调整走线来去掉冲突，注意调整最差的网络并不一定是最好的策略，在这个练习中将会发现，仅两个管脚 pin pair 需要调整以使整个网络满足设计规则的要求。

8. 右键点击 D_BUS_M1，在弹出的菜单选择【Analyze】，可以看到在【Length】显示出走线的长度。目的是将走线的长度进行排序，找出偏离最多的网络。
9. 右键点击【Length】，在弹出的菜单选择【Sort】，将走线排序。注意到最长的线是 1468mil，最短的线是 1068mil，更要注意的是大多数的走线都在 1068~1268mil 之间，都在 200mil 偏差范围之内。
对于 Match Delay 规则，每对管脚对之间都要相互比较，这个练习中只有管脚对 U2.95:U6.5 和 U2.82:U5.3 在偏差之外，它们对应的网络是 D4 和 D14，需要缩短这两个网络的走线长度，以解决冲突。
10. 右键点击 U2.82:U5.3 对应的【Length】栏，在弹出的菜单选择【Select】。
11. 在 PCB Design 中查看，此网络已经被高亮。使用 Slide 命令调整线长，调整时注意观察弹出的窗口中长度的显示。请见图 12-2。

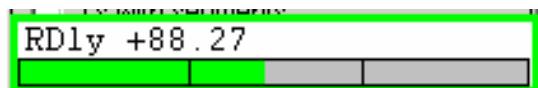


图 12-2 长度差值显示

12. 相同方法再将 D14 调整线长。回到约束管理器观察所有的网络已经变为绿色。

第13章 约束管理器

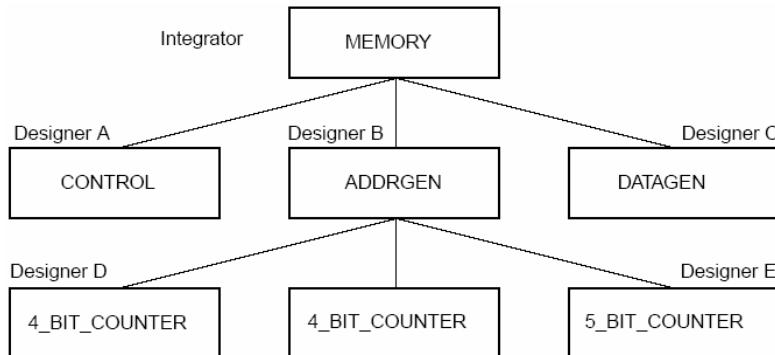
具体约束管理器的操作和使用方法，请见培训教材《约束管理器用户手册》。

13.1 层次设计中的电子约束

在层次设计中有约束一定要记住以下事情：

- Team Design – 团队设计
- 层次设计中调用一次 BLOCK 的约束
- 层次设计中调用多次 BLOCK 的约束
- 只读 BLOCK 中的约束
- 团队设计

设计团队工作在一个层次设计中，在这个设计环境中，每个设计者可能设计其中的一个模块，当所有的设计者都完成了他们的模块，团队组织者就将所有的模块收集到一个顶层设计中。请见下图：



在团队设计环境中，Cadence 推荐按照下面的方法管理约束：

- 模块设计者一定不要使用约束管理器去管理低层次的模块。一定要在原理图中加电子约束属性。
- 一个模块被调用了几次叫做重用或者复制模块。比如 4_BIT_COUNTER 被复制了两次。在 Occurrence Edit 模式，模块设计者不要加电子约束属性给复制的模块。这是因为在 Occurrence Edit 模式中，Occurrence 属性不会被放入约束管理器中。Cadence 推荐在团队组织者收集所有的低层次模块进顶层设计之后，在 Occurrence Edit 模式给复制的模块添加约束属性。
- 团队组织者在收集所有的模块之后启动约束管理器，低层次模块的电子约束属性都会在约束管理器中显示。
- 在层次设计中调用一次 BLOCK 的约束

如果在设计中仅仅调用一个模块一次，可以选择 Tools->Constraints->Update Schematic 或者运行反标注，在模块中的约束的任何改动都会显示在层次、扩展和 Occurrence Edit 模

式。

如果一个模块的其中网络的电子约束在约束管理器中删除了，在启动约束管理器时会提示使用反标将约束删除，也就是说约束在约束管理器中删除了，但是还存在在原理图中。选择 Tools->Constraints->Update Schematic 命令来删除约束。注意如果没有选择 Tools->Constraints->Update Schematic 而退出了约束管理器，直接修改网络的约束属性，然后保存原理图，新的约束值会出现在约束管理器中。

- 层次设计中调用多次 BLOCK 的约束

如果在设计中多次调用了一个模块，选择 Tools->Constraints->Update Schematic 命令或者反标，在模块中约束的任何改变仅仅在 Occurrence Edit 模式才能看到。因为多次调用的模块的属性不能反标给原理图。可以在原理图中修改网络属性，然后保存原理图。

- 只读模块的约束

如果层次设计中使用了只读模块的电子约束属性或者约束属性的一个占位符，在约束管理器中修改或者删除了约束反标原理图时会报错。这是因为只读的模块是不允许写的。为了避免这些，在原理图的只读模块中添加属性 NO_BACKANNOTATE=ALL。

注意：属性 NO_BACKANNOTATE=ALL 只能应用于添加的模块，而不能应用于它的子模块。

- 约束管理器创建的两个文件

- pstcmback.dat

这个文件包含原理图和 PCB 中存在的不同信息，此文件在 packaged 视图中。

- Concept2cm.log

此文件中包含从 Design Entry HDL 启动约束管理器时的警告和错误信息。此文件在 temp 路径中。文件中包含下列信息：原理图中网络或者管脚的电子约束属性的语法错，约束差异报告。

目 录

前 言	3
第一章 PCB ROUTER 介绍	4
1.1 PCB ROUTER 特点及主要功能	4
1.2 PCB ROUTER 的工作流程	5
1.3 全自动布线器的输入/输出文件	5
1.4 自动布线器进行布线的过程	6
第二章 界面介绍及基本操作	7
2.1 界面介绍	7
2.1.1 进入	7
2.1.2 PCB Router 布局编辑器界面介绍	9
2.1.3 布线界面介绍	10
2.1.4 退出	12
2.2 基本操作	13
2.2.1 画面操作	13
2.2.2 颜色设置	14
2.2.3 快捷键设置	17
第三章 菜单命令介绍	19
3.1 ROUTE MODE MENU COMMANDS (布线模式下菜单命令)	19
3.1.1 File Menu (文件菜单)	19
3.1.2 Edit Menu	19
3.1.3 View Menu	23
3.1.4 Select Menu	29
3.1.5 Define Menu	31
3.1.6 Rules Menu	34
3.1.7 Autoroute Menu	35
3.1.8 Report Menu	36
3.1.9 Interactive Menu	36
3.2 PLACE MODE MENU COMMANDS	52
3.2.1 File Menu	52
3.2.2 Edit Menu	53
3.2.3 View Menu	53
3.2.4 Select Menu	53
3.2.5 Define Menu	55
3.2.6 Rules Menu	56
3.2.7 Autoplace Menu	57
3.2.8 Report Menu	58
3.2.9 Interactive Place Menu	58

第四章 参数定义及 PCB ROUTER 与 PCB EDITOR 的关系	66
4.1 PCB ROUTER 中的参数定义	66
4.2 PCB EDITOR 和 PCB ROUTER 的相互关系	68
4.3 PCB EDITOR 到 PCB ROUTER 的映射	69
4.4 不能带入 PCB ROUTER 的规则说明	77
第五章 布线前期准备和扇出.....	79
5.1 前期准备.....	79
5.1.1 布局优化.....	79
5.1.2 自动布线密度评估	79
5.1.3 关键信号手工布线	81
5.2 扇出(FANOUT)	82
5.2.1 概述.....	82
5.2.2 缺省的扇出操作.....	83
5.2.3 扇出命令语法和窗口详细介绍.....	83
5.2.4 影响扇出结果的一些因素.....	86
5.2.4.1 电源网络扇出规则.....	87
5.2.4.2 控制最小扇出距离.....	88
5.2.4.3 控制管脚扇出的方向.....	88
5.2.4.4 电源和地网络的扇出.....	89
5.2.4.5 其他信号的扇出.....	89
5.2.6 查看和报告	91
5.2.7 扇出实例.....	91
5.2.8 附录: do 文件.....	93
第六章 测试布线.....	96
6.1 测试布线的流程图.....	96
6.2 测试布线的策略.....	96
6.3 自动布线状态表.....	99
6.4 测试布线解决方案.....	101
6.5 自动布线的收敛技巧.....	103
6.6 DO 文件的基本步骤:	103
第七章 布线后优化.....	109
7.1 MITER	109
7.2 CLEAN.....	113
7.3 生成报告	113
第八章 DO 文件语法及示例.....	114
8.1 布线器的几种常用算法的含义:	114
8.2 常用语法的介绍:	115
8.3 DO 文件举例	118

前 言

Cadence 软件是我们公司统一使用的原理图设计、PCB 设计、高速仿真、自动布线的 EDA 工具，自动布线将大大地提高我们设计 PCB 的效率，有效地利用好自动布线器需要反复运用，不断地总结提高。在这个分册中仅对自动布线器的使用进行较详细的阐述，是基于 Allegro SPB 15.2 的 PCB ROUTER 模块进行的。

在此非常感谢本部 EDA 对此手册的支持。

第一章 PCB ROUTER 介绍

1.1 PCB ROUTER 特点及主要功能

PCB Router 和 PCB Editor 集成在一起，提供自动布线所需的快速无缝接口，是 Cadence 中真正实现自动布线的工具，是一流的针对高密度 PCB 和复杂 IC 封装的自动和交互式互连线布线的解决方案。

PCB Router 适用于高速 PCB 的设计，仿真后将约束条件加入 PCB Router 中进行有约束地布线。它可以快速、准确地按照要求布线，省去大量的人力和时间。

PCB ROUTER Expert 中包含了三个工具：

- PCB ROUTER 布局编辑器
- PCB ROUTER 交互布线编辑器
- PCB ROUTER 自动布线器

下面分别介绍一下 PCB ROUTER Expert 三个工具的特点：

- PCB ROUTER 布局编辑器

PCB ROUTER 布局编辑器可以方便快捷地帮助设计者完成布局，可以对单个和一组元件进行诸如翻转、旋转、推挤、对齐和移动等操作。PCB ROUTER 布局编辑器提供指导布局模式，帮助设计者自动计算出最佳布局位置，设计者也可以调整。PCB ROUTER 布局编辑器还提供密度分析功能，以图形方式显示布线阻塞情况，帮助设计者调整布局，提高布通率。

- PCB ROUTER 交互布线编辑器

PCB ROUTER 交互布线编辑器提供的推挤功能可以自动按照间距要求移动附近的连线和过孔。当移动连线或过孔时，编辑器会自动推挤它周围的连线并动态地显示出来。设计者也可以通过多级 undo 操作放弃所作的动作。PCB ROUTER 交互布线编辑器还提供自动帮助放置过孔、拷贝连线等功能。

- PCB ROUTER 自动布线器

PCB ROUTER 自动布线器使用高效的基于形状的布线算法，可以充分利用布线空间。PCB ROUTER 自动布线器还提供了电气参数规则控制，可以给不同的网络设置不同的线宽和过孔，以满足阻抗控制和电流承载能力的要求。PCB ROUTER 自动布线器还可以提供盲埋孔、焊盘下过孔等的处理，是当今高密度 PCB 设计必需的功能。

1.2 PCB ROUTER 的工作流程

- PCB ROUTER 全自动布线器的布线流程

PCB ROUTER 全自动布线器的完成 PCB 设计的布线流程如图 1-1:

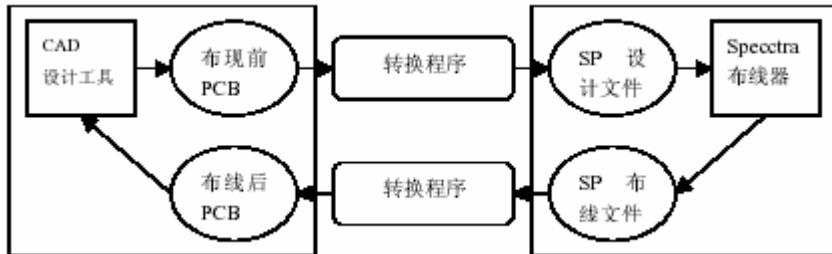


图 1-1

- 使用 PCB ROUTER 的 PCB 设计过程

下面的框图显示完成印制电路板设计的过程:

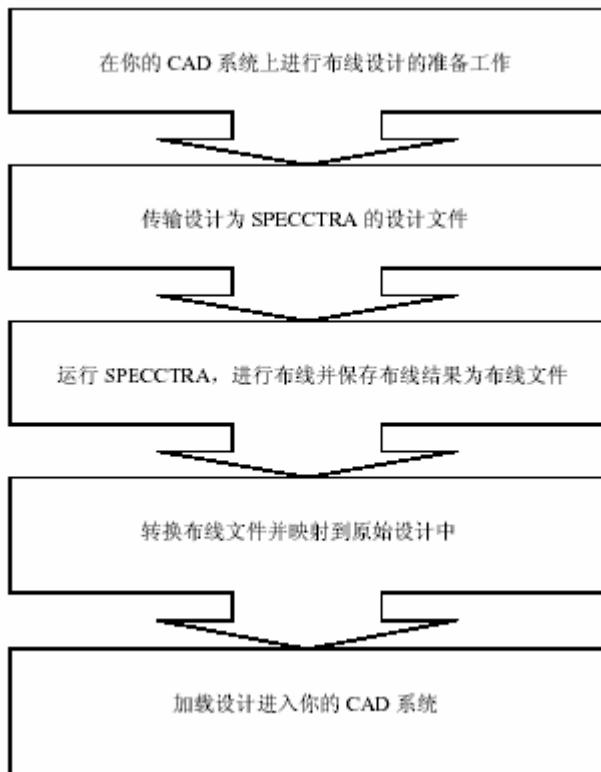


图 1-2

1.3 全自动布线器的输入/输出文件

全自动布线器使用两个输入文件，一个是 PCB ROUTER 设计文件，一个是可选择使用的 DO 文件。它将生成有关各个过程的许多输出文件，选择方框中的这些文件类型可以找出有关这些文件的信息。



图 1-3

1.4 自动布线器进行布线的过程

自动布线器在第一遍布线时就试图将所有连线直接连通，并允许冲突(Conflicts)的存在，冲突将在其余各遍的布线中，通过撤消并重布(Ripping up)和重新布线连接(Rerouting)被消除。在每一遍布线中，全自动布线器收集发生冲突区域有关问题的信息，采用这些信息作为解决所有冲突的目标进行 PCB 布线，当然总的布通的连线数目在增加、冲突在减少。

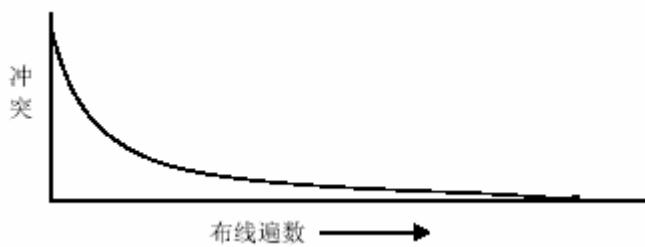


图 1-4

如果自动布线器没有发现新的布线连接路径而失败了，失败和冲突将被记录下来并显示在状态文件中。许多 PCB 在 30 到 40 遍时变为没有冲突，有些困难的 PCB 布线可能需要 100 遍甚至更多的遍数布线才能消灭所有的冲突。

下面将介绍 PCB Router 的界面及操作过程。

第二章 界面介绍及基本操作

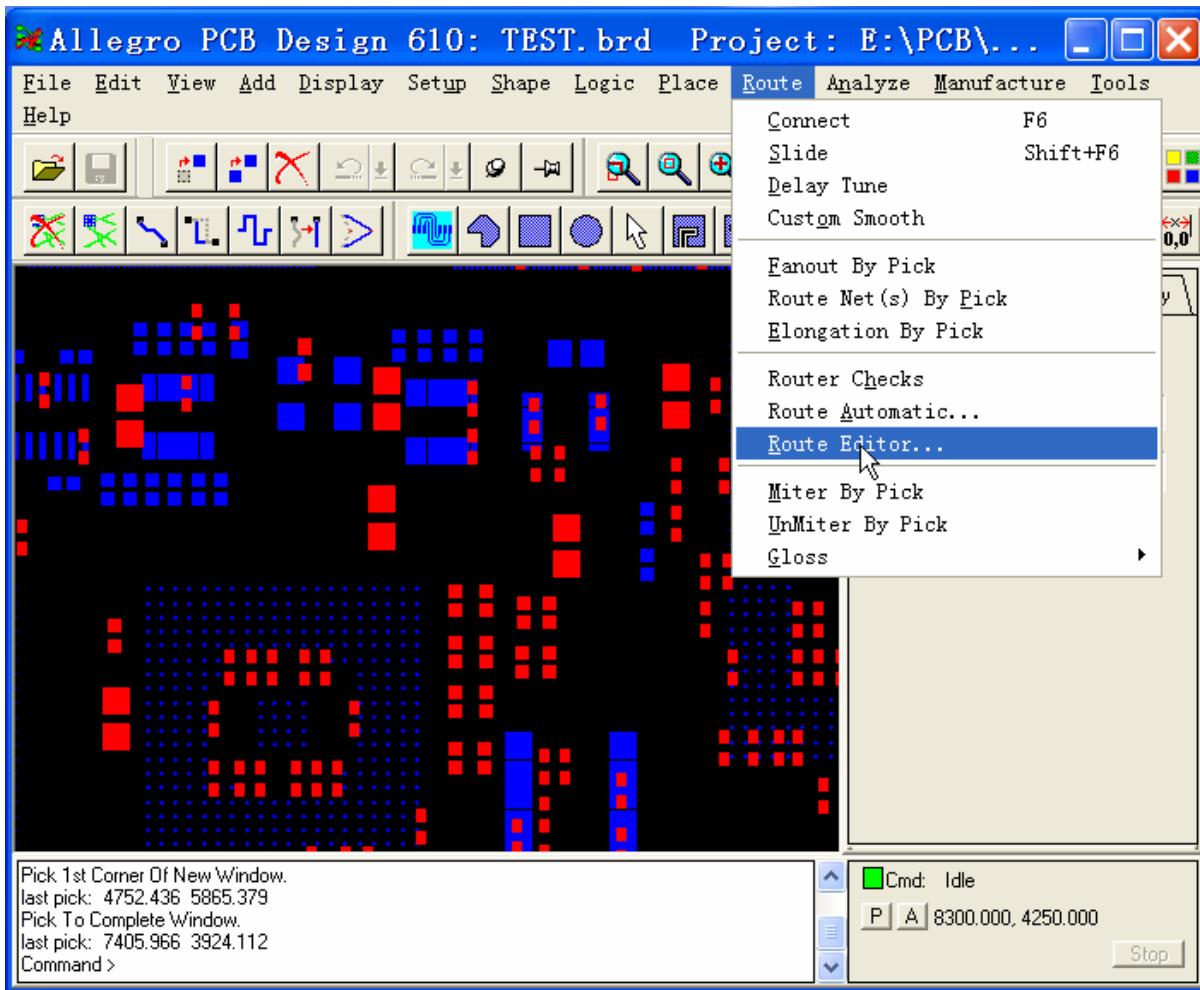
2.1 界面介绍

2.1.1 进入

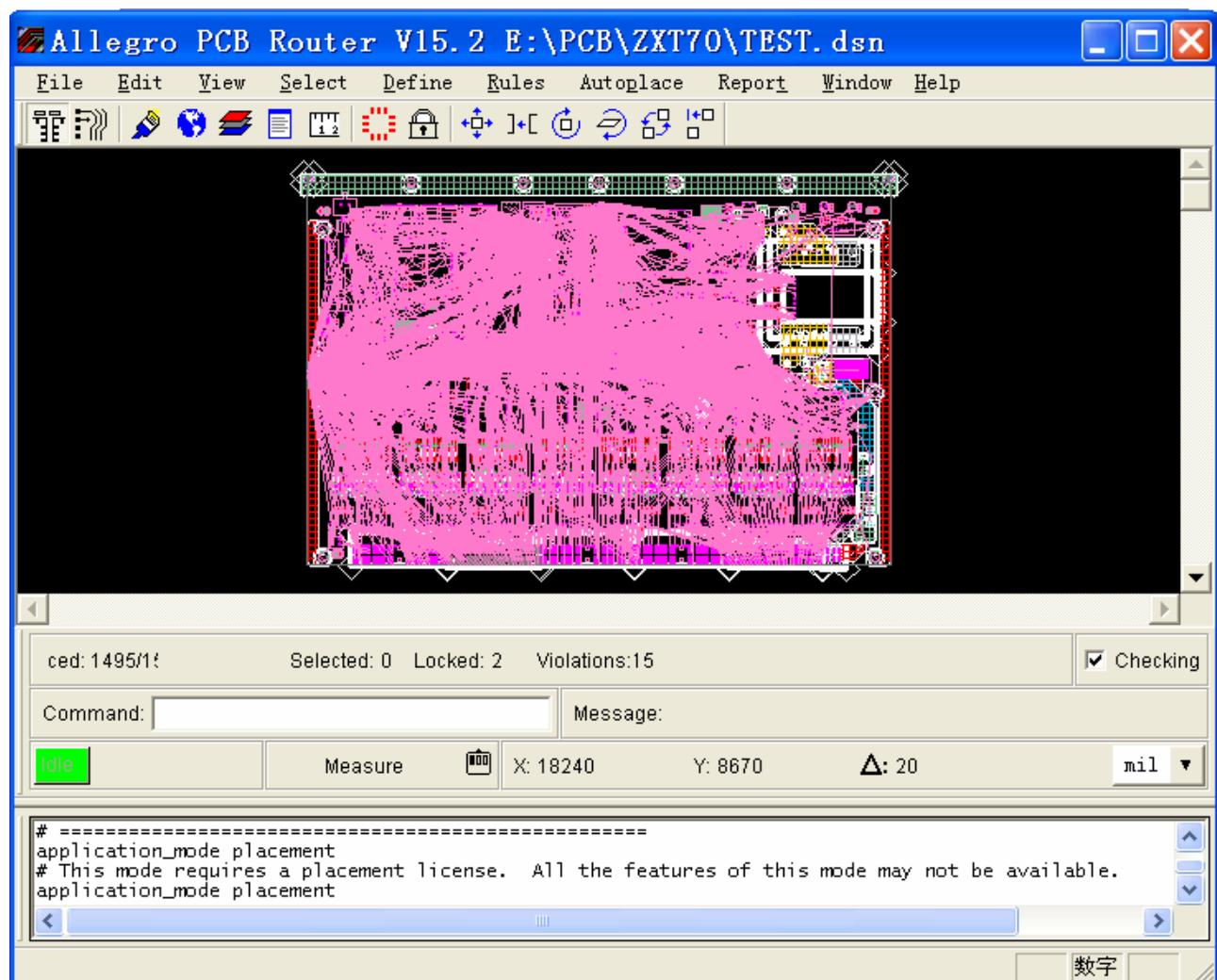
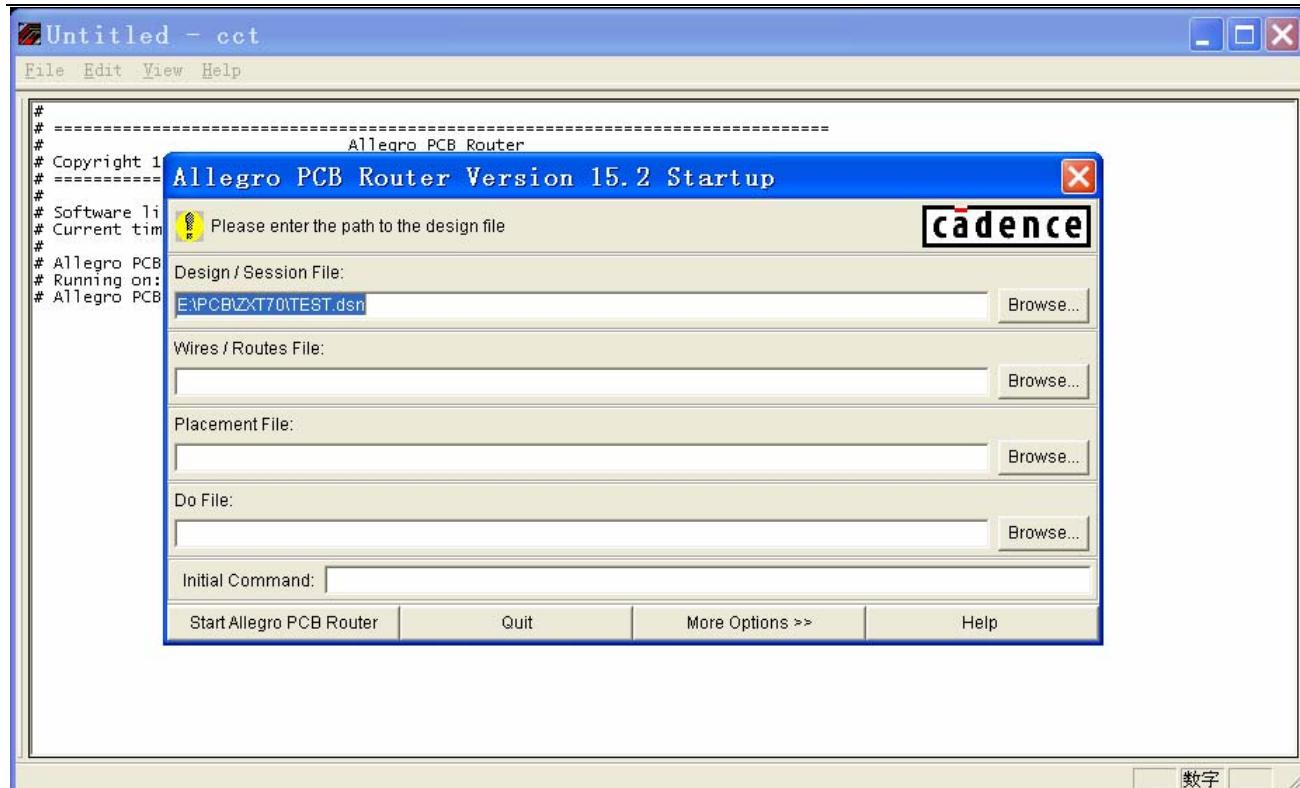
在 Allegro PCB Design 操作界面中打开菜单 Route-Route Editor，或者点击图标栏的 PCB Router 图标



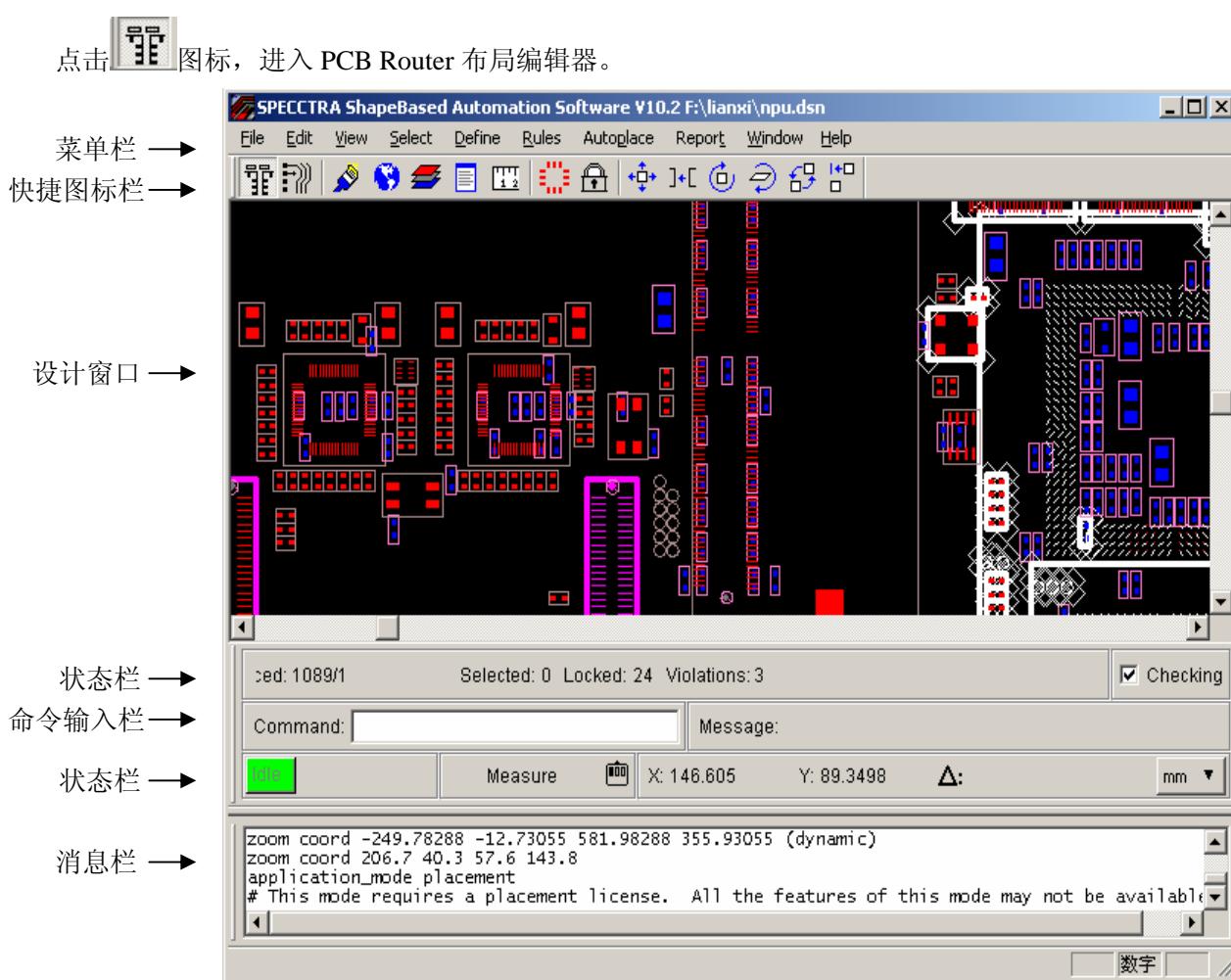
，系统将自动生成一个 dsn 文件，然后进入 PCB Router。



也可以直接从 PCB Router 导入.dsn 文件进入 PCB Router。



2.1.2 PCB Router 布局编辑器界面介绍



PCB Router 布局编辑器的操作界面主要包括 6 部分：

- 菜单栏

PCB Router 的布局菜单有：File、Edit、View、Select、Define、Rules、Autoplace、Report、Window、Help 十项，具体的菜单操作在第 3 章进行详细介绍。

- 快捷图标栏



——布局模式（Placement Mode）；布线模式（Routing Mode）



——刷新（Repaint）；全局显示（View all）；叠层（Layers）；状态报告（Status report）；测量（Measure mode）



——选择元器件（Select component）；锁定元器件（Lock component）



——移动（Move Component）；推挤（Push Component）；旋转（Pivot）

Component); 镜象 (Flip Component); 交换(Trade Components);
对齐 (Align components)

- 设计窗口

在设计窗口中，可以通过 Zoom 菜单放大或缩小设计的局部或整体。

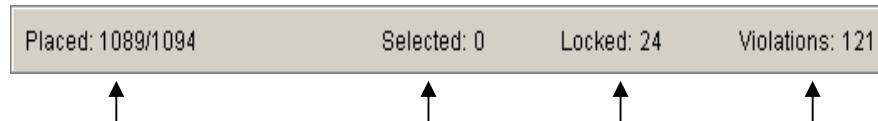
- 命令输入栏

输入命令

- 消息栏

显示布局编辑器的相关操作信息

- 状态栏

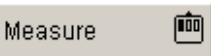


已放置器件数/未放置器件数 选择的器件数 锁定器件数 冲突数

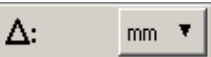
Checking → 实时检查，打√为打开实时检查功能

 → 当前命令的执行状态，有 3 种状态：

1. 绿色：动作正常状态，图示 idle 为空闲
2. 红色：busy，动作执行状态，不可中断；
3. 棕色：pause，动作执行状态，但可以通过点击而使命令暂停执行，然后点击下面的 continue 或 stop，选择继续执行或是退出。

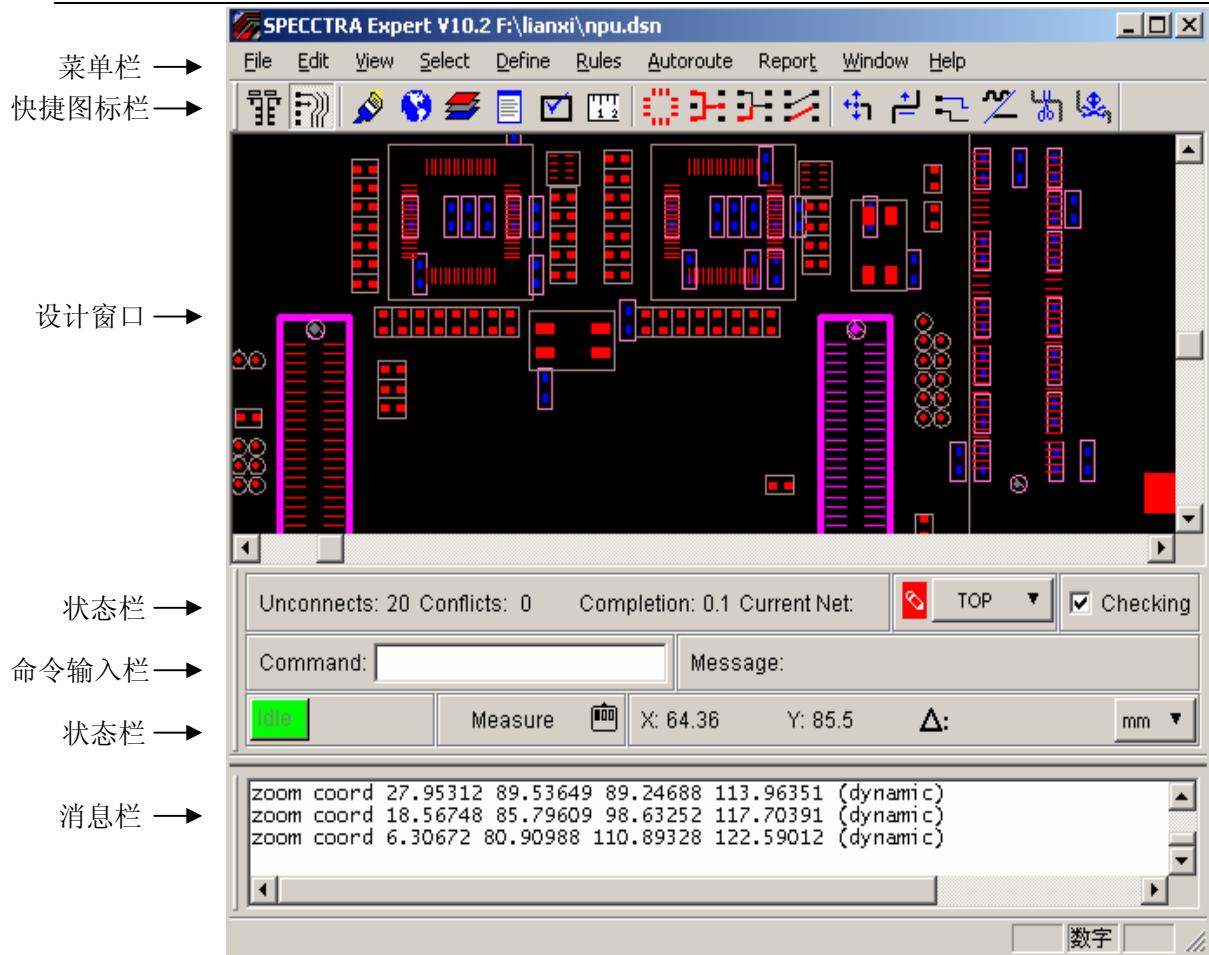
 → 显示当前操作

X: 339 Y: 38 → 显示当前鼠标坐标

 → 当前测量单位，有 5 种：inch、mil、cm、mm、um。

2.1.3 布线界面介绍

点击  图标，进入 PCB Router 布线编辑器。



PCB Router 布线编辑器和布局编辑器的操作界面大致相同，也包括 6 部分：

- 菜单栏

PCB Router 布线器的菜单有：File、Edit、View、Select、Define、Rules、Autoroute、Report、Window、Help 十项，具体的菜单选项与布局编辑器有一些差别，详细的菜单操作在第 3 章进行详细介绍。

- 快捷图标栏



——布局模式 (Placement Mode); 布线模式 (Routing Mode)



——刷新 (Repaint); 全局显示 (View all); 叠层 (Layers); 状态报告 (Status

Report) ; 测量 (Measure Mode)



——选择器件 (Select component); 选择网络 (Select net); 选择线 (Select wire);
选择飞线 (Select guide)



——走线 (Edit route); 移动 (Move); 复制线 (Copy route);

平滑 (Critic route); 切割线段 (Cut segment); 删除线段 (Delete segment)

- 设计窗口

和布局编辑器的设计窗口相同

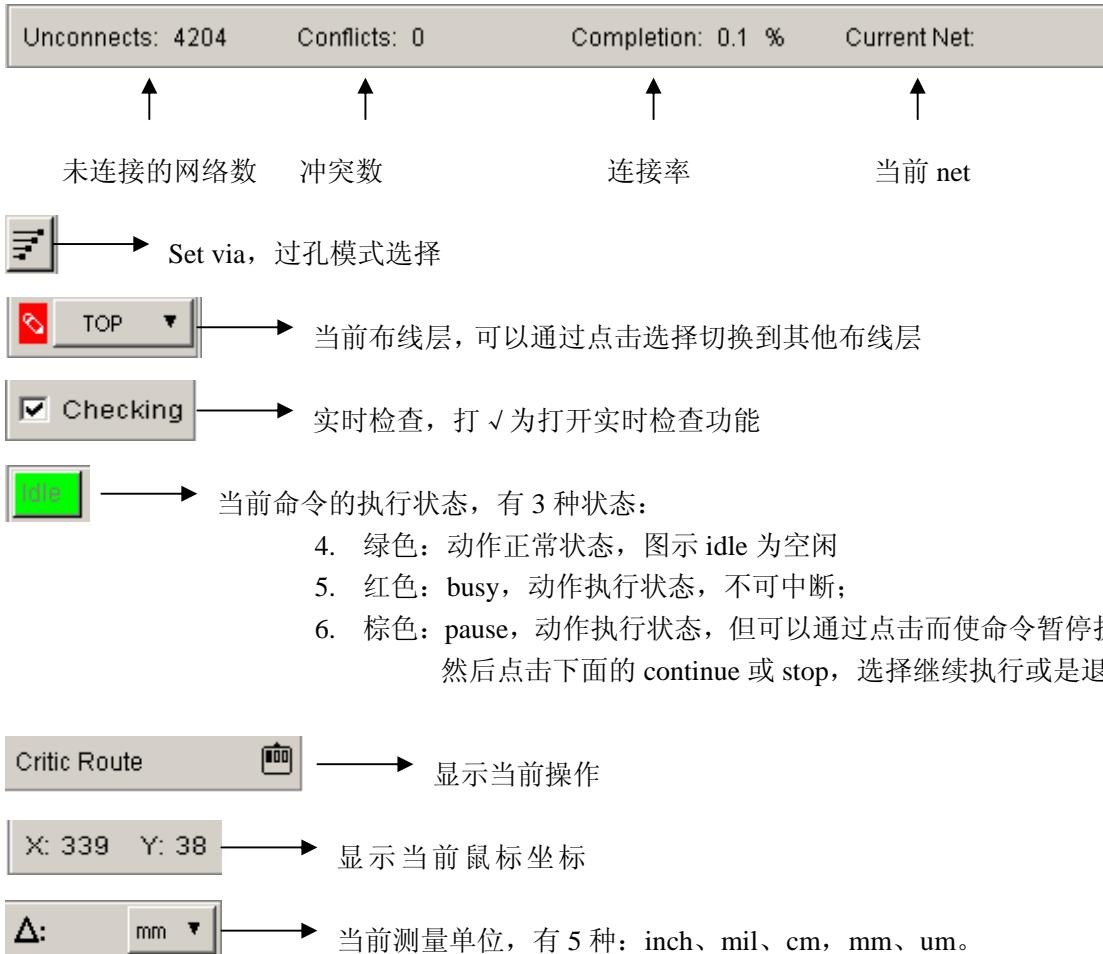
- 命令输入栏

命令输入

- 消息栏

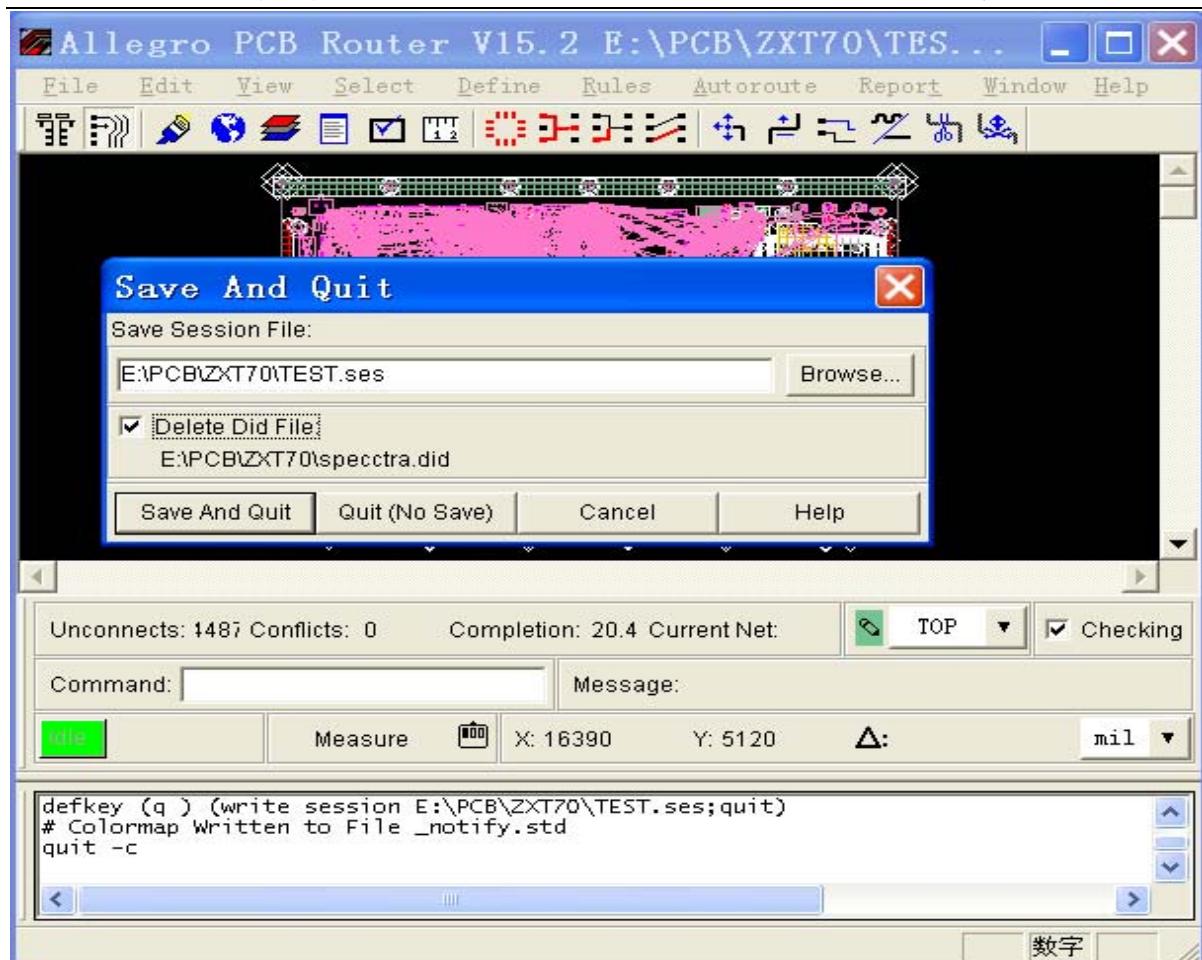
显示布线编辑器的相关操作信息

- 状态栏



2.1.4 退出

打开 File—Quit，跳出如下窗口，选择“Delete Did File”（Did file: 系统自动产生的过程文件），然后点击“Save And Quit”，退出 PCB Router，回到 PCB Design 操作界面，此时，PCB Router 布线文件自动导入 PCB Design。如果不需要将 PCB Router 的布局布线结果导入 PCB Design，就选择“Quit (No Save)”。



2.2 基本操作

2.2.1 画面操作

- 鼠标按钮

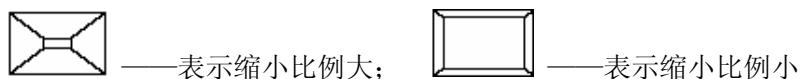
两键鼠标	三键鼠标	按键功能
左键 (LMB)	左键 (LMB)	选取命令或区域
右键 (RMB)	右键 (RMB)	下拉目前命令的交互快捷菜单
Shift+右键 (shift+RMB)	中键 (CMB)	移动和缩放画面

※ 建议使用三键鼠标

- 画面控制

- | | |
|---------------|------------|
| 命令操作: Zoom in | —— 放大 |
| Zoom out | —— 缩小 |
| Zoom all | —— 全局显示 |
| Zoom previous | —— 显示前一个画面 |

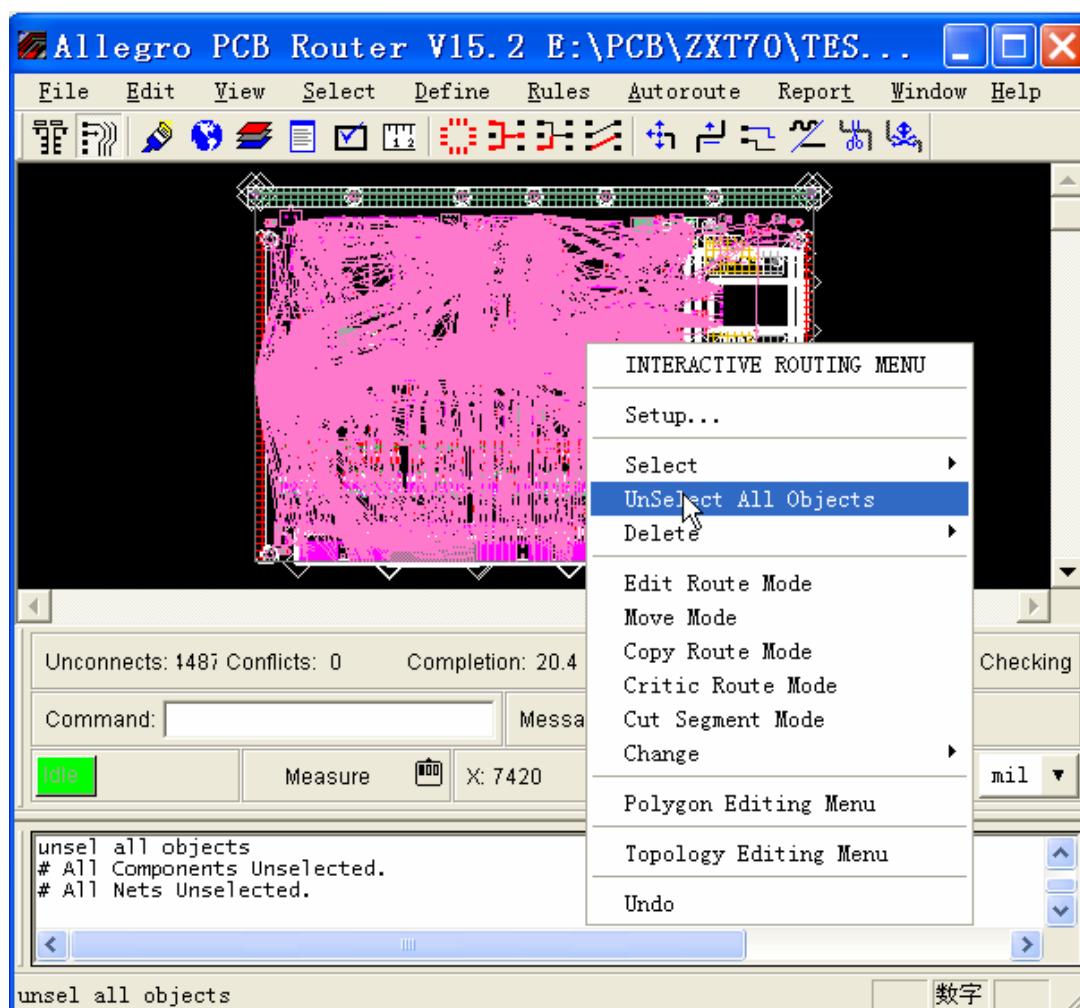
鼠标操作：在设计窗口，按下鼠标中键，向上或向下拖动鼠标，然后放开中键，画面随之放大或缩小。画面放大的时候，鼠标拖出的矩形框即放大的区域；画面缩小的时候，鼠标拖出的矩形框：



图标操作： ——View all, 全局显示

● 右键操作

PCB Router 可以自动布线也可以手工布线，自动布线通过菜单、在命令行执行命令、执行.do 文件三种方式实现，手工布线通过点击右键执行出现的快捷菜单命令实现。如图所示，在设计窗口中，点击右键，下拉当前命令的交互式快捷菜单。灵活运用右键操作，可以大大提高走线效率。关于右键菜单的功能会在第三章中详述。

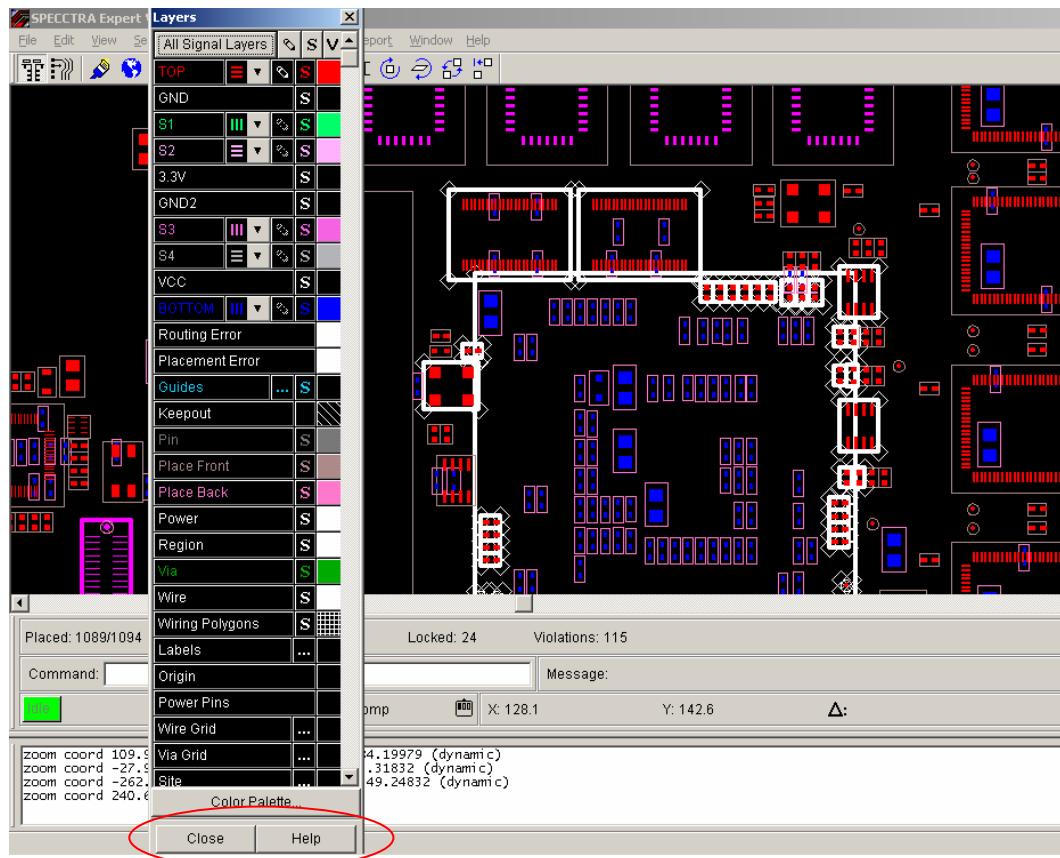


2.2.2 颜色设置

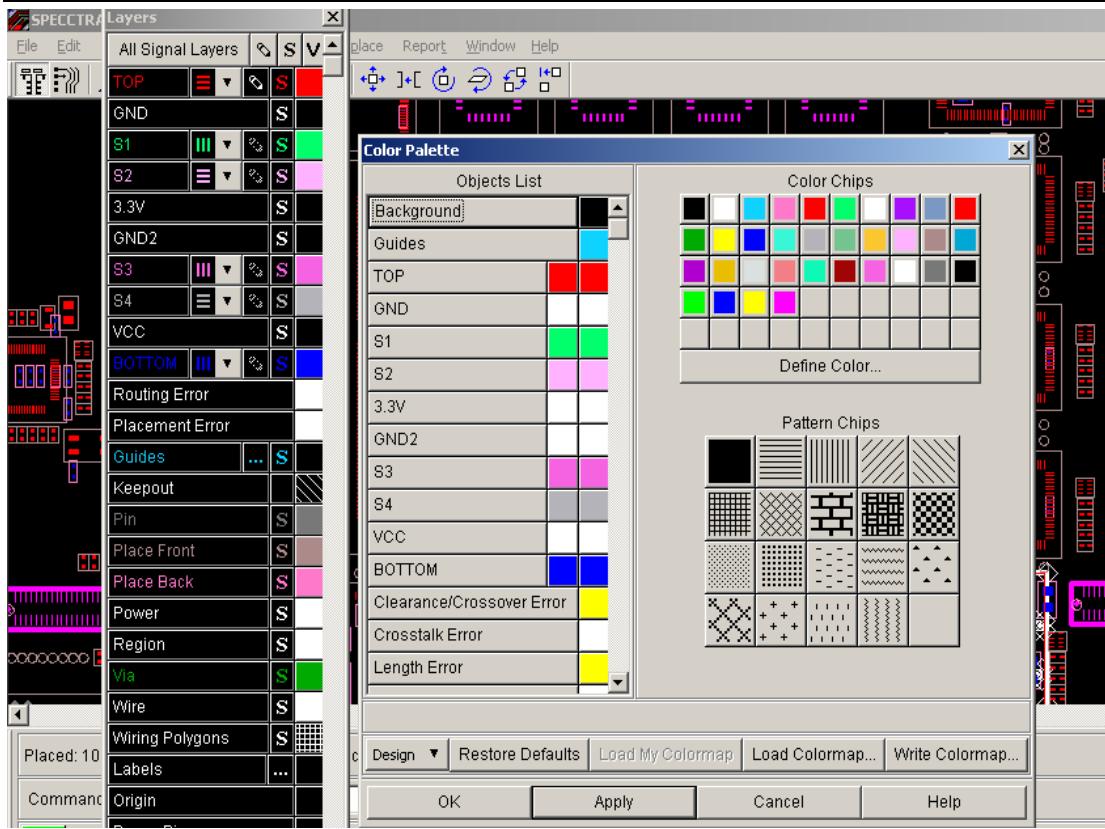
PCB Design 中的颜色设置可以带到 PCB Router 中来，我们也可以直接在 PCB Router 中进行颜色的设

置和修改。

打开 View—Layers，或点击  图标，出现 Layers 界面：



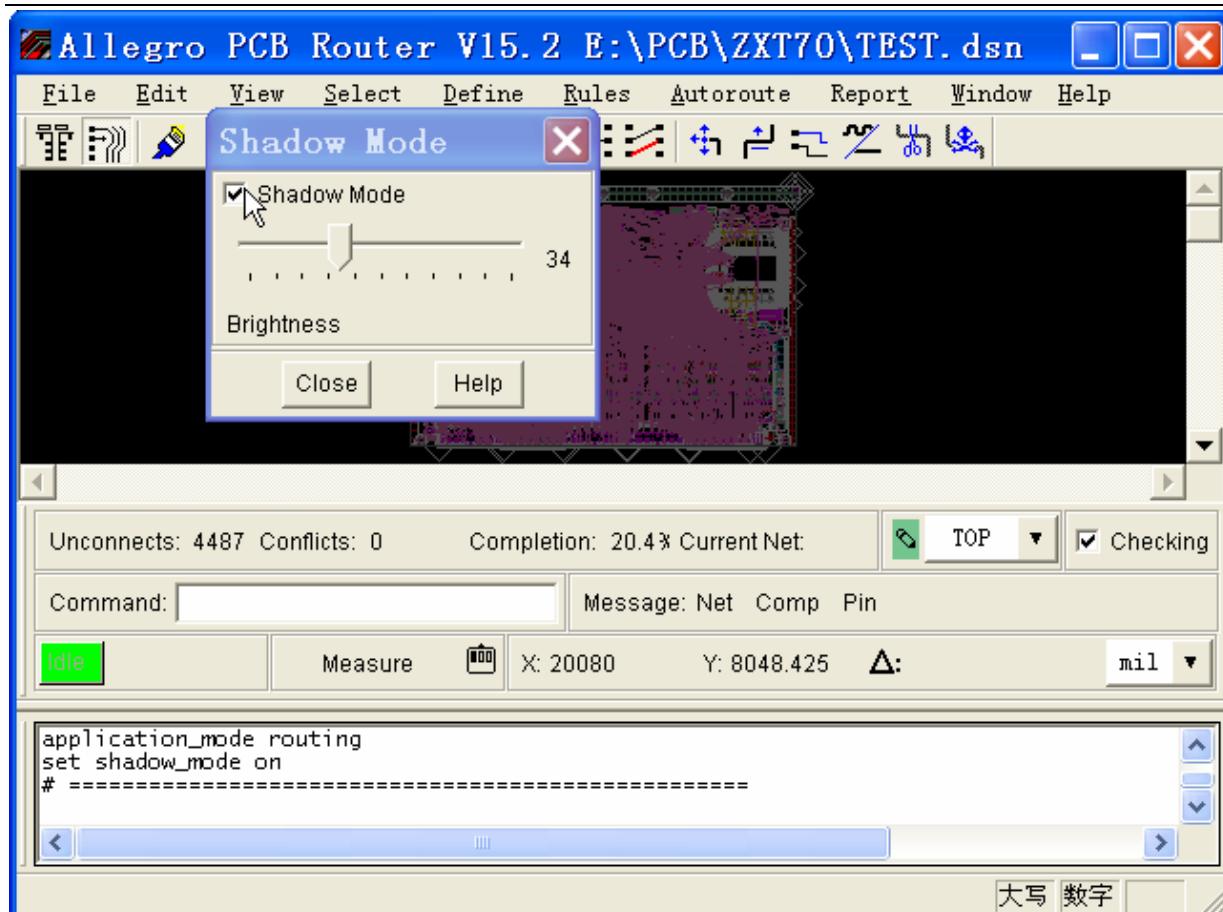
在 Layer 界面，打开 Color Palette，出现 Color Palette 界面：



如要更换某一 Layer 的颜色设置，则在 Objects List 栏先选中这个 Layer，然后在右边的 Color Chips 栏点击需要更换的颜色，Objects List 栏的颜色设置会相应改变。在 Pattern Chips 栏可以改变各个布线层走线的形状图案。设置完成，点击“Apply”后关闭窗口。

同 PCB Design 一样，PCB Router 也有阴影模式（Shadow Mode）的设置。默认情况下，阴影模式处于关闭状态。在布线层数较多的情况下，打开阴影模式，有助于布线画面的清晰。

阴影模式的打开：打开菜单 View—Shadow Mode，出现 Shadow Mode 设置界面，如下图所示：

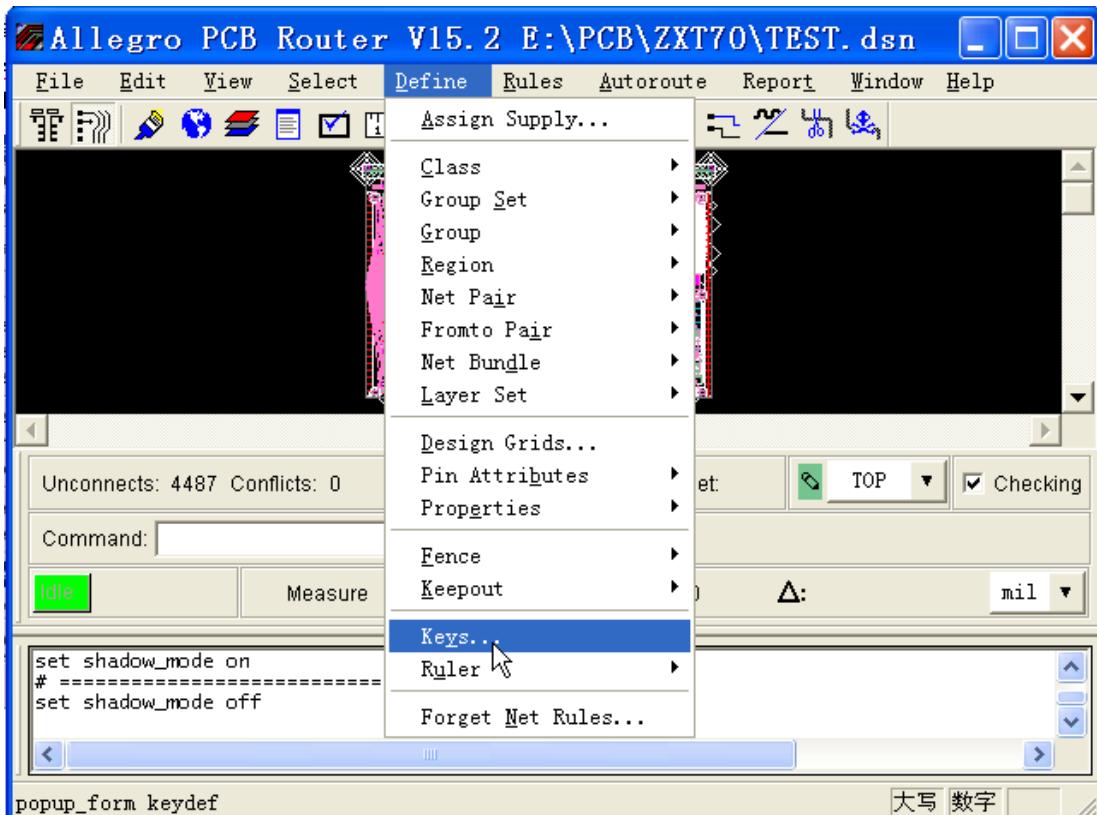


选中“Shadow Mode”，然后在下面的比例栏选择合适的明暗比例，设置完成后点击“Close”退出。

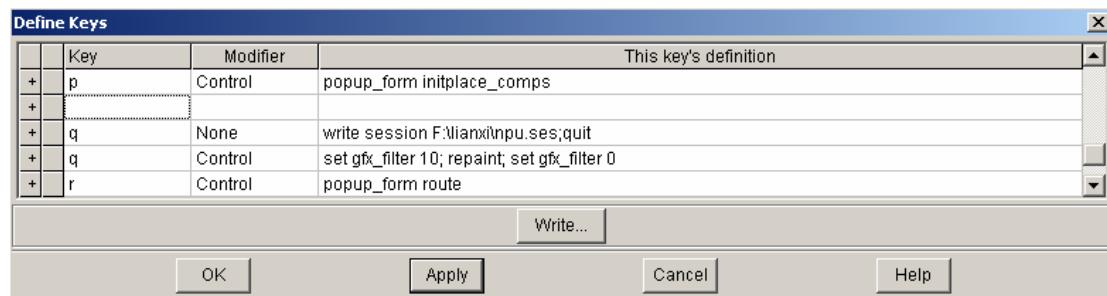
2.2.3 快捷键设置

使用快捷键是提高布局布线效率的一个好办法，PCB Router可以方便地定义快捷键。下面以为 zoom in、zoom out 定义快捷键 PageUp、PageDown 为例加以说明，步骤如下：

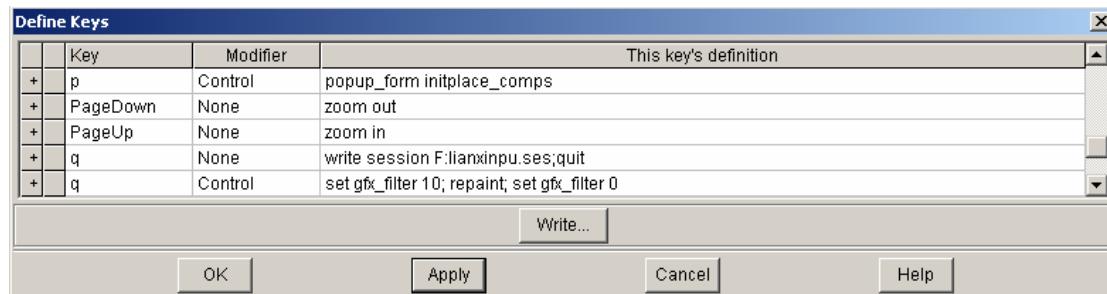
- (1) 打开菜单 Define—keys:



出现 Define Keys 界面，点击左边的十号，出现定义空行，如图所示：



- (2) 敲 PageUp 键，PageUp 出现在空行 Key 列，空行 Modifier 列选为 None，This key's definition 列填 zoom in；
- (3) 敲 PageDown，PageDown 出现在空行 Key 列，空行 Modifier 列选为 None，This key's definition 列填 zoom out。最后界面如下所示：



点击 Apply 按键后关闭窗口。

- (4) 按 PageUp、PageDown 验证快捷键，发现图形可以随键放大、缩小。

第三章 菜单命令介绍

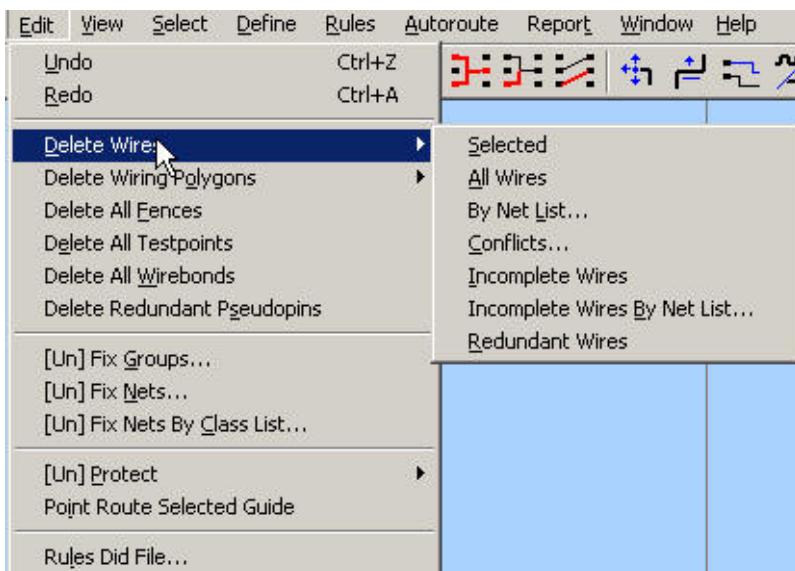
3.1 Route Mode Menu Commands (布线模式下菜单命令)

3.1.1 File Menu (文件菜单)

- ◆ File - read: 打开文件。
- ◆ File - Write: 保存相关的走线结果。
- ◆ File - Execute Do File: 调入相关的 DO 文件。
- ◆ File - AutoSave: 自动布线时保存的中间结果。
- ◆ File - BestSave: 在自动布线时保存一个最好的结果。
- ◆ File - Did File: 保存一个 Did 文件。
- ◆ File - Status File: 保存一个中间状态文件。
- ◆ File - Placement Mode: 切换到布局模式。
- ◆ File - Quit: 退出 PCB ROUTER

3.1.2 Edit Menu

- ◆ Edit - Undo: 撤消上一步操作。
- ◆ Edit - Redo: 重复上一步操作。
- ◆ Edit - Delete Wires: 删除布线，可以通过多种方式进行删除线与过孔（受保护的线与过孔在以下的命令中都不能删除，必须要在去保护的条件下才能删除，关于去保护的命令在后面将会提到），如下图所示：



Edit - Delete Wires – Selected: 删除选定的网络的所有的线和过孔(通过 Select – Nets 命令来选择网络)。

Edit - Delete Wires - All Wires: 删除所有的线和过孔。

Edit - Delete Wires - By Net List: 通过该命令来选择相应的网络名，然后删除该网络名所对应的线和过孔。

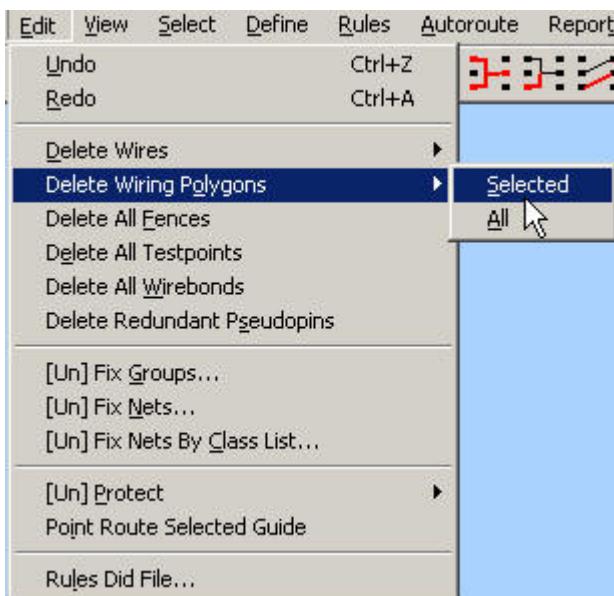
Edit - Delete Wires - Conflicts: 删除一些不符合高速信号规则的有冲突的走线。

Edit - Delete Wires - Incomplete Wires: 删除一些没有完成的走线。未完成的走线指的是在走线的过程中可能有一些未完成的走线或者是在布线过程中因为冲突而一段一段删除走线造成的一些线头。

Edit - Delete Wires - Incomplete Wires By Net List: 通过网表选择特定的网络并删除选择的网络没有完成的走线。

Edit - Delete Wires - Redundant Wires: 删除多余的线头，在布线的过程中可能会因为某些原因造成相同的网名会布一些多余的线头，通过该命令可以删除这些多余的线头。

◆ Edit - Delete Wiring Polygons: 删除铺铜，可以通过选定和全部两种方式来删除铺铜，如下图：



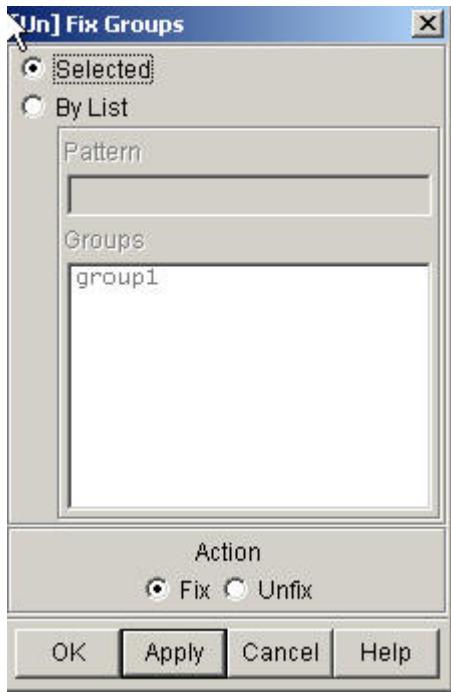
◆ Edit - Delete All Fences: 删除所有设定的 Fence (一个控制只能在内部布线的区域)。

◆ Edit - Delete All Testpoints: 删除所有的测试点。

◆ Edit - Delete All Wirebonds: 删除所有的 Wirebond

◆ Edit - Delete All Redundant Pseudopins: 删除在切线情况下遗漏的多余过孔

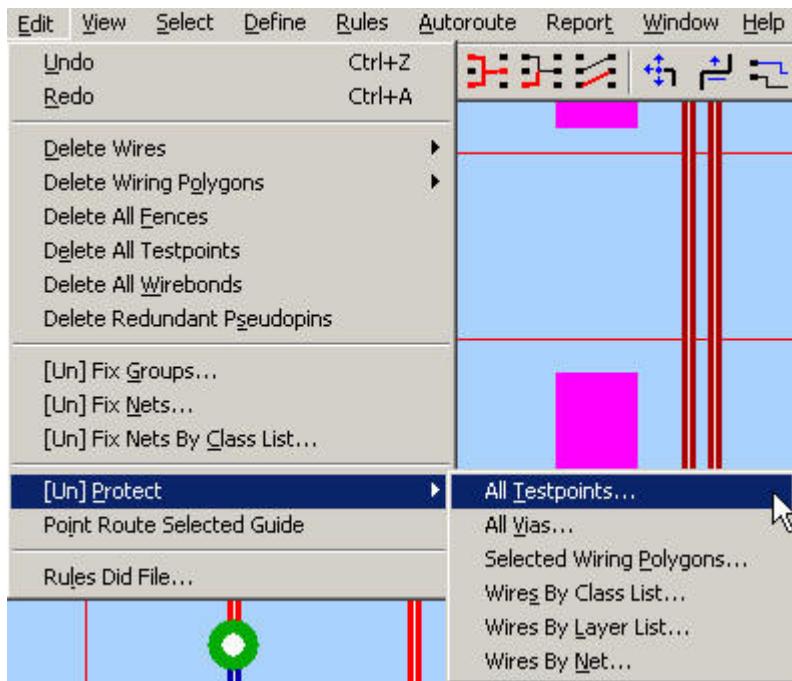
◆ Edit - [Un]Fix Groups: 固定或者取消固定某一组网络的走线或者器件，执行该命令会弹出下面的菜单：首先选定某一组或者设置一些组在组列表中选择，然后通过选择下面的 Fix 或者 Unfix 来进行固定或者取消固定操作。



- ◆ Edit - [Un]Fix Nets: 固定或者取消固定网络，执行该命令同样会弹出一个菜单：通过选定的某一些网络或者在网络列表中选择相关的网络，再通过选择 Fix 或者 Unfix 来进行固定或者取消固定操作。
- ◆ Edit - [Un]Fix Nets By Class List: 固定或者取消固定某一些定义好的类别的网络（关于定义类别在后面会讲到）执行该命令时会弹出下面的菜单，通过选择已经定义好类别的网络来进行 Fix 或者 Unfix 操作。



- ◆ Edit - [Un]Protect: 保护（去保护），对相关对象进行保护（去保护）操作，主要针对以下几个方面进行保护（去保护）：



Edit - [Un]Protect - All Testpoints: 保护（去保护）所有的测试点。当测试点一旦被保护，在自动布线的时候就不会编辑。

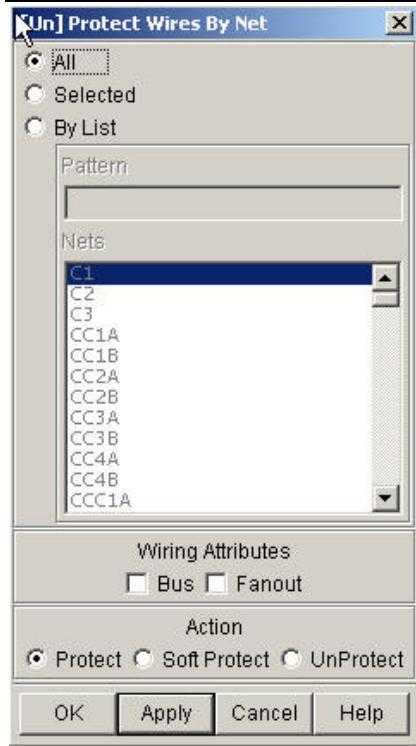
Edit - [Un]Protect - All Vias: 保护（去保护）所有的过孔。当过孔一旦被保护，在自动布线的时候就不会移动。

Edit - [Un]Protect Selected Wiring Polygons: 保护（去保护）选定的铺铜。一旦铺铜被保护后，自动布线时将不会被删除或者移动。

Edit - [Un]Protect - Wires By Class List: 对已经定义的一组或者几组网络进行保护（去保护）。在执行该命令之前必须确认是否已经定义了网络组。首先选择需要保护（去保护）的一组或者几组网络，然后选择需要执行的命令：保护、软保护、去保护；再确定。在保护和软保护的情况下，自动布线时将不能对选定的网络进行编辑，但是在软保护的情况下，自动布线可以对选定网络的走线进行推挤。

Edit - [Un]Protect - Wires By Layer List: 对各个信号层的线进行保护（去保护）。首先选择需要保护（去保护）的某个信号层，然后选择需要执行的命令：保护、软保护、去保护；再确定。在保护和软保护的情况下，自动布线时将不能对选定信号层的所有网络进行编辑，但是在软保护的情况下，自动布线可以对选定网络的走线进行推挤。

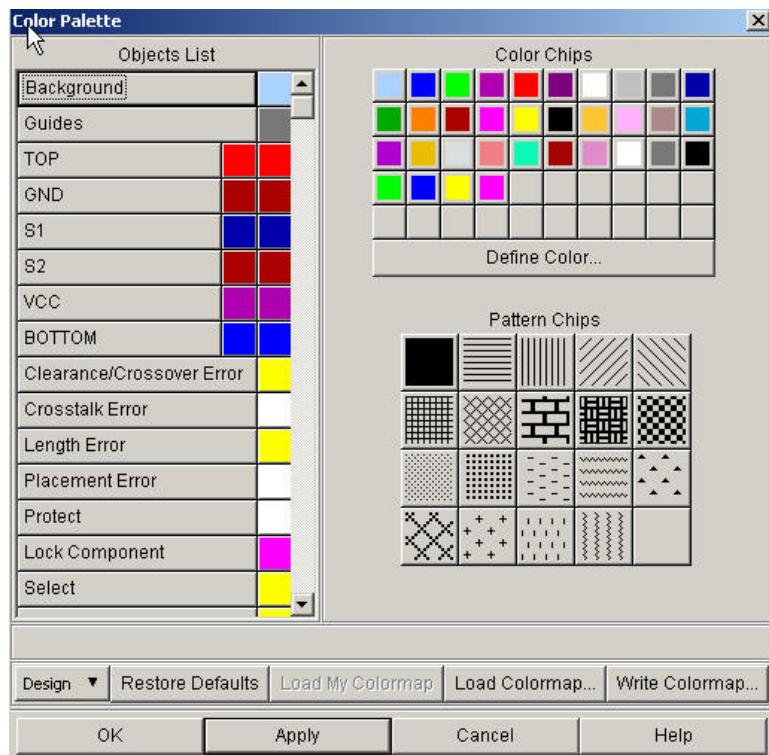
Edit - [Un]Protect - Wires By Net: 通过网络名来选择保护（去保护）相关的网络。执行该命令时会弹出一个菜单，如下图所示，首先选择是保护（去保护）所有的网络、选定的网络还是从网络列表中选择相关的网络，然后选择相应的操作（保护、软保护、去保护），再确定操作内容。在保护和软保护的情况下，自动布线时将不能对选定的网络进行编辑，但是在软保护的情况下，自动布线可以对选定网络的走线进行推挤。



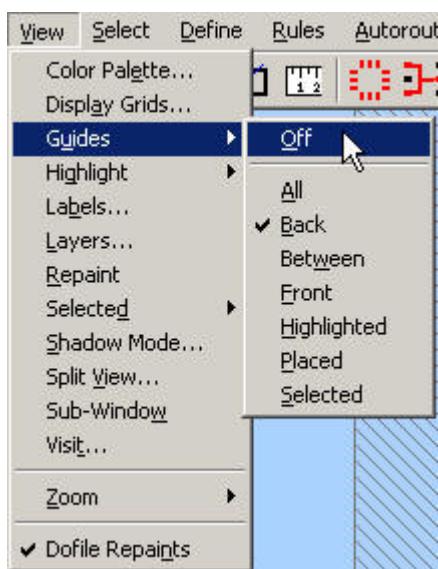
- ◆ Edit - Point Route Selected Guide: 通过选择的规则来对相关的焊盘进行走线。
- ◆ Edit - Rules Did File: 记录及编辑 PCB ROUTER 对正在进行的某个单板的规则。

3.1.3 View Menu

- ◆ View - Color Palette: 调色板，执行该命令后会弹出一个如下的菜单，然后可以通过自己的爱好，对相关对象的颜色进行编辑，这在第二章已介绍。



- ◆ View - Display Grids: 设定线、过孔及布局的最小格点。
- ◆ View - Guides: 显示飞线，可以根据下图所示的几种方式分别显示所需要的网络的飞线。
 - View - Guides - Off : 不显示任何的飞线。
 - View - Guides - All: 显示所有飞线。
 - View - Guides - Back: 显示背面器件之间的飞线。



- View - Guides - Between: 显示 PCB 上正反面器件之间的飞线。
- View - Guides - Front: 显示 PCB 上元件面的飞线
- View - Guides - Highlighted: 显示高亮器件之间的飞线
- View - Guides - Placed: 显示已经放置的器件之间的飞线
- View - Guides - Selected: 显示选定的器件相关的飞线
- ◆ View - Highlight
 - View - Highlight - Off: 对所有的线或者器件去高亮。
 - View - Highlight - Bends Menu: 通过三种方式选择弯曲的走线进行高亮。
 - View - Highlight - Bends Menu - 90-degree Bends: 高亮 90 度角的走线。
 - View - Highlight - Bends Menu - 45-degree Bends: 高亮 45 度角的走线。
 - View - Highlight - Bends Menu - Other: 高亮别的角度的走线。
 - View - Highlight - Class Nets By List: 在多组 Class 里面选择高亮（去高亮）某一组 Class，同时还可以选择高亮后的颜色。
 - View - Highlight - Component Nets - Highlight Comp Mode: 执行该命令可以选择高亮某个器件的一个网络或者整个器件的所有网络，同时也可以在高亮的时候通过该命令来去高亮。
 - View - Highlight - Component Nets - By Components List: 从所有器件的列表中选择高亮某个器件的

所有飞线。

View - Highlight - Components By List: 从器件列表中选择器件进行高亮，同时还可以通过右边的选择框选择不同的颜色进行高亮。

View - Highlight - Incomplete Wires: 高亮未连接完成的线。

View - Highlight - Last Loads of Nets: 高亮一些被赋有某些特性的网络。

View - Highlight - Net Mode: 通过鼠标左键进行框选来高亮一个或者多个网络。

View - Highlight - Nets By List: 通过从列表中选择相应的网络名及相对应的高亮颜色来高亮一个或者多个网络。

View - Highlight - Nets Without Testpoints: 高亮没有添加测试点的网络。

View - Highlight - Off Grid: 可以通过选择其中的 Components、Pins、Wires、Vias、All 选项来选择高亮不在格点上的元件、管脚，线、过孔或者所有不在格点上的对象。

View - Highlight - Pins: 选择高亮（去高亮）一个器件的一个管脚或者所有器件的某一个管脚。

View - Highlight - Power Fanout Violations: 高亮违反扇出规则的电源连接。

View - Highlight - Redundant Wires: 高亮多余的线或过孔。

View - Highlight - Shield Interval Errors: 高亮不符合长度规则的网络。

View - Highlight - SMD Pads Without Fanouts: 高亮没有扇出的焊盘。

View - Highlight - Stack Vias: 高亮叠在一起的过孔。

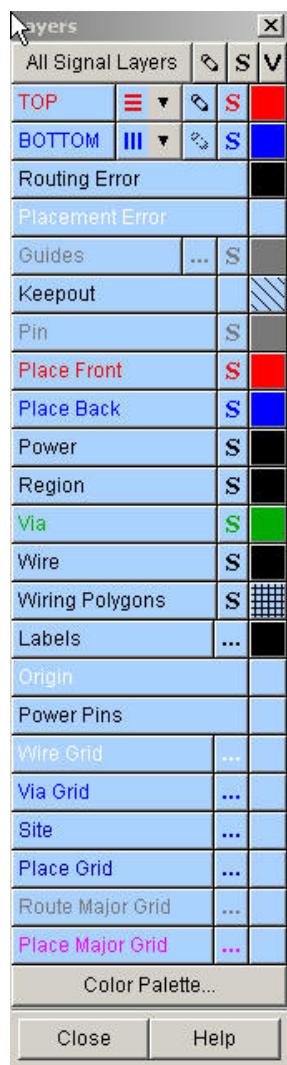
View - Highlight - Testpoint Antennas: 高亮测试点的天线，因为有时候需要拉出一些线去加测试点，该命令可以知道拉出去的线是不是太长了。

View - Highlight - Testpoint Violations: 高亮一些不符合规则的测试点。

View - Highlight - Wires By Shielding: 选择该命令的 Wires With Shields、Wires Missing Shields 来选择高亮保护的和没有被保护的线。

◆ **View - Labels:** 通过菜单选择在正面或者反面显示器件的相关信息（包括位号、管脚号、管脚逻辑名等）

◆ **View - Layers:** 执行该命令弹出以下菜单：



第一排	功能描述
<input checked="" type="checkbox"/> All Signal Layers	显示所有信号层
<input checked="" type="checkbox"/>	实线图标是表示第一优先层,虚线图标是第二个优先层
<input checked="" type="checkbox"/> S	通过该命令可以选择使用或者不使用该层。
<input checked="" type="checkbox"/> V	显示或者隐藏一层或者多个信号层
最后一排	功能描述
Color Palette	调色板, 通过该命令可以编辑相关的显示颜色

按键	功能描述	
	选择显示或者关闭 TOP 层	
	选择该信号层的走线方式。	
		不走线
		垂直方向走线
		水平方向走线
		正交走线
		斜向走线
		左下角到右上角的走线
		左上角到右下角的走线
	优先走线的信号层	
		第一优先信号层.
		第二优先信号层
		不使用信号层
	显示该按键的时候表示可以编辑该信号层，不显示的时候表示不能对该信号层进行编辑	
	显示一些区域	
	打开一些菜单选项的对话框	

◆ View – Repaint: 重新显示工作区的所有对象。

◆ View – Selected: 显示选择的网络或者器件，主要通过以下三种方式：

View – Selected –Comps List: 显示当前选择的器件列表

View – Selected –Nets List: 显示当前选择的网络列表

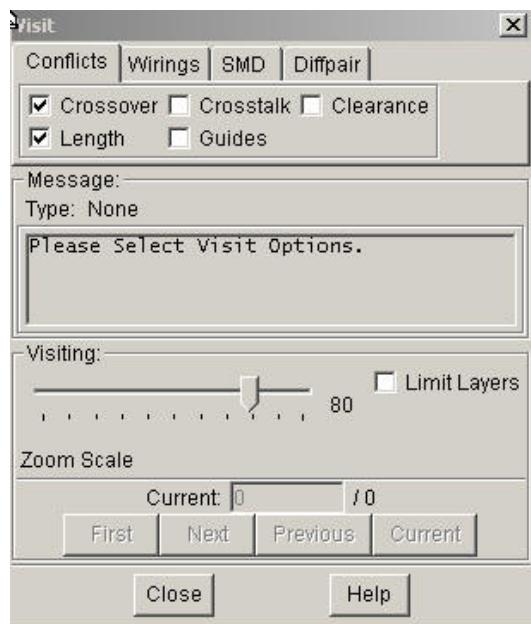
View – Selected –Fit Selected Comps / Nets: 显示选择的网络或者器件所在的区域。

◆ View - Shadow Mode: 阴影模式显示，通过该命令来选择阴影程度突出选择的网络或者器件。

◆ View - Split View: 通过在弹出的菜单中选择数字来在一个平面中显示一层或者多层信号。

◆ View - Sub-Window: 弹出一个新的窗口来显示相关信息。

◆ View – Visit: 显示冲突或者选择的条件所造成的结果，执行该命令会弹出以下菜单：



选项	描述	
Conflicts Tab		
Crossover	交叉冲突	
Clearance	包含清除的冲突	
Crosstalk	包含干扰冲突	
Length	包含长度规则冲突	
Guides	显示走线规则	
Wirings Tab	弯曲显示。	
90 Degree	直角走线	
45 Degree	45 度走线	
Others	其它角度走线.	
SMD Tab	显示没有散出的焊盘	

◆ View - Zoom – All: 全屏显示。

◆ View - Zoom – In: 放大屏幕

◆ View - Zoom – Out: 缩小屏幕

◆ View - Zoom – Previous: 观看上一次显示的屏幕

- ◆ View - Zoom - Allow Dynamic Zoom: 动态大小屏幕显示
- ◆ View – Dofile Repaints: 随时刷新 DO 文件中的命令，如果关闭该命令的话就不会随时刷新。

3. 1. 4 Select Menu

- ◆ Select – Components: 选择器件，重复操作下面的命令可以去掉选择。
 - Select - Components - Sel Comp Mode: 选择器件模式，在该模式下可以通过框选来选择一个或者多个器件。
 - Select - Components - Select All: 选择所有器件。
 - Select - Components - By List: 通过在器件列表中选择器件位号来选择器件。
 - Select - Components - By Net: 通过在网络列表中选择网络来选择与该网络相关的器件。
 - Select - Components - By Property: 通过指定的属性来选择器件。
 - Select - Components - By Room: 选择定义好的器件群。
 - Select - Components - By Side: 通过选择正面，反面，或者正反两面等方式选择器件。
 - Select - Components - By Pin Count: 通过选择器件管脚中包含的数字或者数字范围来选择具备该特点的器件。
 - Select - Components - Unselect All: 去掉所有已经选择的内容。
- ◆ Select - Group Sets: 选择一个群体（该群体可以通过用户自己定义）
 - Select - Group Sets - Select All: 选择所有的群体。
 - Select - Group Sets - By List: 在群体列表中选择相应的群体。
 - Select - Group Sets - Unselect All: 把已经选择的群体还原成未选择状态。
- ◆ Select – Groups: 选择群
 - Select - Groups - Select All: 选择所有的群
 - Select - Groups - By List: 在列表中选择群
 - Select - Groups - Unselect All: 把已经选择的群还原成未选择状态。
- ◆ Select – Guides: 选择规则。
 - Select - Guides - Sel Guide Mode: 通过点击或者框选来定义相关的规则。
 - Select - Guides - Select All: 选择所有未完成线的约束。
 - Select - Guides - By Degree: 选择一个角度范围来约束未完成的线。
 - Select - Guides - By Length: 选择未完成线的长度约束。
 - Select - Guides - By Area: 选择未完成线的区域约束。
 - Select - Guides - By Crossing: 选择交叉冲突约束。

Select - Guides - Unselect All: 解除所有选择的约束。

◆ Select - Net Bundles 选择总线

Select - Net Bundles - Select All: 选择所有定义好的总线。

Select - Net Bundles - By List: 在定义好的总线列表中选择一组或者几组总线。

Select - Net Bundles - Unselect All: 使所有的总线回复到普通状态。

◆ Select - Net Pairs 选择差分信号

Select - Net Pairs - Select All: 选择所有的差分信号。

Select - Net Pairs - By List: 在差分信号列表中选择一对或者几对差分信号。

Select - Net Pairs - Unselect All: 对所有的差分信号解除选择状态。

◆ Select - Nets 选择网络

Select - Nets - Sel Net Mode: 通过点击或者框选来选择相关网络。

Select - Nets - Select All: 选择所有的网络

Select - Nets - By List: 在网络列表中选择相关网络信号。

Select - Nets - By Class: 在定义好的信号组中选择相关的网络信号。

Select - Nets - Length Errors: 选择违反长度规则的网络信号。

Select - Nets - With Timing Rules: 选择违反延时规则的网络信号。

Select - Nets - Unselect All: 对所有的选择信号进行解除选择。

◆ Select - Pins 选择管脚

Select - Pins - Sel Pin Mode: 通过点击或者框选来选择相关管脚。

Select - Pins - Select All: 选择所有的管脚。

Select - Pins - Sel All Pins On Layer: 选择正面或者反面的所有管脚，或者通过选择网络名称来选择正面或者反面特定的网络名的管脚。

Select - Pins - Unselect All: 对所有的管脚解除选择。

◆ Select - Shielded Nets

Select - Shielded Nets - Select All: 选择所有保护的网络名，包括该网络名上的线和过孔。

Select - Shielded Nets - By List: 在被保护的网络列表中选择相关网络。

Select - Shielded Nets - Unselect All: 对所有被保护的网络进行解除选择。

◆ Select - Vias for Routing 选择过孔

Select - Vias for Routing - Select All: 选择所有用到的不同大小的过孔。

Select - Vias for Routing - By List: 通过用到的过孔列表来选择相应的过孔。

Select - Vias for Routing - Unselect All: 使所有被选择的过孔解除选定。

◆ Select – Wires 选择走线

Select - Wires - Sel Wire Mode: 通过点击或者框选来选择相关走线。

Select - Wires - Select All: 选择所有的走线。

Select - Wires - By Layer List: 选择相关信号层的走线。

Select - Wires - Incomplete Wires: 选择未完成的走线。

Select - Wires - Unselect All: 对所有选择的线解除选定。

Select - Wiring Polygons 选择铺铜

Select - Wiring Polygons - Sel Wiring Polygon Mode: 通过点击或者框选来选择相关铺铜。

Select - Wiring Polygons - Select All: 选择所有的铜皮。

Select - Wiring Polygons - Unselect All: 对选择的铜皮解除选定。

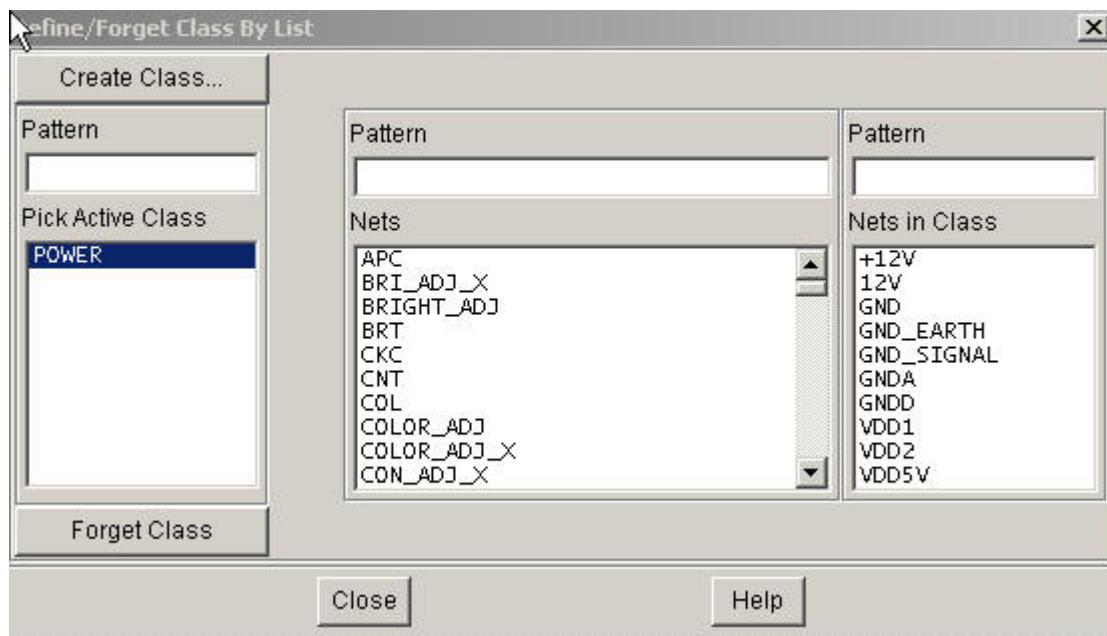
◆ Select - UnSelect All Routing Objects: 对所有被选择的对象解除选定。

3. 1. 5 Define Menu

◆ Define - Assign Supply: 分为三种方式对相关网络进行定义，分别是选定走线、选定走线及相关的过孔和通过选定网络名、器件名称及走线层等进行定义走线方式。

◆ Define - Class

Define - Class - Define/Forget By List: 执行该命令可以出现以下菜单：



最左边的方框显示的是已经存在的 Class 列表，并可以通过上面的 Create Class 及 Forget Class 来定义或者删除 Class，中间的方框显示的是所有的网络名，右边的方框则是相应的 Class 对应的网络名。可以通过鼠标选择中间方框的网络名到右边方框的办法来增加一个 Class 的网络名。

Define - Class – Selected: 通过输入定义好的 Class 名字的方式来选择相应的 Class。

◆ Define - Group Set - Define/Forget By List: 通过该命令来定义、编辑及消除相关的群组规则。

◆ Define - Group

Define - Group - Define/Forget By List: 通过该命令来定义、编辑及消除相关的群组，具体方式与设定 Class 一样。

Define - Group – Selected: 通过输入定义好的群组名字的方式来选择相应的群组。

◆ Define - Region

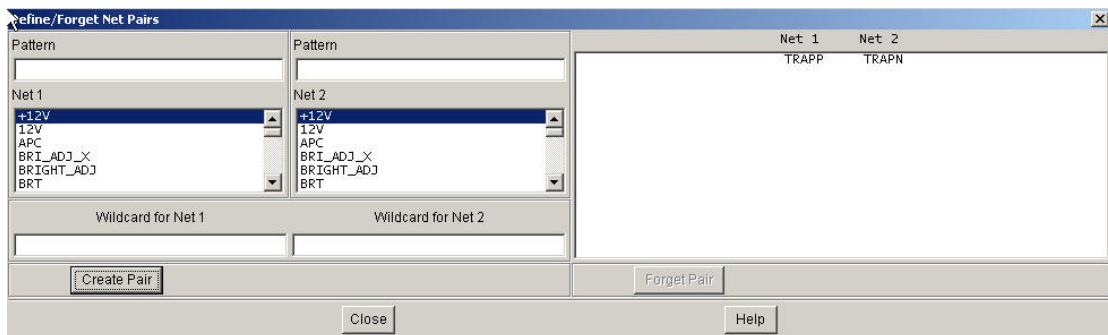
Define - Region - Draw Mode: 执行该命令后划出一个封闭的区域，可以在该范围内部对一层或者几层走线的规则进行特殊定义。

Define - Region - By Coordinates: 执行该命令可以对首先完成的区域进行设定。

Define - Region – Forget: 执行该命令后会弹出一个包含所有区域的界面，可以选择其中的一个或者几个区域去掉加上去的区域及相关规则

◆ Define - Net Pair

Define - Net Pair - Define/Forget By List: 对差分线进行定义或者去除定义。执行命令后会出现以下菜单，可以通过在左边两个方框内分别选择差分信号的一个来完成差分信号的建立，同时可以在右边的方框中选择一对或者几对差分信号进行去除定义。



Define - Net Pair – Selected: 通过首先选择两个网络名来定义成一对差分信号，同时也可把已经定义好的差分信号去除定义。

◆ Define - Net Bundle

Define - Net Bundle - Define/Forget By List: 定义、修改和去除定义总线。同时可以对该组总线全部或者某个信号层间距进行设置。

Define - Net Bundle – Selected: 选择需要进行设置的总线后执行该命令，然后可以对该组总线在全部或者某个信号层间距进行设置。

◆ Define - Layer Set - Define/Delete Layer Set By List: 在信号层的列表中建立或者删除一个或者多个层设置。

◆ Define - Design Grids: 定义线、过孔及元件放置的最小格点。

◆ Define - Pin Attributes

Define - Pin Attributes - By Component 定义管脚的相关属性。通过选择相关属性及器件名来定义一些管脚属性。

Define - Pin Attributes - By Net: 通过选择网络名来定义与该网络名相关管脚的属性。

◆ Define – Properties 定义属性

Define - Properties – Component: 定义器件的属性或者解除已经定义了的器件属性，可以通过预先选择器件和在所有器件的列表中选中来定义相关器件的属性。

Define - Properties - Component Pin: 定义器件管脚的属性或者解除已经定义了的器件管脚属性，可以通过预先选中和在器件列表中选择器件及其管脚的方式来定义器件管脚的属性。

Define - Properties – Image: 定义某一类型的器件的属性或者解除已经定义了某一类的器件。可以通过预先选择某一类器件和在所有器件的列表中选择某一类器件来定义相关属性。

Define - Properties - Image Pin: 定义某一类器件管脚的属性或者解除已经定义了的某一类器件的管脚属性，可以通过预先选中某一类器件和在器件类型列表中选择某一类器件及其管脚的方式来定义某一类器件管脚的属性。

◆ Define - Fence

Define - Fence - Draw Mode: 通过鼠标左键来划定一个封闭图形后形成一个自动布线的区域。

Define - Fence - By Coordinates: 通过指定坐标的方式来形成一个封闭的矩形区域，在该区域内部网络的连线只能走在该区域内部。其中输入的四个坐标分别是：XL X 坐标的最小值；YL Y 坐标的最小值；XH X 坐标的最大值；YH Y 坐标的最大值。

◆ Define – Keepouts 定义一个禁布区

Define - Keepouts - Draw Mode: 通过左键划线的方式来定义一个禁布区域。

Define - Keepouts - Merge Mode: 自动合并相同类型的禁布区。

Define - Keepouts - Delete Mode: 删除相关的禁布区。

Define - Keepout - By Coordinates: 通过该命令来设置禁止布线区域的相关属性（禁布的内容、禁布的信号层、禁布的坐标范围等）

Define - Keepouts – Forget: 解除已经定义好的禁布区的禁布状态。

◆ Define – Keys: 通过该命令可以自行定义一些快捷键。

◆ Define - Ruler 定义标尺

DEFINE - RULER - DRAW MODE: 通过划线的方法来定义标尺，可以在设计上标示相关尺寸。

Define - Ruler - Forget All: 删除已经定义好的标尺。

- ◆ Define - Forget Net Rules: 通过在列表中选择的方式来删除单个或者多个网络的规则。

3.1.6 Rules Menu

- ◆ Rules - PCB 设置 PCB 的规则

RULES - PCB - CLEARANCE: 设定 PCB 中的线宽及相应的间距规则。

RULES - PCB - WIRING - GENERAL: 设定走线的一些限制规则。

Rules - PCB - Wiring - Power Fanout: 电源扇出的走线规则。

Rules - PCB - Wiring - Via Pattern: 设定过孔的规则。

Rules - PCB - Testpoints: 设定测试点的规则及测试点的选择。

Rules - PCB - Timing: 设定 PCB 的关于线路延时的转换因子，主要用于设定一对差分线之间的相对延时。

Rules - PCB - Differential Pair: 设定差分线的线宽、间距、长度容差等规则。

Rules - PCB - Crosstalk: 同层或者邻近层之间的平行线长度、间距等引起的串扰规则设定。

Rules - PCB - Noise: 根据平行线等影响造成噪声的最大值设定，并通过该最大值换算出相关的线宽及间距的值的设定。

Rules - PCB - Smart Grid: 设定在自动布线中走线及过孔的最小格点。

Rules - PCB - Setup Noise/Crosstalk: 设定噪声及串扰换算后的规则。

Rules - PCB - Via Keepout Grid: 禁止打孔规则的设定。

Rules - PCB - Interlayer - By Layer Pair: 层间一对线之间的环境设置。

- ◆ Rules - Layer: 对 PCB 的某一层的规则进行设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择相关的信号层。

- ◆ Rules - Class: 对定义好的网络组进行规则设置，具体设置内容与设置 PCB 的规则相同。

- ◆ Rules - Class Layer: 对定义好的网络组在某一层上的规则进行设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择相关的信号层。

- ◆ Rules - Group Set: 对群进行规则设置，具体设置内容与设置 PCB 的规则相同。

- ◆ Rules - Group Set Layer: 对群在某一层上的规则进行设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择相关的信号层。

- ◆ Rules - Net: 网络规则设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择网络名。

- ◆ Rules - Selected Net: 选定的网络规则设置，具体设置内容与设置 PCB 的规则相同。

- ◆ Rules - Net Layer: 相关网络在某一层的规则设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择网络名及信号层。

- ◆ Rules – Group: 群规则设置，具体设置内容与设置 PCB 的规则相同。
- ◆ Rules - Group Layer: 群在某一个信号层上的规则设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择群及信号层。
- ◆ Rules – Fromto: 设置 Fromto 的规则，具体设置内容与设置 PCB 的规则相同。
- ◆ Rules - Fromto Layer: 设置 Fromto 在某一层的规则，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择 Fromto 及信号层。
- ◆ Rules - Class to Class: 组之间规则设置，具体设置内容与设置 PCB 的规则相同。
- ◆ Rules - Class to Class Layer: 组之间在某一个信号层上的规则设置，具体设置内容与设置 PCB 的规则相同，只是在设置之前需要选择组及信号层。
- ◆ Rules – Padstack: 设置焊盘的规则，主要设置各间距。
- ◆ Rules – Region: 设置 Region 的各项规则。
- ◆ Rules – Costs: 设置自动布线中的代价系数规则，具体各个系数的值各不相同。
- ◆ Rules – Sorting: 设定所有布线的预布线方式。
- ◆ Rules - Check Rules: 检查并刷新规则
 - Rules - Check Rules – All: 检查刷新所有规则。
 - Rules - Check Rules – Routing: 检查并刷新走线规则。
 - Rules - Check Rules – Setup: 根据列表选择需要检查并刷新的相关规则。

3.1.7 Autoroute Menu

- ◆ Autoroute – Setup: 自动布线中的线宽，走线和过孔的格点等规则的设定。
- ◆ Autoroute - Pre Route 布线前处理。
 - Autoroute - Pre Route – Fanout: 扇出，根据布线的需要首先对电源和地等相关网络按照一定的方式进行扇散出。
 - Autoroute - Pre Route - Seed Vias: 设定过孔离焊盘的最小距离。
 - Autoroute - Pre Route – Wirebonds: 在自动布线前对 Wirebonds 相关属性进行设置。
 - Autoroute - Pre Route - Bus Routing: 设置总线的走线方式。
- ◆ Autoroute – Route: 设置一些简单的条件后对 PCB 进行自动布线。
- ◆ Autoroute – Clean: 对 PCB 的走线进行推挤。
- ◆ Autoroute - Post Route
 - Autoroute - Post Route – Critic: 自动消除对于的弯曲。
 - Autoroute - Post Route – Shield: 对需要保护的网络周围增加保护线。

Autoroute - Post Route - Filter Routing: 消除 PCB 的冲突。

Autoroute - Post Route - Center Wires: 是管脚之间的走线尽量靠近中间位置。

Autoroute - Post Route - Spread Wires: 通过合理安排尽量增加线与线之间和线与焊盘之间的距离。

Autoroute - Post Route – Testpoints: 增加网络的测试点。

Autoroute - Post Route - [Un]Miter Corners: 对 PCB 进行倒角。

3.1.8 Report Menu

- ◊ Report – Component: 报告设计中单个器件的相关参数
- ◊ Report – Design: 报告当前设计的文件
- ◊ Report – File: 报告一个当前窗口文件并可以保存该文件。
- ◊ Report – Measure: 在测量的模式下报告一个长度测量报告。
- ◊ Report – Net: 报告一个选定的网络信息。
- ◊ Report – Network: 报告所有网络或者选定的网络的相关信息。
- ◊ Report – Properties: 报告当前对象的属性。
- ◊ Report - Route Status: 报告自动布线过程中的状态文件。
- ◊ Report – Rules: 报告当前设计中的相关规则。
- ◊ Report – Specify: 根据列表中的信息报告一些特殊的文件。
- ◊ Report - Close All: 关闭所有的报告窗口。

3.1.9 Interactive Menu

在 Route Mode 下，在工作区按右键会弹出交互式菜单（Interactive Menu），交互式菜单包括三部份：

- Interactive routing menu (交互布线菜单)
- Polygon editing menu (铜箔编辑菜单)
- Topology editing menu (拓扑编辑菜单)

第一次弹出的是 Interactive routing menu，可以通过点击弹出菜单上的相关选项转换至其他菜单。下图为三个 Interactive menu，绿色为当前菜单名称，红色用于转换至其他两个 Interactive menu，黄色为三个菜单的相同项。当然实际上菜单并没有以颜色区分，此处仅为便于描述。

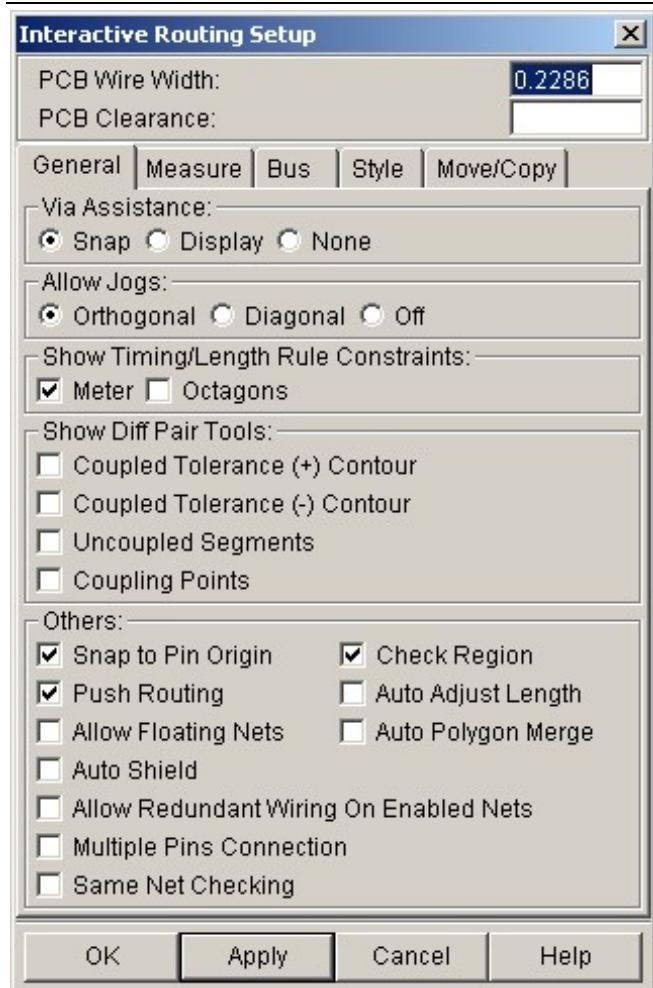


3.1.9.1 相同项

1. Setup

设置 PCB Router 布线的基本参数，除了可设置 PCB 级别的线宽间距规则外，其他内容分别位于 General、Measure、Bus、Style、Move/Copy 五个 tab 内。

(1) General

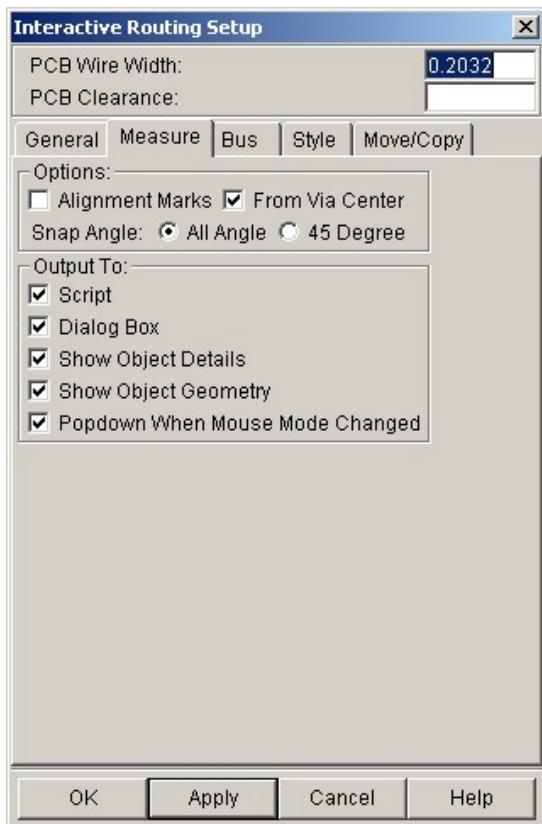


Option	Description	
Via Assistance	设定所增加 Via 不在 Via Grid 上时, PCB Router 的处理方式。	
	Snap	自动将 Via 移至最近且不违反布线规则的 Via Grid 位置(缺省选项)
	Display	显示合法的 Via 位置以供选择, 如图:

	None	不作任何处理，只是不能在非 Via Grid 位置增加 Via
Allow Jogs	<p>设置在 Move mode 下推挤线段时产生拐角的类型</p> <p>这一参数也可以在 Move menu 里设置</p>  <p>jogs.avi 演示：</p>	
	Ortho	产生直角(缺省选项)
	Diagonal	产生直角或斜角
	Off	不允许增加拐角.
Show Timing/Length Rule Constraints	设置编辑带有长度规则的线时，长度指示器的显示方式	 <p>演示： Length.avi</p>
	Meter	以数字显示当前长度与设定的最小或最大长度的差值, 绿色为合格长度
	Octagons	以八边形显示当前长度与设定的最小和最大长度的差值，只显示红框表示长度合格
Show Diff Pair Tools	显示差分线的耦合范围或错误	
	Coupled Tolerance (+) Contour	以轮廓线显示 Tolerance (+)
	Coupled Tolerance (-) Contour	以轮廓线显示 Tolerance (-)
	Uncoupled Segments	在不耦合的线段中心显示一条细线

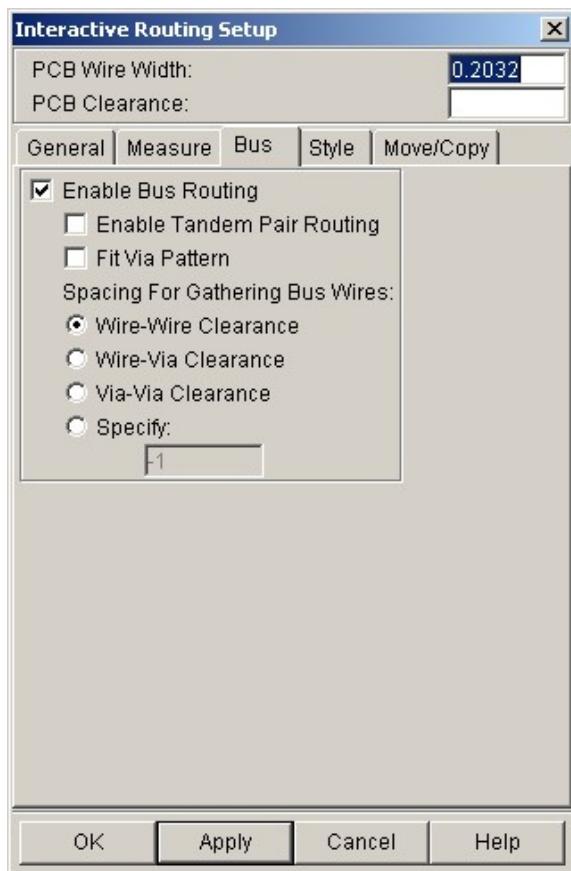
	Coupling Points	指出不耦合的点
Snap to Pin Origin		控制走线时是否自动连接到焊盘的原点
Check Region		控制是否启用 Region(即 allegro 中的 constraint area) 规则, 缺省为启用
Push Routing		控制是否允许推挤, 缺省为允许
Auto Adjust Length		控制当使用 <i>Finish Route</i> 功能完成走线时, 是否允许自动调节长度以符合其最小长度规则 (仅针对有长度约束的网络), 若不符合则高亮该网络。
Allow Floating Nets		控制是否允许走无网络的浮线
Auto Polygon Merge		控制是否将两个发生重叠的同网络铜箔或同规则 keepout 区域合并
Auto Shield		控制走线时是否为带有 shield rules 的线产生屏蔽线, 及是否允许手动编辑屏蔽线
Allow Redundant Wiring On Enabled Nets		<p>控制是否允许特定网络产生多余的线或过孔, 如电源网络有时候可能要多打几个过孔。</p> <p>特定网络是指带有 allow_redundant_wiring 规则的网络, 可通过以下菜单打开相应设置窗口:</p> <p>Rules – PCB – Wiring – General</p> <p>Rules – Class – Wiring – General</p> <p>Rules – Net – Wiring – General</p> <p>Rules – Selected Net – Wiring – General</p> <p>注意: 这一规则对于拓扑结构为菊花链的网络是无效的。</p> <p>多余的线和过孔产生后应保护起来, 以免被不小心清除</p>

(2) Measure



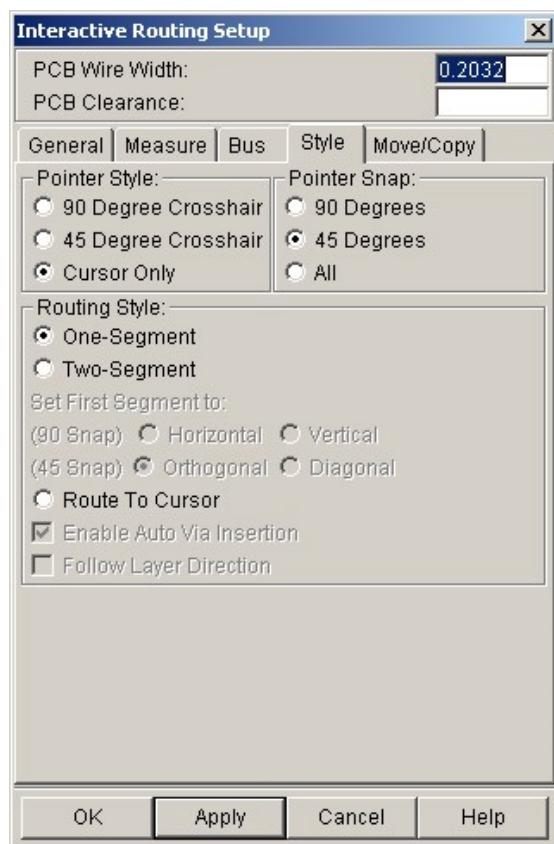
Option	Description
Alignment Marks	控制测量时是否显示水平和垂直的标记
From Via Center	控制盲埋孔间距是按边到边还是按中心距计算
Snap Angle	控制测量方向是按 45 度还是任意角度
Out put to	<p>测量结果的输出方式:</p> <p>Script: 显示在输出窗口</p> <p>Dialog Box: 显示在 Measure 对话框</p> <p>Show Object Details: 是否显示被测 Object 的坐标等详细信息</p> <p>Show Object Geometry: 是否显示被测 Object 的图形信息</p> <p>Popdown When Mouse Mode Changed: 退出测量模式时是否自动关闭 Measure 对话框</p>

(3) Bus



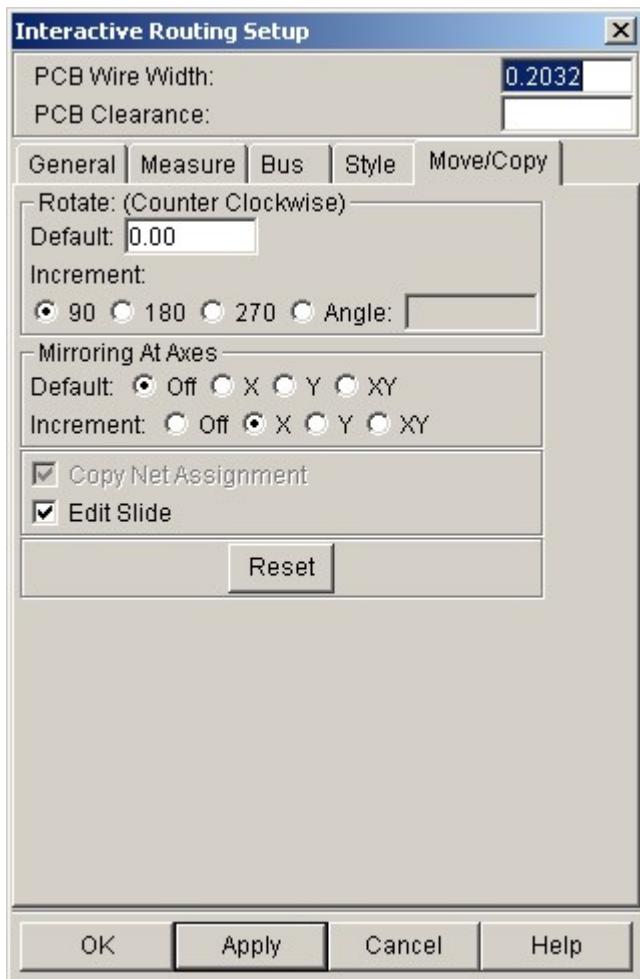
Option	Description	
Enable Bus Routing Mode	控制是否允许拉排线	
	Enable Tandem Pair Routing	是否允许在不同层走差分线
	Fit Via Pattern	排线打孔时是否允许自动调整过孔位置
Spacing For Gathering Wires	设置排线间距, 缺省为线间距	

(4) Style



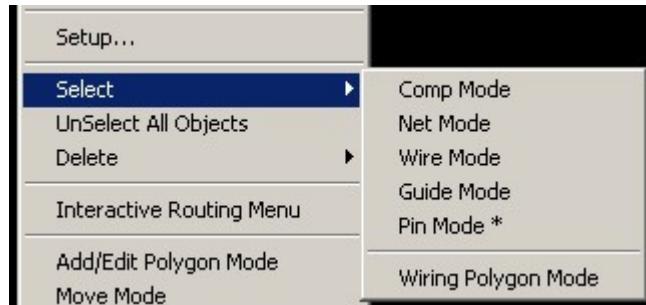
Option	Description	
Pointer Style	设置鼠标类型	
Pointer Snap	设置走线角度	
Routing Style	设置手工走线时的方式，演示：  "routing style.avi" 注： 只能在 One-Segment 模式拉排线，包括差分线	
	Route To Cursor	允许自动连线
	Enable Auto Via Insertion	自动连线时是否允许插入过孔
	Follow Layer Direction	自动连线时是否严格遵守层的走线方向

(5) Move/Copy



Option	Description
Rotate: (Counter Clockwise)	设置移动或拷贝时的旋转角度，按空格键可依照 Increment 的设置值改变角度
Mirroring At Axes	设置移动或拷贝时的镜像轴，按 Shift + 空格键可依照 Increment 的设置值改变角度
Copy Net Assignment	控制是否为拷贝的铜箔增加相同网络, 缺省为增加
Edit Slide	 slide.avi 演示:

2. Select

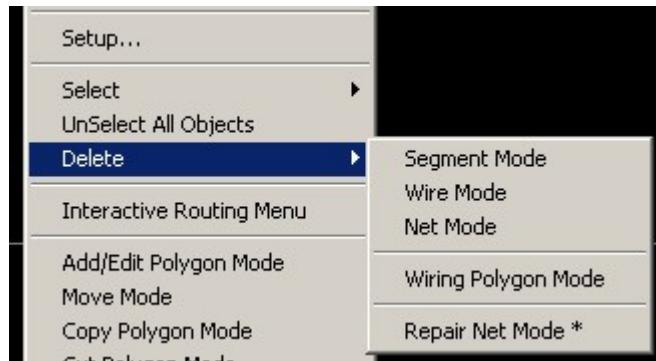


可选择元件、网络、线、飞线、Pin、铜箔，此命令也可从菜单或工具栏选取

3. Unselect All Objects

不选择所有对象

4. Delete



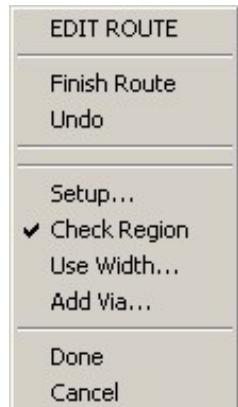
可删除线段 (segments) 、Pin 或 Via 间的所有线包括 Via (Wire) 、整个网络(Net)、铜箔 (Wiring Polygon) ，以及删除网络中违反拓扑规则的线段 (Repair Net)

3.1.9.2 Interactive Routing Menu

1 Edit Route Mode : 走线

(1) 走单线

开始走线后按右键出现菜单：



- Finish Route

自动完成该连线的剩余部分，如该线设有 noise and crosswalk 等规则，会遵守。如该线设有长度规则，且在 setup 的 general 窗口中勾选了 Auto Adjust Length，Finish 后会自动调节长度以达到最小长度，如不能符合则高亮该连线。

- Undo、Done 和 Cancel

Undo 为取消上一步的操作，也可通过点击 Edit 菜单或按快捷键执行此命令

Redo 为恢复上一次 Undo 的操作，可通过点击 Edit 菜单或按快捷键执行此命令

Done 为中断走线并保留未完成的连线

Cancel 为中断走线并取消未完成的连线。缺省状态下，Cancel 后走线过程中被推挤的其他线不会恢复，如要恢复，可先输入 set edit_abort_uses_undo on 命令

- Setup

与上文的 Setup 相同

- Check Region

与 setup 的 general 窗口中的 Check Region 相同，控制是否启用 Region(即 allegro 中的 constraint area) 规则

- Use Width

改变当前线宽，在弹出窗口中输入需要的线宽。改变线宽后点右键会发现菜单中多出一项：Use Default Width，选之可恢复到缺省线宽。

- Add Via

用左键点选过孔位置，然后再点击相同位置或按空格键即可增加过孔，也可点右键选择 Add Via 命令，出现层选项，如图：



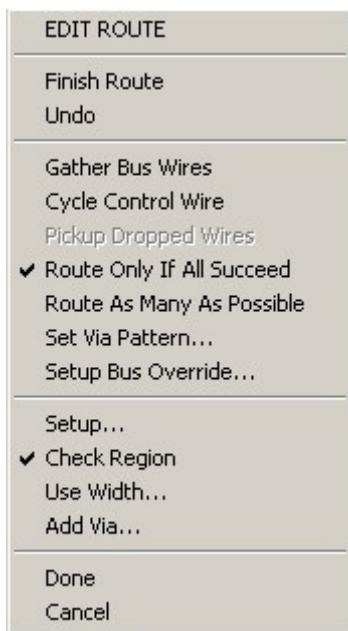
选择要改变的层即可增加过孔

(2) 走差分线或拉排线

差分线或 bundle 线只要点击其中一根，所有相关线会同时被选择

非差分线或 bundle 线要一起走，可框选 pin、via、飞线或线段端点。注意：如线端点不整齐可能框选不上，这时可将线剪断，删去不整齐的部分，也可用 Shift+左键点击增减相应网络。

开始走线后右键菜单与单线时略有不同，如图：



- Gather Bus Wires

按最小间距走线

- Cycle Control Wire

切换控制线到两边或中间三个位置

- Route Only If All Succeed

所有线都必须符合间距规则，否则排线不能继续

- Route As Many As Possible

符合间距规则的线继续，不符合的切断

- Pickup Dropped Wires

当使用 Route As Many As Possible 走线方式时，选此命令可重新加入被切断的线，但这些线在不符合间距规则处是断开的。

- Set Via Pattern

选择排线的过孔方式

- Setup Bus Override

改变排线间距

(3) 差分或 bundle 网络单独走线

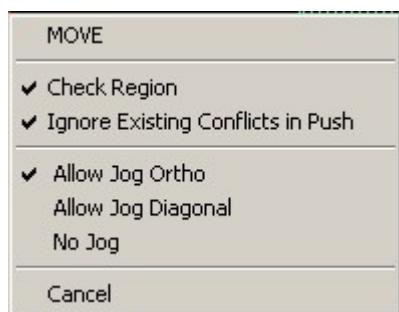
可以取消网络的差分或 bundle 属性，也可以将 Setup---Bus 窗口中的 Enable Bus Routing Mode 项勾去。

2 Move Mode

可点击移动单线或过孔，也可框选移动多根线或过孔，还可以移动线段的直角以倒角，可移动 45 度线段取消倒角，以及移动整块铜箔或移动铜箔的边线。

注意：当 Setup---Move/Copy 中的 Edit Slide 勾去时，移动线、过孔时连线不会延长，且不能移动铜箔边框。

移动线、过孔或铜箔边线时点右键出现以下菜单：



其中 Ignore Existing Conflicts in Push 为移动时是否考虑被推挤线产生的间距冲突。

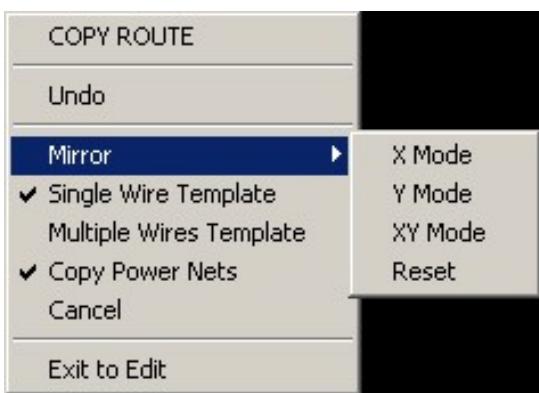
移动整块铜箔时点右键出现以下菜单：



具有设置 Move 参数及旋转、镜像的功能

3 Copy Route Mode

在此模式下按右键出现菜单



- Mirror
拷贝时镜像按设定轴镜像，每贴一次镜像一次，Reset 为停止镜像
- Single Wire Template
拷贝单线

单击 Pin 或线，Pin 到最近的端点 (Pin、过孔、T 节点及虚拟 Pin) 之间的线(如端点为过孔，包括过孔)将被选取；在同一位置单击两次可选取 Pin 或 T 节点间的所有 wire 及过孔，也可点击不同 wire 逐段加入；

单击或框选没有布线的 Pin 将粘贴上线及过孔，并会根据规则自动调节线宽
- Multiple Wire Template
拷贝多线

框选 Pin 或线，选取多根 Pin 到最近的端点间的线；按 Shift+左键可增减线，延长被拷贝的线长，及改变拷贝基准线，基准线中间有一根虚线显示。

单击对应于基准线的未连线的 Pin 将粘贴上线及过孔。
- Copy Power Nets
是否允许拷贝电源地网络
- 拷贝 fanout 线

在显示元件框的状态下，点击元件内部空白处，可选取所有 fanout 的线及过孔。

点击具有相同封装、方向及元件面的元件内部，可粘贴上 fanout 线及过孔。

4 Critic Route Mode

优化线段，消除多余的拐角，改变进出线位置

5 Cut Segment Mode

剪切线段，在线段中增加 Pseudopins，使一根线段被分为两段，便于局部移动或删除线段。在此模式下选择右键菜单中的 Delete Redundant Pseudopins 命令可以删除所有未保护线段中多余的 Pseudopins。

6 Change

- Change - Change Connectivity Mode
更改线或铜箔的网络属性
- Change - Change Layer Mode
更改线段或铜箔的所在层
- Change - Change Via Mode
更改过孔类型、fanout 属性和测试点属性
- Change - Change Wire Width Mode
更改线宽

以上四个 change 命令在第一次使用时会打开参数设置窗口，以后再选择该命令则自动沿用上次设定的参数，若要改变参数可按右键选择第二项打开参数设置窗口

3.1.9.3 Topology Editing Menu

1. Alternate Topology Edit



Pick Net Mode	单击选择要进行拓扑编辑的网络
By List	通过列表选择要进行拓扑编辑的网络
By Class	通过列表选择要进行拓扑编辑的网络 class
By Bundle	通过列表选择要进行拓扑编辑的网络 bundle.
Shadow Brightness	调节非编辑网络飞线的亮度

	当 Shadow mode 打开时此功能才有效
Pin Attribute mode	设置 Pin 属性 Pin 属性包括 source, load, terminator, expose 及 no expose 属性
Add Virtual Pin mode	通过点击或设定坐标增加 Virtual(虚拟管脚)，同时可设定其命名前缀及半径范围
Delete Virtual Pin mode	点击删除 Virtual(虚拟管脚)
Move Virtual Pin mode	移动 Virtual(虚拟管脚)
Reorder By Pin Mode	点击 Pin 改变选择网络的拓扑连接
Reorder By Comp Mode	点击元件改变选择网络的拓扑连接
Fix/Unfix Pin mode	固定或不固定 Pin。固定的 Pin 不显示飞线，不能连线
Set Fromto Rules mode	设定线段规则
Forget Fromto Mode	点击删除线段规则
Forget Net Rules	删除网络所有规则
Forget Net Order	删除网络拓扑规则

2. Pick Net Mode (与上表相同)
3. Pick Net By List (与上表相同)
4. Pick Net By Class (与上表相同)
5. Pick Net By Bundle (与上表相同)
6. Auto Fit View

自动调整显示窗口以完全包括所选网络

7. Auto Shadow Mode
- 自动进入 Shadow Mode

3.1.9.4 Polygon Editing Men

1、Add/Edit Polygon Mode

创建铜箔或改变铜箔外形

创建的铜箔如覆盖了 pin, via, pseudopin 或其他铜箔且无错误出现，会自动附加相关网络属性，否则为无网络铜箔

2、Copy Polygon Mode

拷贝铜箔，可点击拷贝一块铜箔，也可按 Shift+点击或框选拷贝多块铜箔

拷贝时通过右键菜单或快捷键可以旋转、镜像铜箔。空格旋转，Shift+空格镜像，参数在 Setup 中设定，Setup 中也可以设定拷贝时是否附加相同网络。

3、Cut Polygon Mode

切割铜箔

4、Merge Wiring Polygon Mode

框选合并同网络相交叠的铜箔

3.2 Place Mode Menu Commands

3.2.1 File Menu

◊ File - Read 读取信息

FILE - READ - PLACEMENT: 读取布局信息。

File - Read - Floor Plan : 读取一个 pln 文件

File - Read - Keepout: 读取禁布区信息。

◊ File – Write

File - Write – Placement: 保存一个布局文件。

File - Write - Floor Plan: 保存一个 pln 文件。

File - Write - Rules Did File: 保存一个规则文件。

File - Write – Session: 保存一个设计文件。

File - Write – Environment: 保存一个设计环境文件。

◊ File - Execute Do File: 倒入一个 DO 文件。

◊ File - Did File: 自动保存一个 Did 文件。

- ◆ File - Routing Mode: 切换到布线模式。
- ◆ File – Quit: 保存并退出 PCB ROUTER

3.2.2 Edit Menu

- ◆ Edit – Undo: 撤消上一步操作。
- ◆ Edit – Redo: 重复上一步操作。
- ◆ Edit - Delete Wires
 - Edit - Delete Wires – Selected: 删除选择的走线。
 - Edit - Delete Wires - All Wires: 删除所有走线。
 - Edit - Delete Wires - By Net List: 在网络列表中选择相关的网络并删除该网络的走线。
 - Edit - Delete Wires – Conflicts: 删除有冲突的走线。
 - Edit - Delete Wires - Incomplete Wires: 删除未完成的走线。
 - Edit - Delete Wires - Incomplete Wires By Net List: 选择网络列表中网络，删除其中的未完成的走线。
 - Edit - Delete Wires - Redundant Wires: 删除多余的走线。
- ◆ Edit - Delete Wiring Polygon
 - Edit - Delete Wiring Polygon – Selected: 删除选中的铺铜。
 - Edit - Delete Wiring Polygon – All: 删除所有的普铺铜。
 - Edit - Delete All Wirebonds: 删除所有的 Wirebond。
- ◆ Edit - [Un]Lock Components: 保护（去保护）器件，对相关的器件进行保护（去保护）操作。
- ◆ Edit - [Un]Lock Components Mode: 保护（去保护）器件的位置。
- ◆ Edit - Rules Did File: 显示操作内容。

3.2.3 View Menu

该命令在布线模式下已经进行了介绍，布局模式下就不再做说明。

3.2.4 Select Menu

- ◆ Select - Component Clusters
 - Select - Component Clusters - Sel Cluster Mode: 选择一个或者多个设定的 Component Clusters。
 - Select - Component Clusters - Select All: 选择所有设定的 Component Clusters。
 - Select - Component Clusters - By List: 在 Component Clusters 列表中选择一个或者多个。
 - Select - Component Clusters - Unselect All: 对所有的 Component Clusters 解除选择状态。

◆ Select – Components

Select - Components - Sel Comp Mode: 通过点击或者框选来选择一个或者多个器件。

Select - Components - Select All: 选择所有的器件。

Select - Components - By List: 在器件列表中选择一个或者多个器件。

Select - Components - By Net: 通过选择网络名来选择该网络相关的所有器件。

Select - Components - By Property: 通过指定器件的相关属性来选择相应的器件。

Select - Components - By Room: 选择被定义为 Room 的相关器件。

Select - Components - By Side: 选择 PCB 正面、方面或者正反两面的器件。

Select - Components - By Pin Count: 通过选择器件管脚数目来选择相应的器件。

Select - Components - Unselect All: 对所有被选择的器件解除选择状态。

◆ Select – Families: 通过列表选择一个或者多个定义好的 Family。

◆ Select – Gates: 该命令操作方法同 Select - Component Clusters。

◆ Select – Images: 该命令操作方法同 Select - Component Clusters。

◆ Select - Logical Parts: 该命令操作方法同 Select - Component Clusters。

◆ Select – Nets

Select - Nets - Select All: 选择所有的网络。

Select - Nets - By List: 通过在列表中选择网络名来选择网络。

Select - Nets - Length Errors: 选择违反长度规则的所有网络。

Select - Nets - With Timing Rules: 选择定义了延时规则的网络。

Select - Nets - Unselect All: 对所有选择的网络解除选择状态。

◆ Select - Physical Parts: 该命令操作方法同 Select - Component Clusters。

◆ Select – Pins

Select - Pins - Sel Pin Mode: 通过点击或者框选来选择一个或者多个焊盘。

Select - Pins - Select All: 选择所有的管脚。

Select - Pins - Sel Eq Pin Mode: 选择相同属性的管脚。

Select - Pins - Unselect All: 对所有选择的管脚解除选择状态。

Select – Rooms: 该命令操作方法同 Select - Component Clusters。

Select – Subgates: 该命令操作方法同 Select - Pins。

Select – Terminators: 该命令操作方法同 Select - Component Clusters。

Select - UnSelect All Placement Objects: 解除所有放置器件选择的状态。

3. 2. 5 Define Menu

Define – Cluster

Define - Cluster - Define/Forget By List: 通过该命令可以建立或者删除一个 Cluster, 具体操作方法同布局模式下的 Define - Class - Define/Forget By List。

Define - Cluster - Selected: 通过该命令把被选择的一个或多个器件定义成一个 Cluster。

Define - Cluster - By Net: 通过该命令把相应的网络名所对应的器件定义成一个 Cluster。

Define - Cluster - By Seed: 自动地把一类型的器件定义成一个 Cluster。

Define – Room

Define - Room - Draw Mode: 通过鼠标划线的方式来定义一个 Room。

Define - Room - By Coordinates: 通过在弹出的窗口中输入相应的坐标的办法来定义一个 Room。

Define - Room – Forget: 解除定义好的 Room。

Define - Associate Components

Define - Associate Components- Mode: 通过点击和框选的方式来定义关联器件。

Define - Associate Components - By List: 通过在弹出的窗口中选择相应的器件来定义一对或者多对关联器件。

Define - Associate Components – Forget: 解除定义好的关联器件。

Define – Component

Define - Component – Image: 对一个器件定义多个不同的属性。

Define - Component – New: 增加一个新的器件到该设计中。

Define - Component – Forget: 在设计中删除器件。

Define - Design Grids:

Define - Net Pins:

Define - Net Pins - By List: 根据网络列表定义或修改一个网络所对应的管脚。

Define - Net Pins – Forget: 删除某个网络管脚的网络连接。

Define – Properties:

Define – Keepout:

Define - Place Boundary

Define - Place Boundary - Draw Mode: 通过手工划线来定义一个器件边界。

Define - Place Boundary - By Coordinates: 通过输入四个角度坐标等方法来定义一个器件边界。

Define – Keys:

Define – Ruler: 与布线模式下相同。

3. 2. 6 Rules Menu

Rules - PCB

Rules - PCB – Spacing: 设置 PCB 布局中正面和反面的间距。

Rules - PCB - Permitted Orientations: 设置器件正反面的布局方向。

Rules - PCB - Permitted Sides: 设置布局中器件是正面放置还是反面放置。

Rules - PCB - Opposite Sides: 正反面器件放置要求设置。

Rules - Image Set- Large:

Rules - Image Set - Large – Spacing: 设置大 Image 的最小距离。

Rules - Image Set - Large - Permitted Orientations: 设置大 Image 的方向。

Rules - Image Set - Large - Permitted Sides: 设置大 Image 正反面放置。

Rules - Image Set - Large - Opposite Sides: 设置大 Image 的正反面器件放置要求设置。

Rules - Image Set- Small: 设置同 Rules - Image Set- Large。

Rules - Image Set – Capacitor: 设置同 Rules - Image Set- Large。

Rules - Image Set – Discrete: 设置同 Rules - Image Set- Large。

Rules - Image Set – Resistor: 设置同 Rules - Image Set- Large。

Rules – Image: 设置同 Rules - Image Set- Large。

Rules – Component: 设置同 Rules - Image Set- Large。

Rules - Selected Components: 设置同 Rules - Image Set- Large。

Rules – Room

Rules - Room – Contents: 设定 Room 的一些布局设置。

Rules - Room - All Components – Spacing: 设定 Room 中器件布局的间距设置。

Rules - Room - All Components - Permitted Orientations: 设定 Room 中器件布局的放置方向设置。

Rules - Room - All Components - Permitted Sides: 设定 Room 中器件布局的放置的反面设置。

Rules - Room - All Components - Opposite Sides: 设定 Room 中同一位置器件布局的正反面设置。

Rules - Room – Large: Room 中大器件设置, 设置同 Rules - Image Set- Large。

Rules - Room – Small: Room 中小器件设置, 设置同 Rules - Image Set- Large。

Rules - Room – Capacitor: Room 中电容设置, 设置同 Rules - Image Set- Large。

Rules - Room – Discrete: Room 中分离器件元件设置, 设置同 Rules - Image Set- Large。

Rules - Room – Resistor: Room 中电阻设置, 设置同 Rules - Image Set- Large。

Rules - Family to Family: Family 到 Family 之间的相关布局设置。

Rules - Image to Image: Image 到 Image 之间的相关布局设置。

Rules - Check Rules

Rules - Check Rules – All: 检查所有的规则并刷新冲突。

Rules - Check Rules – Placement: 检查布局相关的规则并刷新冲突。

3. 2. 7 Autoplace Menu

Autoplace – Setup: 设定全局的布局规则。

Autoplace – UnPlace

Autoplace - UnPlace - All Components: 把所有的器件都移动到布局区以外。

Autoplace - UnPlace - Small Components: 把所有的小器件移动到布局区以外。

Autoplace - UnPlace - Discrete Components: 把所有的分离元件移动到布局区以外。

Autoplace - UnPlace – Capacitors: 把电容移动到布局区以外。

Autoplace - UnPlace – Resistors: 把电组移动到布局区以外。

Autoplace - UnPlace – Clusters: 把 Cluster 移动到布局区以外。

Autoplace - UnPlace - Selected Components: 把选定的器件移动到布局区以外。

Autoplace - UnPlace - Components By List: 在器件列表中选择相关器件移动到布局区以外。

Autoplace - InitPlace - Large Components: 对大器件进行自动布局。

Autoplace - Interchange Components: 自动布局相关联器件以提高布线能力。

Autoplace - InitPlace - Small Components: 自动布局一些小的关联器件，可以全部自动布局或者分别选择电阻、电容和分离器件等。

Autoplace - Auto Rotate Components: 自动翻转器件以便于更好的布线。

Autoplace - Automatic Swap: 自动交换相关器件以便更好的布线。

Autoplace - Small Comp Pattern

Autoplace - Small Comp Pattern – Learn: 联系相关的大器件自动布局小器件。

Autoplace - Small Comp Pattern - Apply to Selected: 对于选定的大器件自动布局小器件。

Autoplace - Crossing Histogram: 打开或者关闭交叉图形。。

Autoplace - Density Analysis: 自动布局的密度分析。

Autoplace - View Off: 关闭密度分析图。

Autoplace - Force Vector: 打开或者关闭各器件的矢量图。

3.2.8 Report Menu

Report – Component 同布线模式。

Report – Design: 同布线模式。

Report - Estimated Area: 报告该设计的空间利用情况。

Report – File: 同布线模式。

Report – Images: 报告一个 images 的情况。

Report – Measure: 同布线模式。

Report – Net: 同布线模式

Report – Network: 同布线模式。

Report - Place Status: 布局状态文件报告。

Report – Properties: 同布线模式。

Report – Rules: 同布线模式。

Report – Specify: 同布线模式。

Report - Close All: 同布线模式。

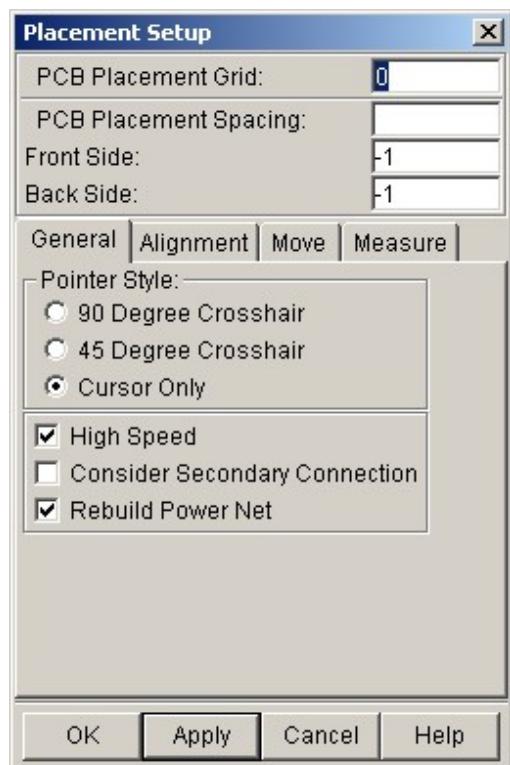
3.2.9 Interactive Place Menu



3.2.9.1 Setup

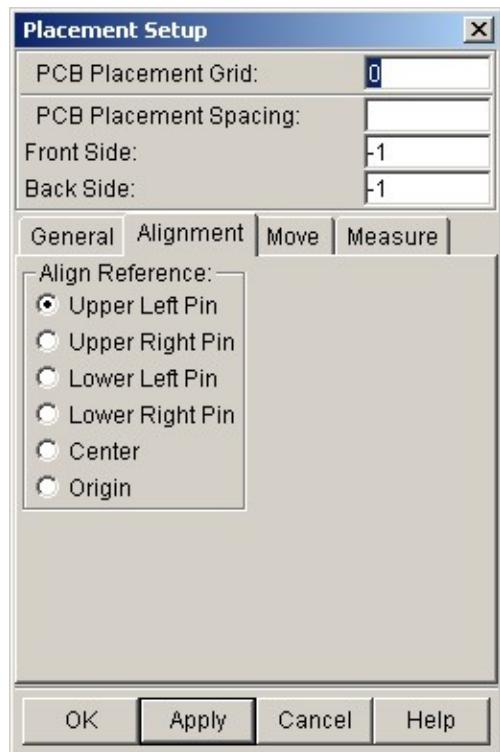
设置 PCB Router 元件布局的基本参数，除了可设置元件格点及元件间距外(0、-1 表示未定义)，其他内容分别位于 General、Alignment、Move、Measure 四个 tab 内。

(1) General



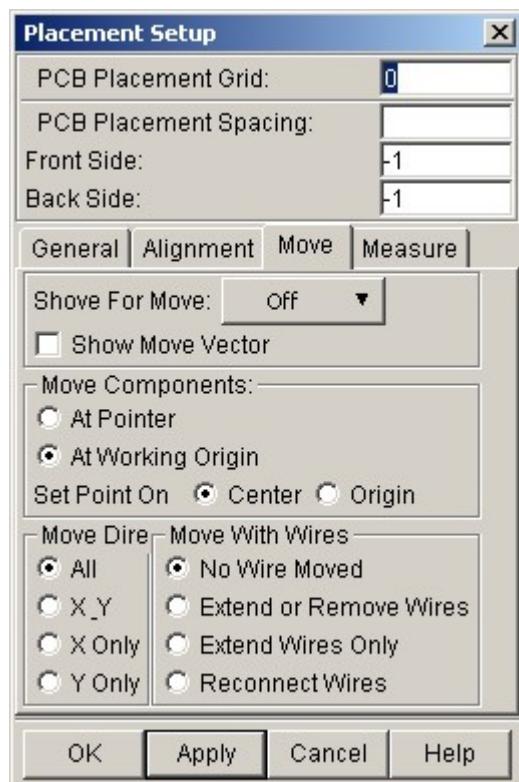
Option	Description
Pointer Style	设置鼠标类型
High Speed	控制在自动布局时是否考虑网络的长度规则，带有该类网络的元件在布局中将有优先权
Consider Secondary Connection	使能时，如大元件间的网络通过小元件串联，自动布局时会将这两个大元件等同直连
Rebuild Power Net	控制在手工移动元件时，是否重建电源网络(慎用，有可能会删除所有相关电源网络)

(2) Alignment



设置使用元件对齐命令时的基准点

(3) Move



Option	Description		
Shove for Move	控制移动元件时是否允许将邻近的元件挤开		
	Vertical	允许水平移动	
	Horizontal	允许垂直移动	
	Orthogonal	允许水平、垂直移动	
	Off	不允许推挤其他元件	
Show Move Vector	移动元件时是否显示标志，指出连线 Manhattan 长度最短的位置		
Move Components panel	设置对元件进行移动旋转等操作的基准点		
	At Pointer	光标选择位置	
	At Working Origin	元件的工作原点	
	Set Point On	选择元件的工作原点，包括：	
		Center	元件的中心点
		Origin	元件库定义的原点
Move Direction panel	设置元件的允许移动方向		
Move With Wires panel	设置移动元件的模式		
	No Wires Moved	删除所有连线	
	Extend or Remove Wires	拉伸平行移动方向的线，删除其他线	
	Extend Wires Only	拉伸平行移动方向的线，保留其他线	
	Reconnect Wires	拉伸平行移动方向的线，并尝试连接其他线	

(4) Measure

与 3.1.9.1 中的相同

3.2.9.2 Select

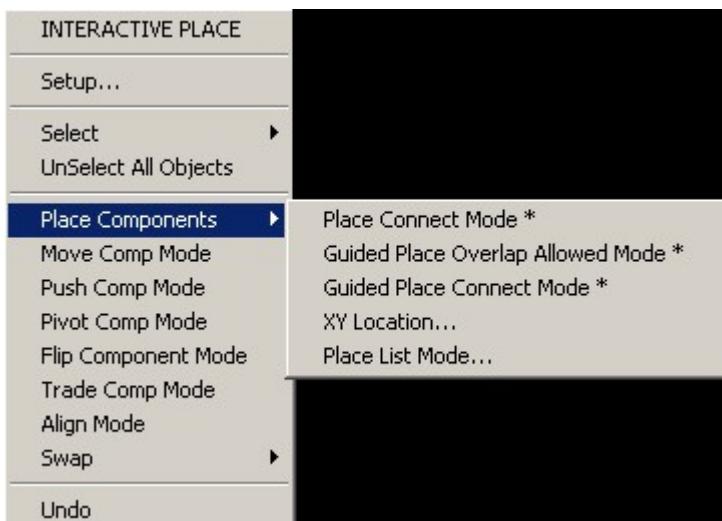


如图，可点选或框选 comp、gate、subgate、pin、terminator

3.2.9.3 Unselect All Objects

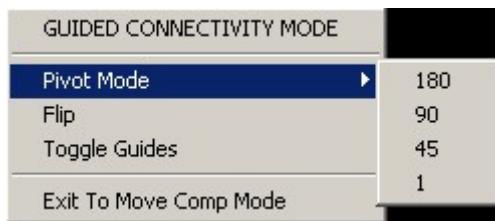
不选择所有对象

3.2.9.4 Place Components



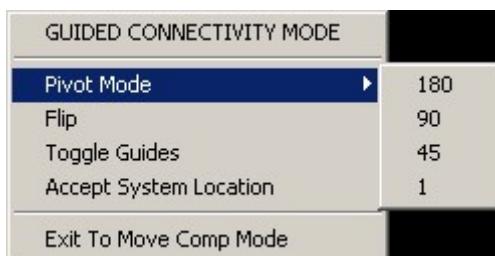
- Place Connect Mode

按元件连线数量（由高到底）等因素顺序放置尚未放入板内的元件，放置期间按右键菜单可选取旋转、换层、开关飞线及退出移动元件模式命令，如下图



- Guided Place Overlap Allowed Mode

按元件连线数量（由高到底）等因素顺序放置尚未放入板内的元件，允许元件重叠，并自动计算合适的位置（small 元件或板子太密不能计算出位置时不显示建议位置）放置期间按右键菜单可选取旋转、换层、开关飞线、接受建议位置及退出移动元件模式命令，如下图

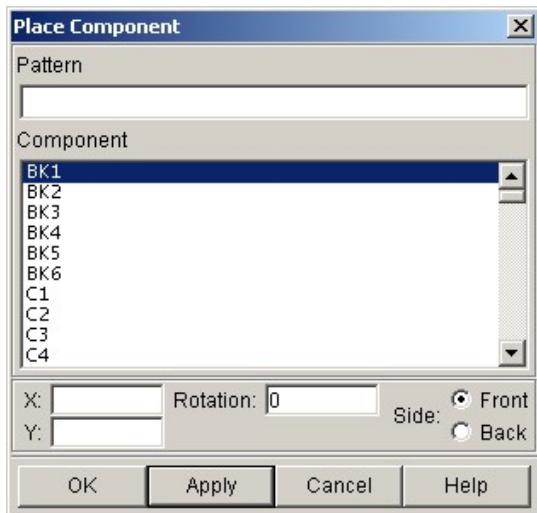


- Guided Place Connect Mode

除了不允许重叠外，功能与上一项相同

- XY Location

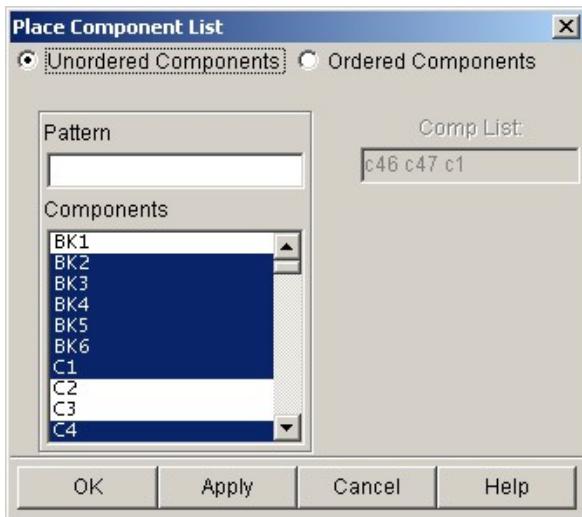
输入元件的原点坐标精确放置元件（包括板内元件），同时可以设定旋转角度及元件面



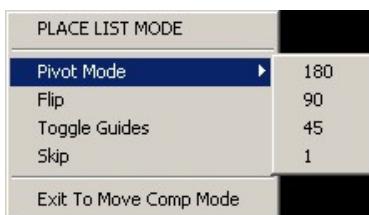
- Place List Mode

选取 Unordered Components 时，可从左边的元件列表中选取需要放置的元件（包括板内元件），放置顺序由布线器根据元件的连线数量等因素自动排序

选取 Ordered Components 时，在右边的 Comp List 输入框中输入元件位号，用空格间隔，放置时按此顺序。



放置期间按右键菜单可选取旋转、换层、开关飞线、跳过当前元件及移动元件模式命令，如下图

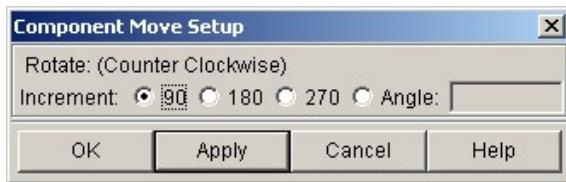


3.2.9.5 Move Comp Mode

可移动元件或铜箔，移动期间按右键菜单可选取旋转、换层、开关飞线及更改设置等命令，如下图：



其中 Move setup 命令可以打开一个窗口设置使用快捷键空格旋转元件时的旋转增量，如图：

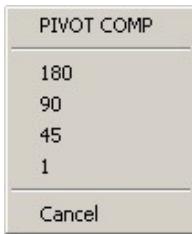


3.2.9.6 Push Comp Mode

水平或垂直滑动单个或多个元件，同时推挤邻近元件。布线后慎用，可能会导致某些线自动换层。

3.2.9.7 Pivot Comp Mode

旋转元件，状态栏会指出旋转的角度。旋转期间按右键菜单可改变旋转增量，如图：



3.2.9.8 Flip Component Mode

通过点选或框选元件，将其换层

3.2.9.9 Trade Comp Mode

交换两个元件的位置及方向

3.2.9.10 Align Mode

对齐元件，对齐的基准点可在 setup 中设定，缺省为左上角的 pin。违反间距等规则的元件不能执行对齐操作，对齐时会先考虑水平对齐。

3.2.9.11 Swap

- Gate Mode
- Subgate Mode
- Pin Mode
- Terminator Mode

框选等价的 gate、Subgate、Pin 及 Terminator，可根据 Manhattan 长度自动优化交换。

第四章 参数定义及 PCB Router 与 PCB Editor 的关系

4.1 PCB Router 中的参数定义

4.1.1 在第三章中提到了一些参数，下面是一些参数类型的说明：

- Limit: 对一个连接设置最大数值的 wrong way routing , vias
- Tax 和 Cost: 控制受规则约束的程度
- Directional Bias: 设置层的走线方向横, 坚, 斜等
- Layer Costing: 控制走线层
- Sorting: 控制自动布线器的走线顺序如最长线优先
- Seedvia: 走长线时, 人为加入的过孔, 引导自动布线的方向。
- Keepouts, Fences, Regions: 禁布区, 隔离区, 区域的应用

Keepout 是带有间距值的一个区域。此值设置过大, 会使自动布线减少走线通道, 如 wire_area 设置为 20mil, 则在离 keepout 区域边界 20mil 以内的地方都不能走线。如果设计规则允许紧临 keepout 区域边界走线, 则可设置 wire_area 值为 0。上述情况同样适用 via_area, smd_area 的设置等。

4.1.2 Tax 和 Cost 应用

- Tax 值范围(0, 1, 11), 若值最高, 则禁用;
- Cost 值范围(0, 100), 若值最高, 则禁用。

Crossings tax, 如设置为 0.5, 则乘积变小, 允许更多的交叉冲突。

如果对一个设计存在大量的交叉冲突, 则要设置 Crossings tax 大于 1, 而 Via-wire squeeze 小于 1, 这一对命令经常是同时使用, via-wire (过孔与走线间距) 冲突多对后期的手工修改是比较方便的。tax cross 和 tax squeeze 是一对姊妹命令。

一般不提倡改 COST 的值, 因为一旦设置后则在整个 ROUTE 中都会使用此值直至再次修改或重新设置为-1。

使用 TAX 策略: 如果布线器不再会降低冲突数, 此时停止自动布线, 不退出 PCB ROUTER, 对 TAX 的值重新设置较小的值后再重新自动布线, 这种方法能有效降低后期需手工连接的布线的冲突。

4.1.3 重要规则

- 自动布线前先固定已布线的电源网络。
- FANOUT 对自动布线至关重要。
- GRID (via, wire) 的设置, 一般最大应为 1MIL, 否则对密度较高的单板, 两焊盘间走两条线

就很困难。

- 有走线顺序的网络要设置 max_stub : PCB (max_stub 150), 否则其默认值为 0, 就会直接从 PIN 出线, 如下图所示:

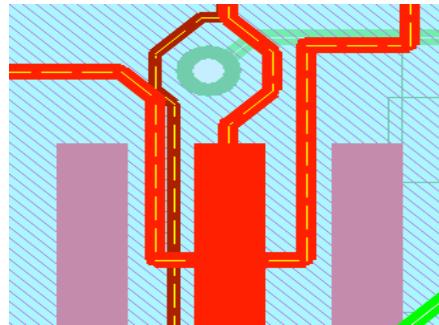


图 4-1 直接从 PIN 出线

- 如何让元件面不走线: 设置 `smd_escape = .125`, 并且预先扇出所有的管脚, 再用如下两个命令:

```
unselect layer comp
```

```
change smd_escape 0
```

由于 EMC 或美观等需要, 要求表层尽量少走线, 也可在层中设置:

如图可对层进行布线约束: 如顶层要较少布线, LAYER COSTING 设为 HIGH。

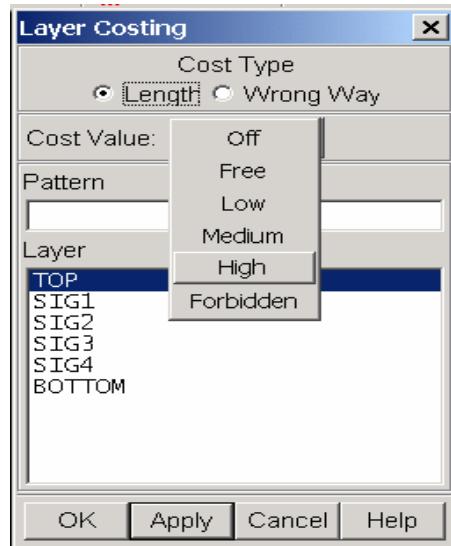


图 4-2 设置 LAYER COSTING 为 HIGH

两层板需要 100 至 200 次以上的布线步骤; 4 层板典型收敛是在 50 至 100 次布线步骤; 多层板通常需要 50 至 75 次布线步骤。

4.2 PCB Editor 和 PCB Router 的相互关系

4.2.1 对稍复杂的单板，一般都会用到 PCB Editor/PCB Router 交互布线，在进入 PCB Router 前，必须在 PCB Editor 中做必要的检查：

- 是否已定义和分配了 Planes 层（尤其是有分割的）
- 是否已产生布线的板框（尤指 ROUTE KEEPIN）

PCB ROUTER 自动布线器是以 Route Keepin 为界，在其区域内布线的

- 是否已打开走线 Drc 开关
如果未打开相应的 Drc 开关，有些规则就带不到 PCB ROUTER 中去
- 运行 PCB Editor 布线检查（Router Checks）和 Tools > Summary Report 修改错误。
- 是否有元件在板框外。如果 PCB Editor 中有元件放置在板框外或未放置，进入 PCB ROUTER 后这些元件同样会显示在板框外，而进行 FANOUT 时往往就无法扇出或出现一些不可预知的错误。

对此可在 PCB Editor 中做如下命令设置，这样未放置的元件，就不会带入到 PCB ROUTER 中：

```
set spif_no_unplaced_components
```

4.2.2 PCB Editor 和 PCB Router 间可相互切换：

从 PCB Editor 到 PCB Router 转换时生成有三个文件，供在 PCB Router 中使用，存在当前 physical 目录下：

```
boardfilename.dsn  
boardfilename_rule.do  
boardfilename_forget.do
```

在退出 PCB Router 时上述文件会自动消失。

如果要直接打开 PCB Router 调用 boardfilename.dsn 是不带规则设置的，可用下面的方法生成规则文件：

在 PCB Editor 中，点击 File → Export → Router，生成两个规则文件：

```
boardfilename_rule.do  
boardfilename_forget.do
```

此时再在 PCB Router 调用这两个文件，则可恢复设置的规则：

File → Execute Do file → boardfilename_rule.do

4.3 PCB Editor 到 PCB Router 的映射

PCB Editor到PCB Router的映射类型主要分4大类:

1. 分配表 - 物理类 (Spacing/Physical)
2. 约束表 - 电气类
3. 独立设计特性 (走线, 元件规则)
4. 局限 - 忽略的规则/不能映射的特性

1、分配表 - 物理类 (Spacing/Physical)

大部分的物理规则都可以直接地从PCB Editor带到布线器中, 所以, 推荐大家在PCB Editor中就把布线的物理规则设置好。当然, 在布线器中还是可以对这些带过来的物理规则根据实际的情况进行调整, 调整只能当次有效, 因为, 布线器的物理规则是不能再返回到PCB Editor中的。

所有的规则设置都在  状态下的Rules菜单内。可以根据具体的PCB进行各类规则设置:



图4-3 Rule菜单的内容

对于Default类型的信号则很简单，PCB Editor和PCB Router中对应关系如下图所示：

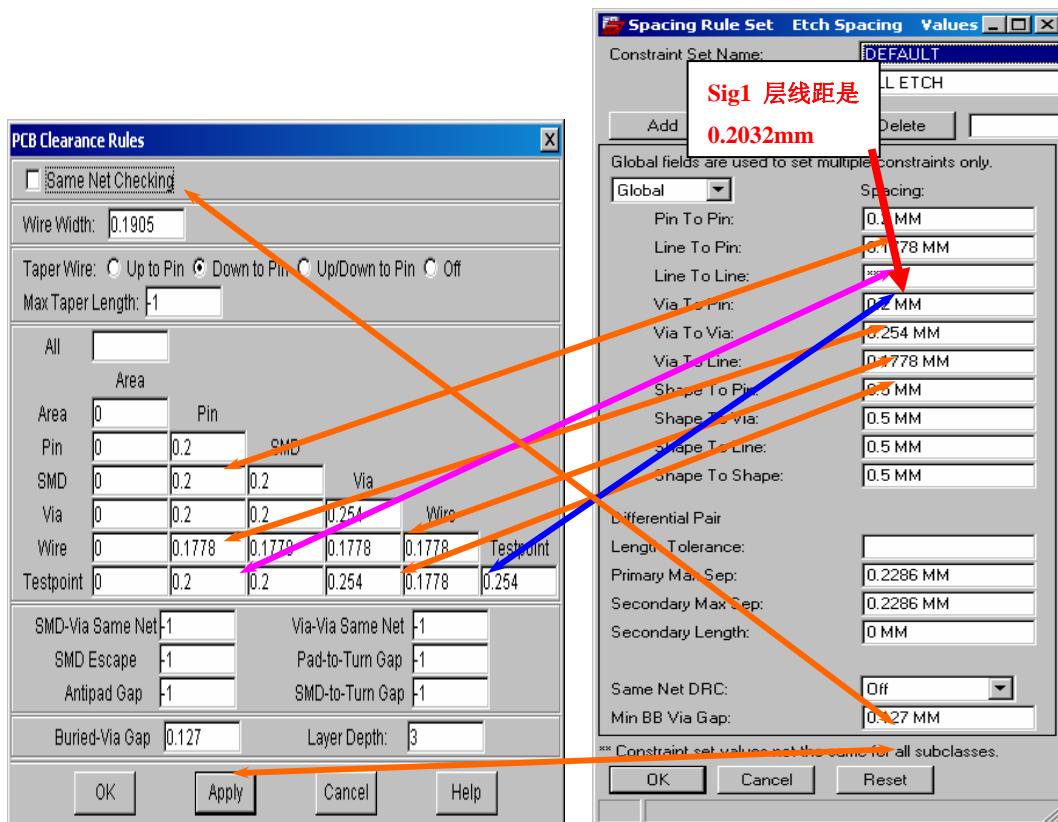


图4-4 Default类型的信号，PCB Editor和PCB Router中对应关系

上图中，由于Sig1层和TOP、Bottom层的间距设置不一样。TOP、Bottom层的间距是0.1778mm，而Sig1层的间距是0.2032mm。所以在PCB Editor中，Line to Line的设置显示的是“**”，PCB Router中显示的是0.1778mm，这个间距是TOP、Bottom层的间距；Sig1层的间距设置在菜单Rules=》Layer=》Clearance...内，如下图所示：

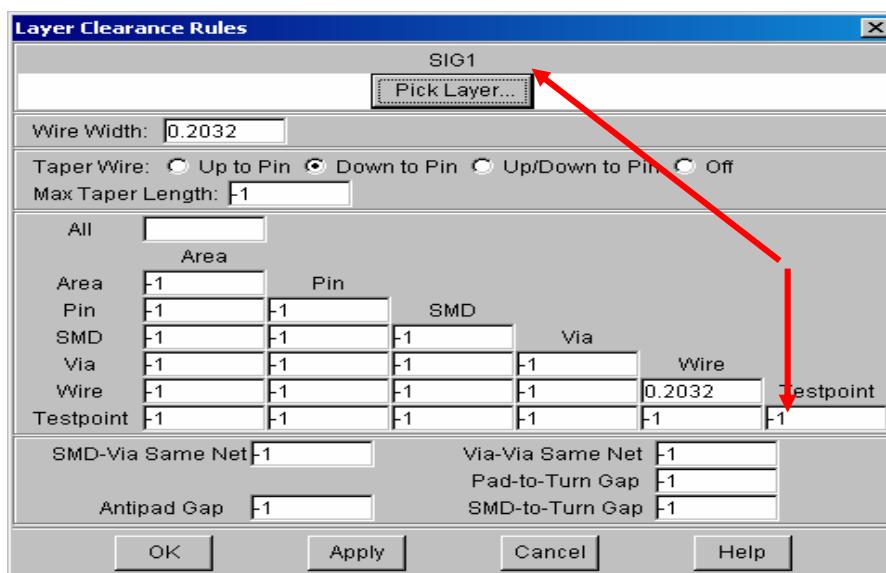


图4-5 Sig1层的信号间距

对于比较复杂的板子通常只设置一种物理规则是不够的，一般还有差分线的设置，差分线的线宽和线距通常是与其它信号要区分开的。PCB Editor 和 PCB Router 中对应关系如下图所示：

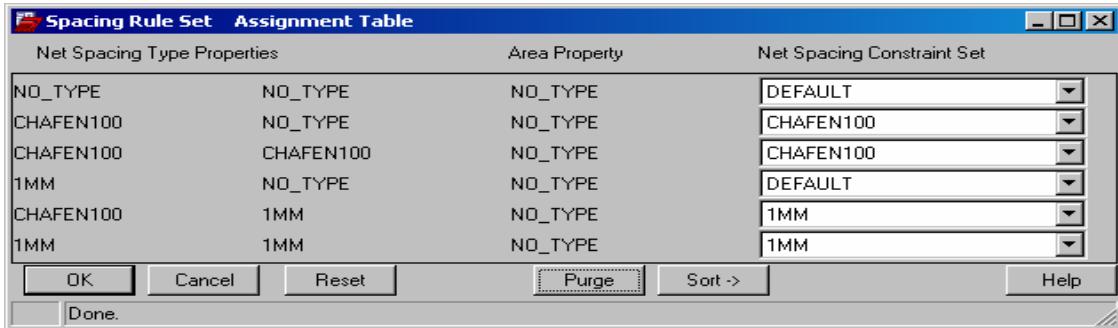


图4-6 PCB Editor中的间距规则

PCB Editor Assignment

Net1 Spacing Type	Net2 Spacing Type	Constraint Type	
NO_TYPE	NO_TYPE	DEFAULT	PCB Clearance Rules (Global)
CHAFEN100	NO_TYPE	CHAFEN100	Class-to-Class Clearance rules
CHAFEN100	CHAFEN100	CHAFEN100	Class-to-Class Clearance rules
1MM	NO_TYPE	DEFAULT	PCB Clearance Rules (Global)
CHAFEN100	1MM	NO_TYPE	Class-to-Class Clearance rules
1MM	1MM	NO_TYPE	Class-to-Class Clearance rules

PCB Router Assignment

Area Property 设置的规则均不能带到布线器中。

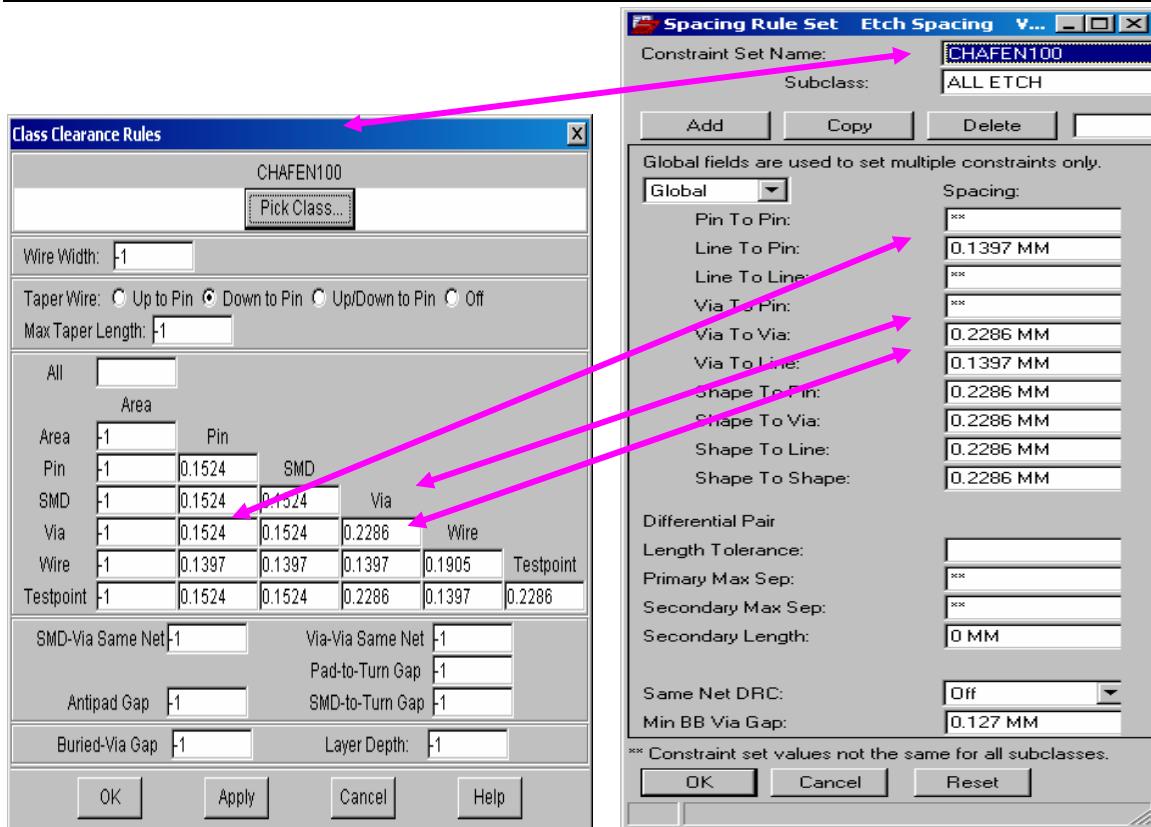


图4-7 对于间距设置在PCB Editor中和PCB Router中的对比

其中由于差分线在SIG1层的线宽与顶层和底层设置的不一致，所以可以通过下面的命令窗口查看SIG1层差分线的间距设置。Rules=》Class layer=》Clearence...，打开窗口：

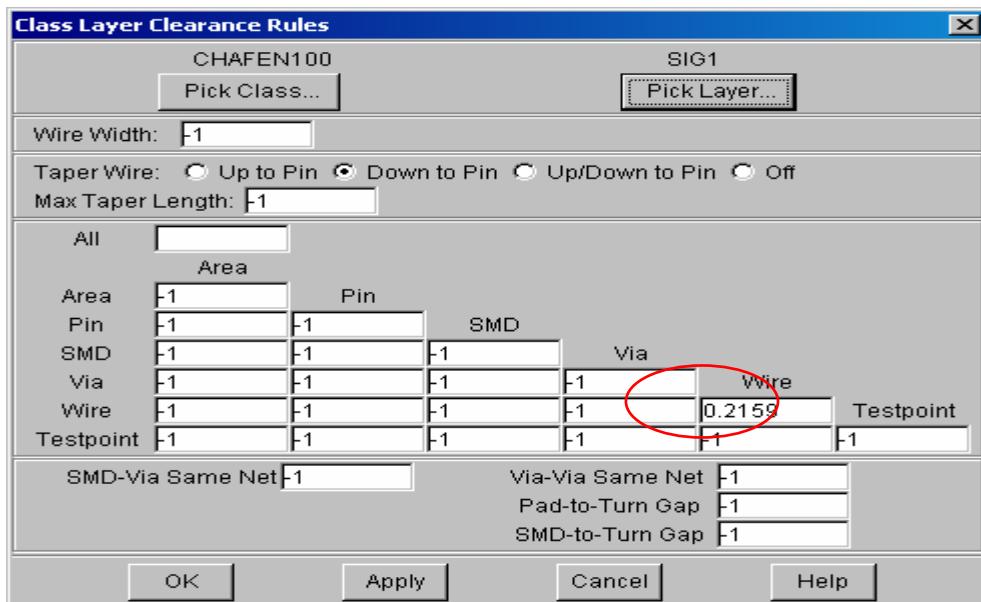


图4-8 不同层间距约束设置不同的情况

5、线宽映射特性见下表：

Physical (Lines/Vias) Rule Set Assignment Table		
Net Physical Property	Area Property	Physical Constraint Set
CLOCK_PH	NO_TYPE	4MIL_WIDE
CLOCK_PH	SSOP_AREA	3MIL_WIDE
NO_TYPE	NO_TYPE	DEFAULT
NO_TYPE	SSOP_AREA	4MIL_WIDE

Allegro Assignment

PCB Router Assignment

Net Physical Property	Area Property	Physical Constraint Set
-----------------------	---------------	-------------------------

CLOCK_PH	NO_TYPE	4MIL_WIDE	Class Wiring Rules
CLOCK_PH	SSOP_AREA	3MIL_WIDE	Ignored (useNo_type)
NO_TYPE	NO_TYPE	DEFAULT	PCB Clear/Wiring Rule
NO_TYPE	SSOP_AREA	4MIL_WIDE	Width rule applied to Region

线宽设置从**PCB Editor** 到**PCB Router**的映射对应关系如下图所示：

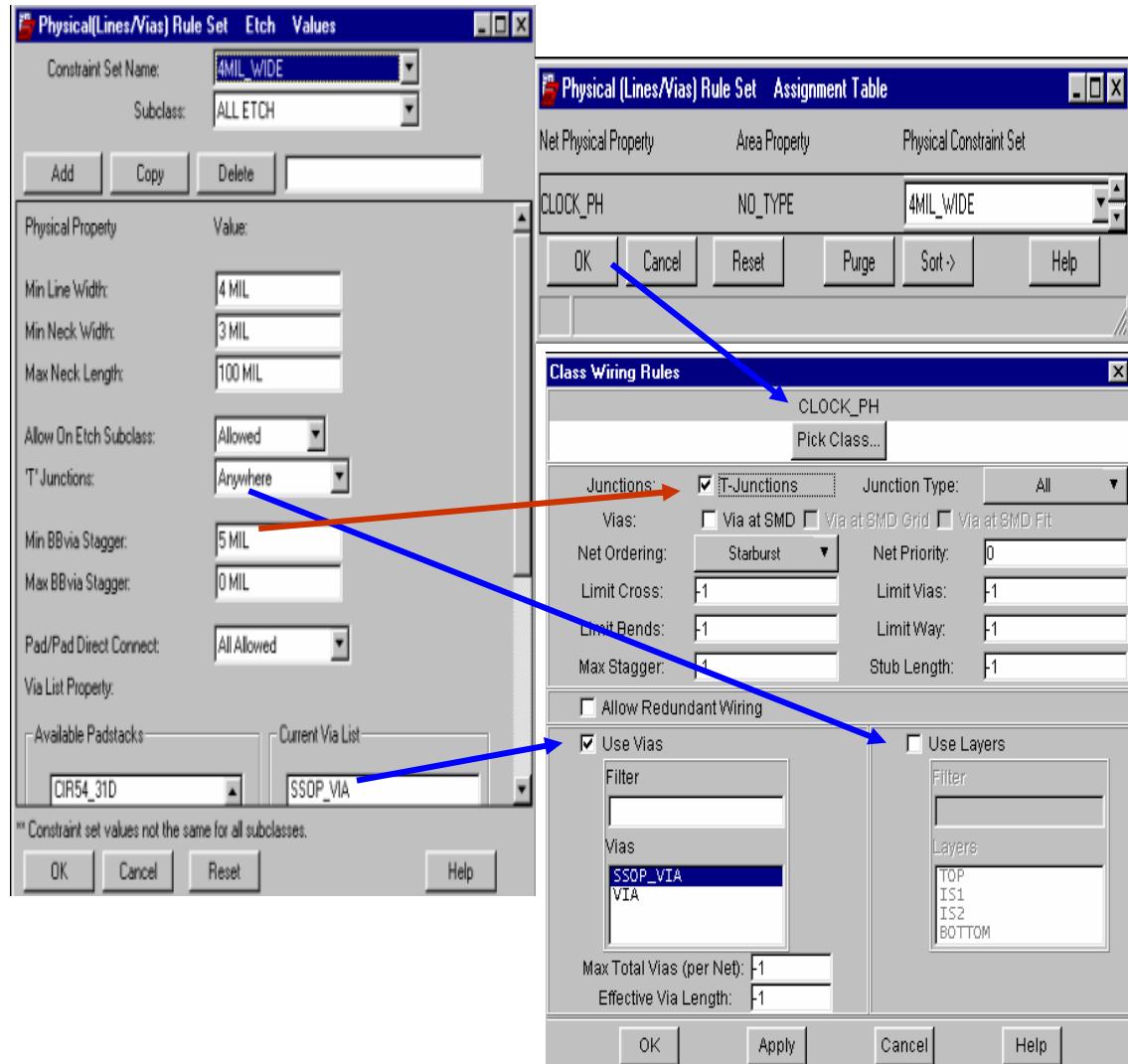


图4-9 线宽设置从PCB Editor到PCB Router的映射对应关系

2、约束表 - 电气类

可以带到 PCB Router 中的电气约束主要有如下图所示：

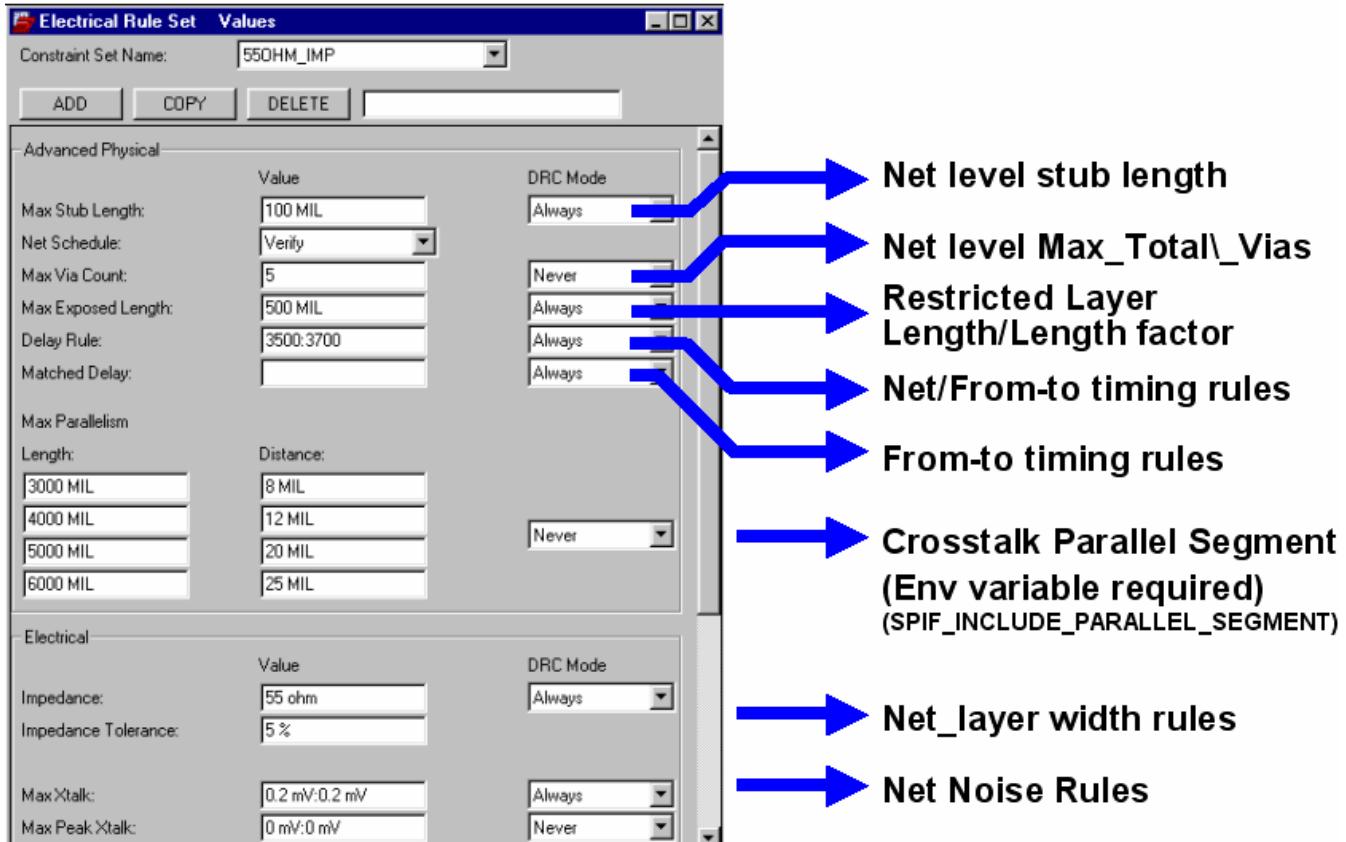


图 4-10 电气设置的约束表

3、独立设计特性（走线，元件规则）

线规则映射：

- 线延迟规则： Delay Rule – Pin pair -> Net/From-to level timing rules.
 - ::1500:2000
 - (net SIG_1(pins C18-1 U16-2 U4-3 U6-4)(circuit (length 2000 1500)))
- 差分线规则： Differential Pair Rule -> Diffpair w/Primary separation, Class name
- ECL -> Series of from-to's w/ rule (reorder_daisy) – net level
- Fixed -> type fix property – no routing occurs, excluded from reports.
- Matched Delay -> Net/Group level tolerance/ratio tolerance
 - net SIG_1: MATCHED_DELAY = M1:::15
 - net SIG_2: MATCHED_DELAY = M1:::15
 - (class M1 SIG_1 SIG_2(circuit (match_net_length on (tolerance 15))))
- Max_parallel -> Parallel Segment crosstalk rules
 - MAX_PARALLEL =500:10;1000:20
 - (rule (parallel_segment (gap 10) (limit 500)))

- (rule (parallel_segment (gap 20) (limit 1000)))
- Max_via_count -> Net Level wiring rule w/max_total_vias set
- Min_line_width -> Net Level clearance rule w/min_width set
- No_riput -> type Protect in Specctra (net SIG_1)(type protect)
- No_Route -> type fix property – no routing occurs, excluded from reports.
- Pins_(and_vias_)only -> Net level wiring rule with j-type term_only set
- Stub_length -> Net level wiring rule with Max_stub length set
- Shield_Net -> Net level shielding rule (shield on (use_net GND))
- Ts_allowed -> Net level wiring rule with tjunction set.
- Via_list -> Net level wiring rule with Use_via set

器件规则映射:

- Alt_symbols – Translates primary (top) and secondary side to a Specctra image property (image cap200-cap200b(side front)...)
- Comp_max_power_dissipation – translates into a Specctra Power Dissipation property ... (property (power_dissipation 20))
- Comp_no_swap_gate – translates into a Specctra gate lock property ... property (lock_type gate)
- Comp_no_swap_pin – translates into a Specctra pin lock property ... property (lock_type pin)
- Comp_room – translates into a Specctra floorplan
- No_move – translates into a Specctra position lock property ... (place U1 100 100 top 0 (lock_type position))

需要记住的规则:

- “NO_TYPE” 类的线间距映射为 “CLASS NO_TYPE”
- “NO_TYPE” 类的线宽映射为 “CLASS phy_No_Type”
- 如果线宽线间距为同名, 则 Net_Spacing type 映射为 “CLASS sp_Netspacingname_Type”
 - 如: Net Spacing type property = clock, Net physical property = clock
 - 映射到 Specctra 相应为 classes _sp_clock_type, clock
- 所有其它线宽线间距映射为带相应名称的 CLASSES
- 区域中的过孔表无法映射
- 带高度限制的 Place Keepouts 只映射为 Place Keepouts
- Set pre_12.0_delay_rule to transfer net level delays
- Shielding net properties in Allegro carry a user_defined property of “Shield”

4.4 不能带入 PCB Router 的规则说明

前面提到的 **Area Property** 设置的规则均不能带到布线器中。有些时候我们需要在 PCB 上设置一些特殊的区域，在这个特殊的区域中有对某些信号线进行特殊的设置。比如：PCB 上通常使用的 Via 都是 0.254mm 的孔径，外焊盘是 0.635mm，当我们使用间距是 1mm 的 BGA 封装的时候，在 BGA 内部根本放不下这么大的过孔，这时就应该设置区域，将这个区域内设定使用的 Via 是 0.2mm 的孔径，外焊盘是 0.5mm，可能同时，线宽在这个区域内也要由 0.2032mm 设置成 0.1524mm。但是，由于我们设置的这个区域规则并不能带到 PCB Router 中，所以，对于今后使用设置区域时候要慎重，可以考虑不设置区域，或者设置区域的部分手工将线引出来。

还有些规则也不能从 PCB Editor 带入到 PCB Router，如：对层的使用设置在 PCB Editor 中允许而 PCB Router 不认；对有些信号线必须走在某一特定的层上，一种解决方法是用两个并列设计：

- 是 PCB EDITOR 中的设计 (gold)。
- 是 PCB Router 中为自动布线更改规则的设计 (silver)

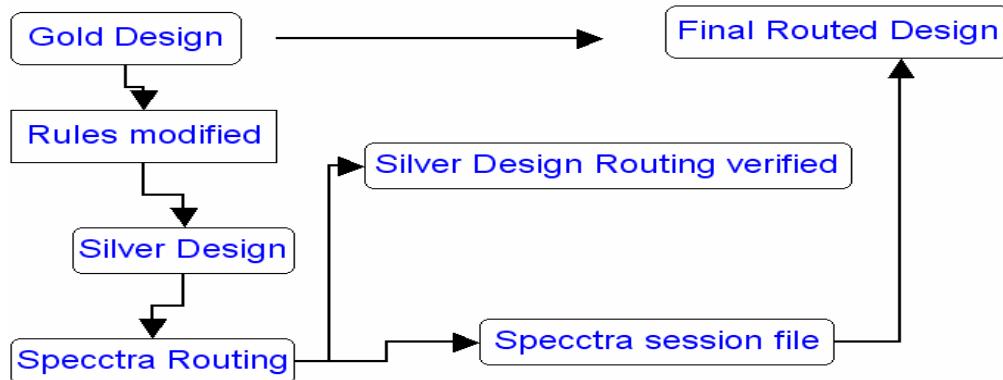


图 4-11 Host (PCB EDITOR) - PCB Router 设计流程 Gold / Silver

1. 不能映射的间距特性

- 在用户自定义区域内设置Class-to-Class rules
- 在14.2版本中设置的Secondary max separation , Secondary length。
- 对Shape-Object 其间距映射后为0。
- Odd angle areas adjusted in Specctra to Rectangles (Warning)。
- 最小的埋盲孔间距是中心到中心，而 PCB Router 是边到边。
- 在15.0 版本PCB Editor无法设置内层的差分间距，但在PCB Router中用rules的 class_layer可进行设置。

2. 不能映射的物理特性

- Min Neck width

- Max Neck Length
- 过孔表不能转换到Specctra region
- Pad-to-Pad 直接连接映射后为 Via_at_smd [on]

3. 不能映射的电气特性

- Impedance is an absolute width on each layer
- Max overshoot
- Max noise margin
- Min First Switch
- Max Final Settle
- Max SSN
- Crosstalk Ignore Nets

第五章 布线前期准备和扇出

5.1 前期准备

5.1.1 布局优化

常规设计中，一般先在 PCB EDITOR 中完成对整个单板的布局完成调整，再进入 PCB ROUTER 自动布线器进行自动布线。在 PCB Router 中也可以对元件进行布局优化，如放置在 BGA 背面的去耦电容可能会使自动布线时 BGA 的管脚无法扇出，布局优化时可把这些电容移开。

在进行布局调整之前需要确认当前的模式是不是 **Place Mode**，即工具栏图标 “” 是不是处于选中状态。

手工调整布局的常用命令如下：

- 移动元件。工具栏图标 ，可以移动一个或者一组元件，右键cancel可以取消。
- 推挤元件。工具栏图标 ，可以对于电阻和电容等小器件进行紧密地推挤排列。
- 旋转元件。工具栏图标 ，可以对元件进行旋转。
- 元件换层。工具栏图标 ，可以对元件进行换层放置，还可以自动做Alt Symbol
- 对齐元件。工具栏图标 ，将元件对齐，但前提是元件的Placement不能有overlay，即不能存在DRC错误，否则无效。

由于在PCB Router中元件不能显示其丝印，元件在移动的过程中有可能丝印会叠放到一起。所以当布局需要大的调整的时候，建议在PCB Editor中进行布局调整，这样的话在今后的Valor检查中就会少报一些元件与元件之间过近的错误了。

5.1.2 自动布线密度评估

在布局优化时，可以对板的布线密度进行评估，然后可以根据密度评估状态进行布局调整。在进行布局和布线的密度评估之前需要确认当前的模式是不是 **Place Mode**，即工具栏图标 “” 是不是处于选中状态。评估布局和布线的密度一般使用两个菜单命令：**AutoPlace=》Crossing Histogram** 和 **AutoPlace =》 Density Analysis**。前一个命令的效果入下图所示：

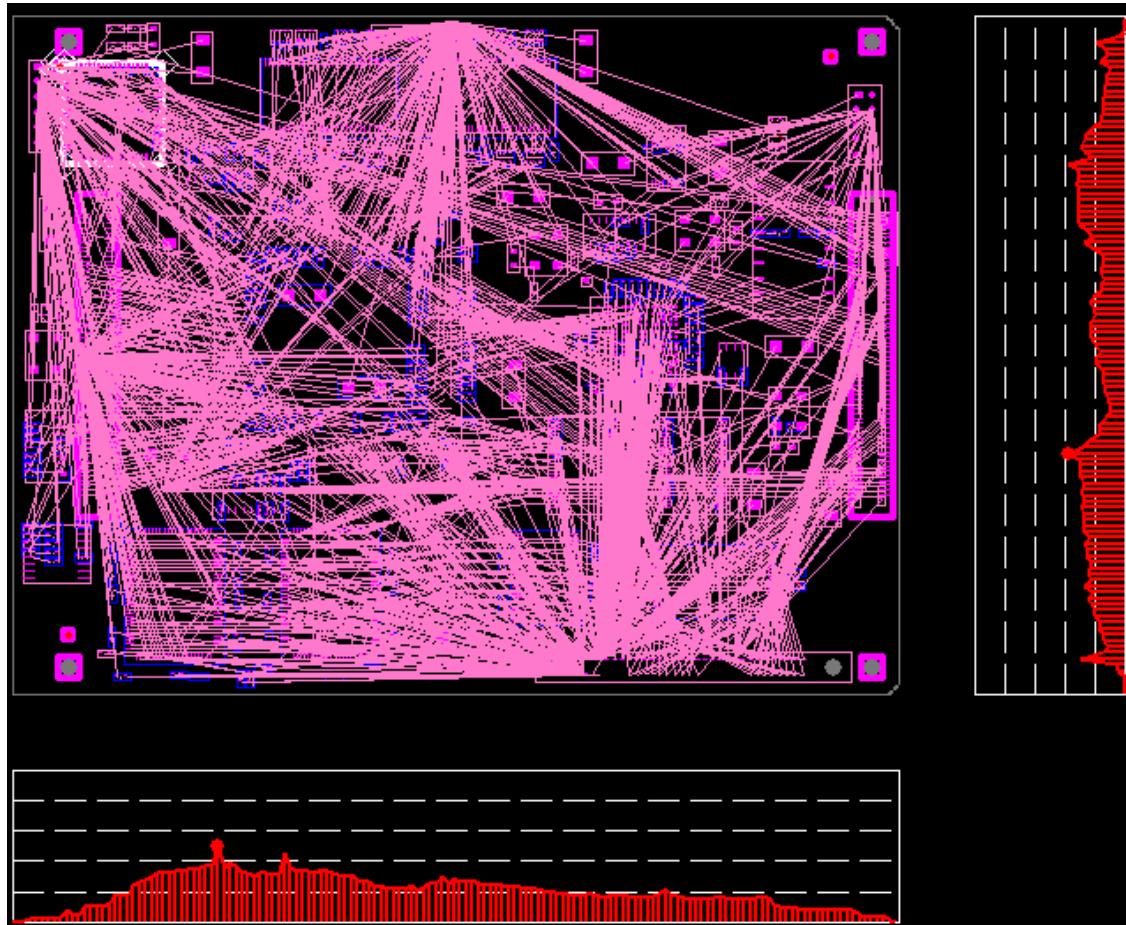


图 5-1 柱状图显示的情况

另一种是以颜色来区分密度效果的，其显示如下图所示：

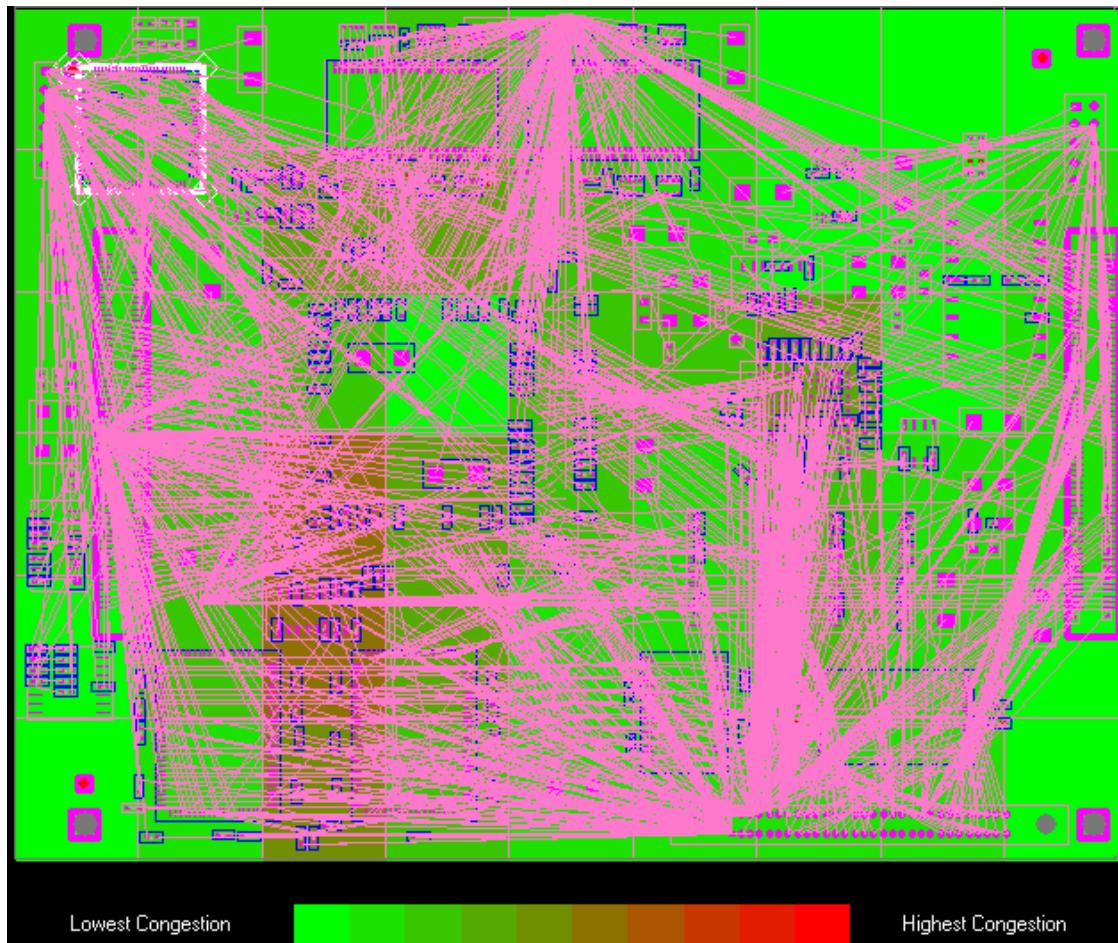


图 5-2 色阶图显示的情况

对于上面两种评估的方法可以查到有局部走线密度较大的情况，如果可以改善的话，就尽量通过调整布局将元件的密度拉小一点，使布线的密度尽量的均匀，通过自动布线的成功率和效率。

5.1.3 关键信号手工布线

布局优化后，还需要进行一些先期工作，这些内容包括：

- 电源线宽规则的设定
- 电源层设置为动态，对关键电源铺铜：
 - 对平面层的 SHAPE 优化：打开 Plane Layer 设置 Shape Type 为动态；
 - 选择 Shape--Change Shape Type: to dynamic copper
 - 这样在自动布线时会避免平面分割报错；
- 对关键信号和高密度不易自动布线的网络应先手动布线
 - 采用手动布线有助于自动布线工具完成布线工作，通过对挑选出的网络(net)进行手动布线并加以固定，可以形成自动布线时可依据的路径。

无论关键信号的数量有多少，首先对这些信号进行布线，手动布线或结合自动布线工具均可。

关键信号通常必须通过精心的电路设计才能达到期望的性能。布线完成后，再由有关的工程人员来对这些信号布线进行检查，这个过程相对容易得多。检查通过后，将这些线固定，然后开始对其余信号进行自动布线。

- 分配自动布线的优先级

在高速数字电路中，一般都有布线的优先级要求

(EDIT PROPERTY -- ROUTE_PRIORITY) 如对数字电路板而言，可按如下顺序进行自动布线：

差分线→晶振和时钟线→总线→其他关键信号（如 reset）和高速信号→一般信号

手工布线主要使用下面的一些命令或者工具栏菜单：

- 走线命令。工具栏图标 。
- 移动线的命令。工具栏图标 ，可以对走过的线进行调整。
- 剪切和删除的命令。工具栏图标  ，这两个命令通常结合在一起使用，可以对走过的线进行局部剪切和删除等操作。
- 调整线宽。走线时点击右键菜单选择“**Use width...**”或者 **Change=> Change wire width mode** 即可，区别是：前者是走线过程中使用，后者是走线之后使用。
- 更换 Via 孔径。点击右键菜单选择“**Change=> Change via mode**”，在弹出的窗口中选择需要的 Via 列表，然后再点击需要更换的 Via 即可。

固定已经走过的线。为了防止自动布线的过程中可能会将手工布线进行不期望的调整，需要将这些手工布线加上 Fix 属性，这一般都要在 PCB Editor 中进行设置，在 PCB Router 中进行设置仅能当次有效。

5.2 扇出(Fanout)

5.2.1 概述

扇出是自动布线过程中非常关键而重要的一个环节，它直接影响着后续自动布线的布通率和整个设计布线的质量，如电路的电气特性、板子的可制造性和可测试性。扇出根据过孔格点的设置在 SMD 焊盘附近放置过孔，并在焊盘和过孔之间产生一小段的引线，自动布线器利用这些引线和过孔进行后续的自动布线。从一些实践经验来看，设计中有 4 个或更多信号层时使用扇出对布线器有很大帮助，只有 1 个或 2 个信号层时最好不要使用。

5.2.2 缺省的扇出操作

使用缺省的扇出操作很简单，点击菜单【Autoroute→Pre Route→Fanout...】，出现的对话框选择 OK，如图 5-3 所示。等同的命令：

```
fanout 1 (direction in_out) (location anywhere) (max_len -1) (pin_type power) (pin_type signal)
(pin_share off) (via_share off) (smd_share off) (share_len -1)
```

通常我们要更改对话框的参数如 Passes、Max length、Sharing 等，以满足不同设计的需要。

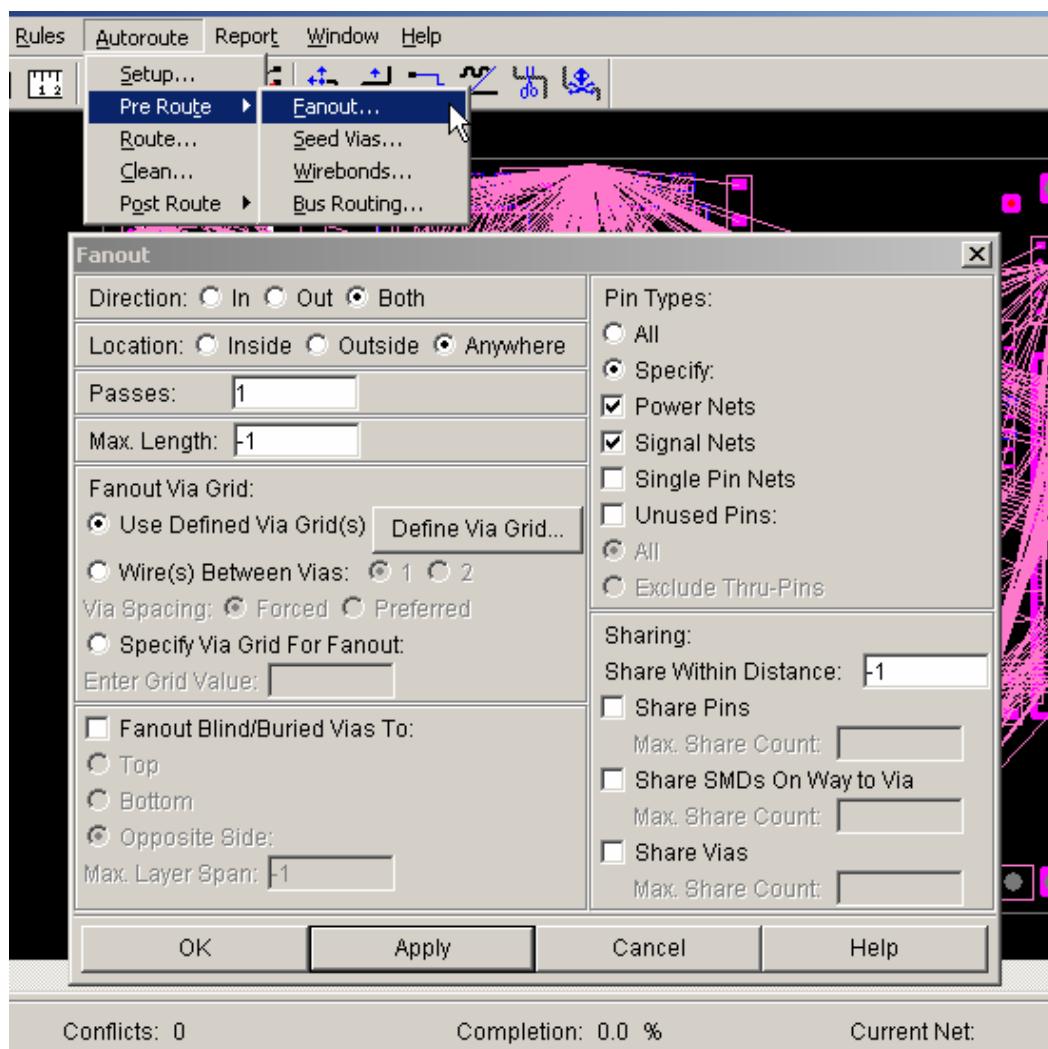


图 5-3 Fanout Form

5.2.3 扇出命令语法和窗口详细介绍

PCB Router 布线器只对选中的元素进行扇出，这些元素可以是 components、nets、pins 和 fromtos 中之一或它们的任意组合。如果没有任何元素被选中，布线器就会尝试扇出设计中所有 pin types 指定的 pins，因此在执行扇出命令前，务必要检查选中的元素。

扇出的命令语法如下图 4-4-2 所示，根据语法图我们可以写出很多的扇出命令。前面也给出了缺省扇出时的命令，你也可能会见到下面的扇出命令：

fanout

fanout (direction out) (location outside)

fanout (pin_type all)

fanout (smart_via_grid two_wire_between)

fanout (smart_via_grid one_wire_between preferred)

fanout (via_grid .025)

复杂一点的：

fanout (pin_type unused (exclude_through_pins))

fanout (pin_type signal) (via_share_on (maximum_connections 2))

fanout (depth opposite 2) (share_len .5)

fanout 3 (direction in_out) (location anywhere) (max_len -1) (pin_type power)

(pin_share_off) (via_share_on (maximum_connections 4)) (smd_share_on

(maximum_connections 4)) (share_len 200)

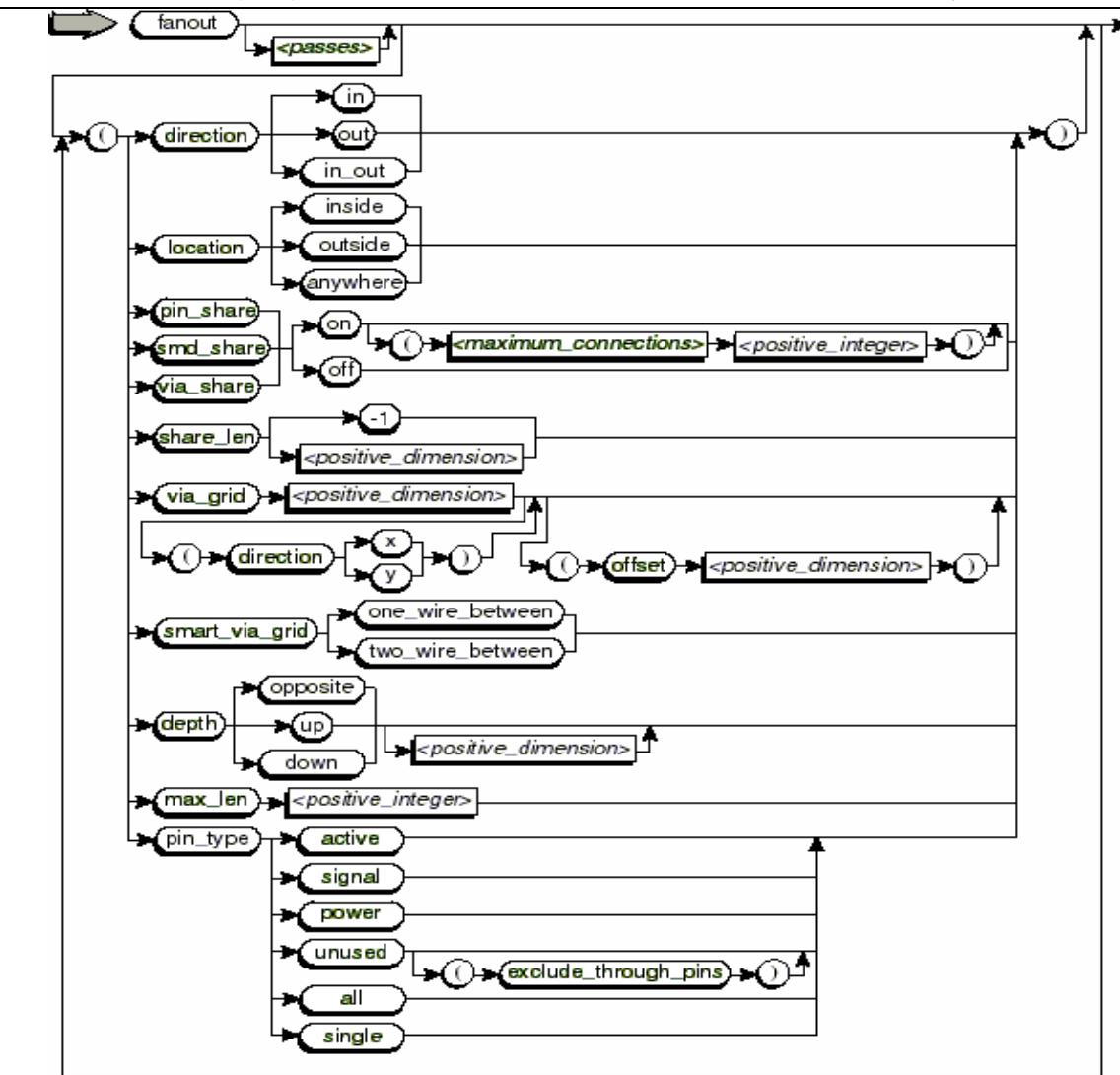


图 5-4 Fanout Syntax

如果想知道上面的每一项是什么意思，起什么作用，请查看关于 fanout 部分的帮助。以下给出一些常用参数的说明：

- Direction:** 相对于器件 pin 的 outline 来说扇出引线和孔的方向，**in** 表示里边，**out** 表示外边；
- Location:** 相对于器件的 boundary 来说扇出引线和孔的方向；
- Passes:** 填入的值为布线器扇出的次数，在扇出的中间过程允许有冲突存在，但最后一遍结束时将消除所有的扇出冲突。推荐扇出 5 遍；
- Max Length:** 最大引线长度(从 pin 中心到 via 中心)，缺省 -1 表示引线长度没有限制；
- Grids for Fanout:** 过孔的临时格点(只在扇出时起作用)。Use defined via grids 自定义过孔的格点，也可以选中 wires between vias，让布线器自己计算允许过孔之间穿 1 或 2 根线的格点。在扇出一些 pin 间距很小的器件时，要设定一个合理的过孔格点，以便扇出后布线通道不会被阻塞，否则如果使用缺省的格点扇出，结果会很不理想，如图 4-4-3 所示。

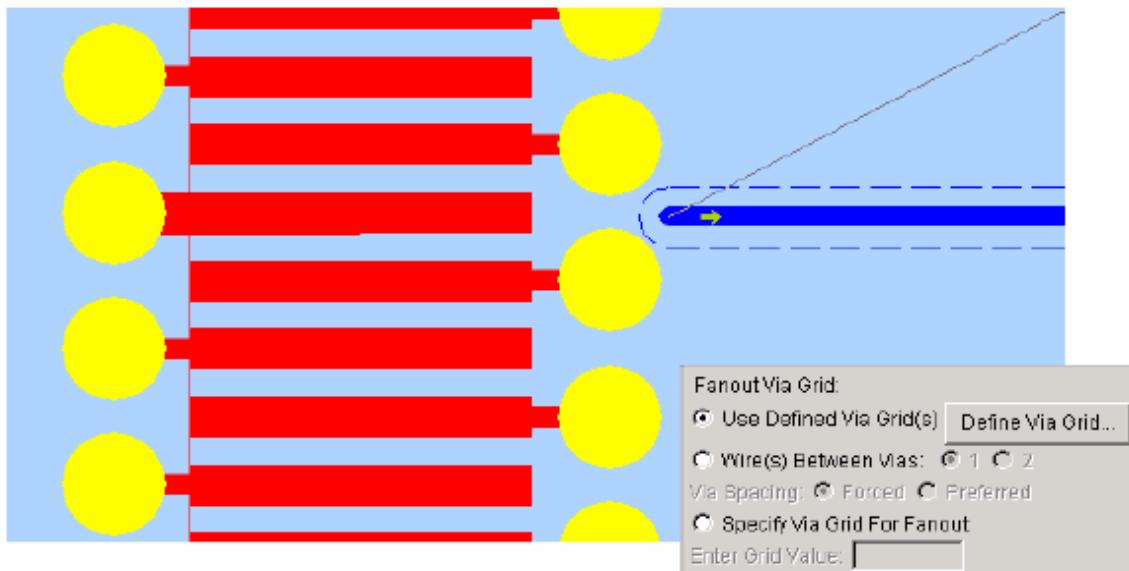


图 5-5 使用缺省格点的设置扇出结果

- **Share within Distance:** 设置相同网络名的 pins 和 vias 共享时引线的最大长度。缺省 -1 表示最大共享引线长度为 5.08mm (200mils), 0 表示不设置最大共享引线长度。图 4-4-4 是三种共享方式的示意图;

- 1、Share pins:** 扇出时引线到通孔(through-pins), 前提条件时扇出引线到通孔的代价(cost)比使用一个过孔的代价小;
- 2、Share SMDs on way to via:** 相同网络名的 SMD pins 先连线, 再由一个 pin 引线打过孔;
- 3、Share Vias:** 相同网络名的 SMD pins 之间连线中间打过孔;

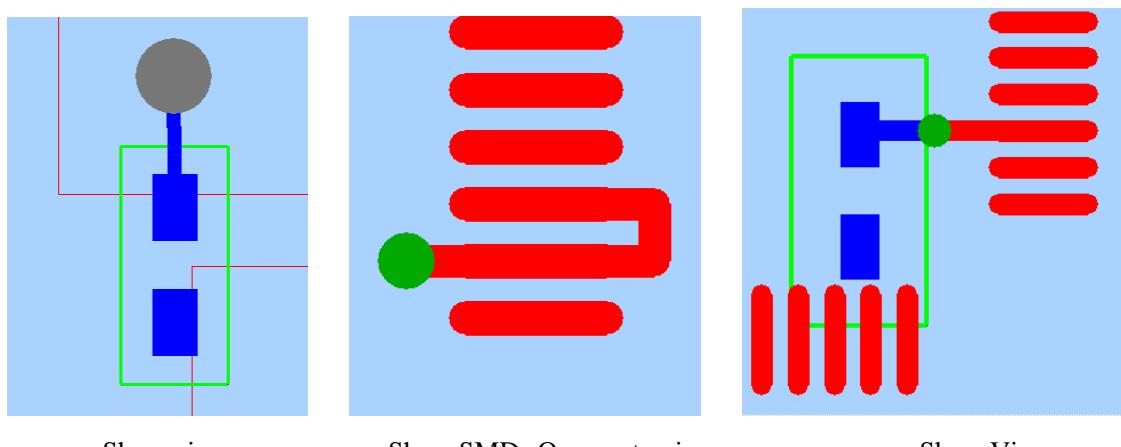


图 5-6 三种共享方式

注意: 当最大共享数目不设置, 则允许共享任意数目。

5.2.4 影响扇出结果的一些因素

除了上面所说的一些参数设置外, 还有三个对扇出结果影响比较大的因素:

5.2.4.1 电源网络扇出规则

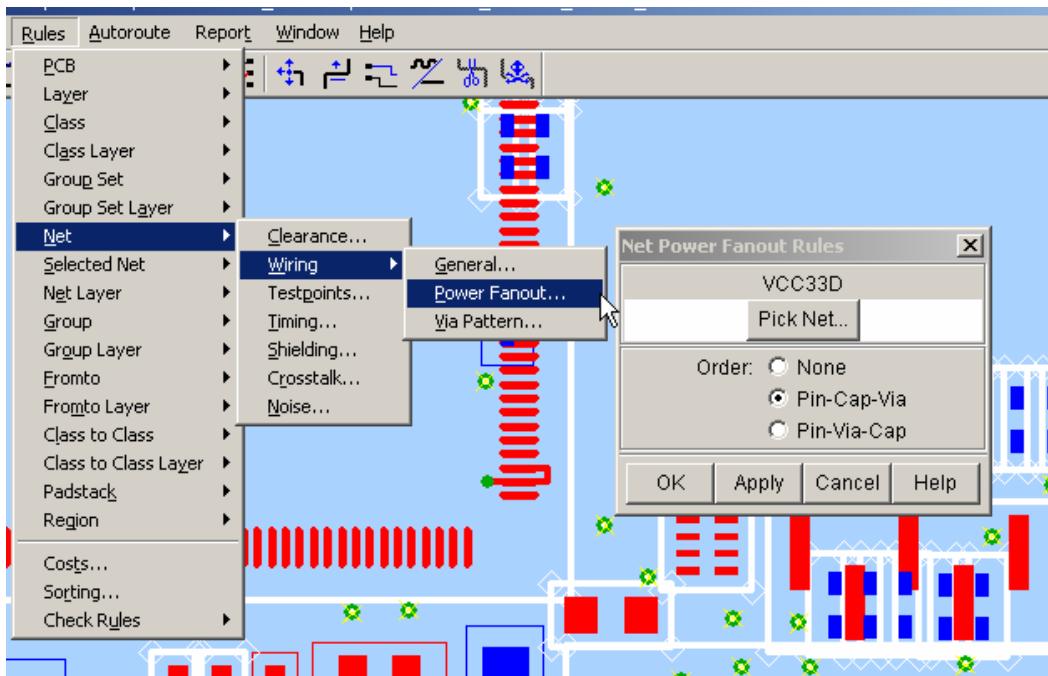


图 5-8 Power Fanout

通过图 4-4-5 所示的菜单操作设定，也可以通过如下命令设定：

```
rule net VCC33D (power_fanout (order pin_cap_via))
```

使用电源网络扇出规则是为了控制大器件、退耦电容和过孔三者的连线顺序：

- None：删除已经存在的电源扇出规则；
- Pin-Via-Cap：连线顺序为“大器件→过孔→退耦电容”。
- Pin-Cap-Via：连线顺序为“大器件→退耦电容→过孔”；

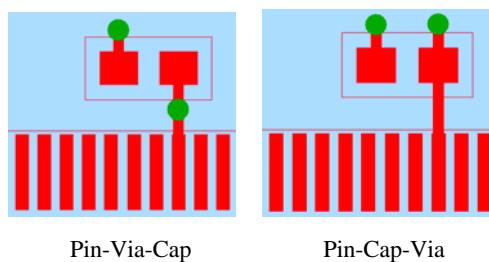


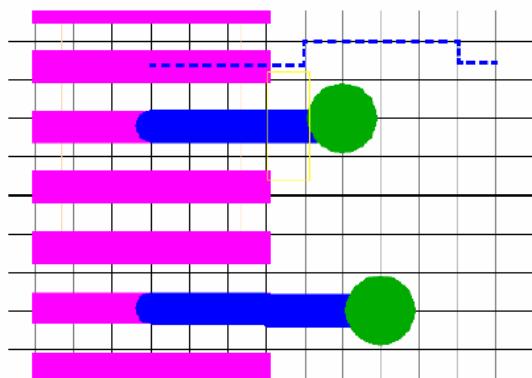
图 5-9 Sharing Vias

在 PCB Router 中，器件是“大”还是“小”是可以定义的。大器件一定要有 4 个或更多的管脚，并且其器件属性为“large”。操作方法是【Define→Properties→Component...】。退耦电容必须是 2 个管脚的器件，其一端连接到电源，另一端连接到地，并且其器件属性为“capacitor”。

上面的例子是单根 net 的电源扇出规则设定，同样在 pcb、class 里也可设定。扇出顺序要根据具体的设计来定。

5.2.4.2 控制最小扇出距离

在扇出 pin 间距较小的类似于 QFP 器件时, 为了防止扇出的过孔离管脚过近, 有必要设定一个最小扇出距离值。如图 4-4-7 所示, 一旦在一个离管脚很近的地方放置一个过孔, 因为没有足够的空间, 其上下相邻的管脚就很难再从这个方向引出线来。设定一个 `smd_via_same_net` 规则(相同网络名的 `smd pin` 和 `via` 间距)可以很好地控制最小扇出距离。



`rule pcb (clearance 0.381 (type smd_via_same_net))`

图 5-10 控制最小扇出距离

5.2.4.3 控制管脚扇出的方向

给器件或封装的管脚赋上 `exit_direction` 属性后, 就可以控制管脚的出线方向:

- Left and Right: X 方向的左和右;
- Top and Bottom: Y 方向的上和下;
- Up and Down: Z 方向的上和下(相对于邻近层)。

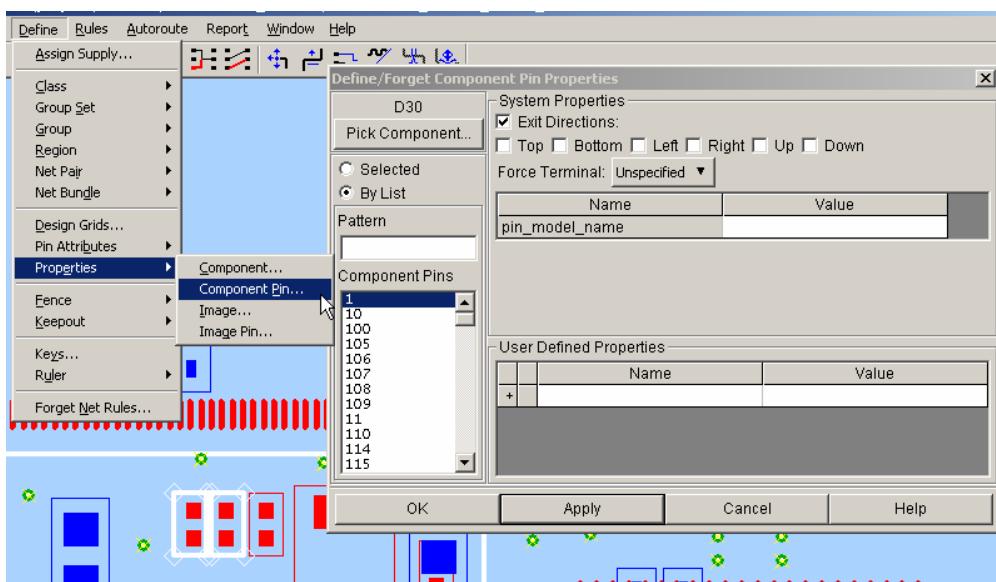


图 5-11 Pin Exit Directions

5.2.4.4 电源和地网络的扇出

使用电源网络扇出规则(Power fanout rule)扇出电源和地管脚，包括大器件(如 QFP,PLCC 等)和小分立器件(如电阻、电容、电感、二极管、三极管等)的；电源和地的扇出规则一致时，就可以同时扇出它们，如果不是就要分别扇出。实际操作中常用的有两种方法：

- 方法一：选中所有的电源和地网络扇出；
- 方法二：选中大器件的电源和地扇出，然后不选过孔，选择小分立器件进行共享过孔的扇出。

另外设定一个比较小最大引线长度值，使得尽量多的 pin 通过较短的引线扇出，后续扇出的最大引线长度依次递增。这样做的目的是尽量缩小引线长度，举例说明：

```
fanout 4 (direction in_out) (location anywhere) (max_len 1.27) (pin_type power)
(pin_share on (maximum_connections 2)) (via_share on (maximum_connections 2))
(smd_share off) (share_len -1)

fanout 4 (direction in_out) (location anywhere) (max_len 2.54) (pin_type power)
(pin_share on (maximum_connections 2)) (via_share on (maximum_connections 2))
(smd_share off) (share_len -1)

fanout 4 (direction in_out) (location anywhere) (max_len 5.08) (pin_type power)
(pin_share on (maximum_connections 2)) (via_share on (maximum_connections 2))
(smd_share off) (share_len -1)
```

操作完毕之后，查看一下扇出的效果，肯定会有些不尽如人意的地方，这时你可以选择交互布线，手工进行优化。优化完毕之后最好能把电源和地扇出线锁定(fix)起来，使之不会被后面的扇出和布线操作所破坏。

5.2.5 其他信号的扇出

5.2.5.1 扇出 BGA

对于 BGA，选择缺省扇出就可以做得很好了，这时扇出的 pin types 为 power nets 和 signal nets。但在有些情况下(为了方便调试、测试或其他原因)你可能希望扇出 BGA 的所有管脚，这在 PCB Router 中也很容易做到，只要在扇出时选择 pin types 为 all 就行了，扇出结果如下图 5-12 所示。

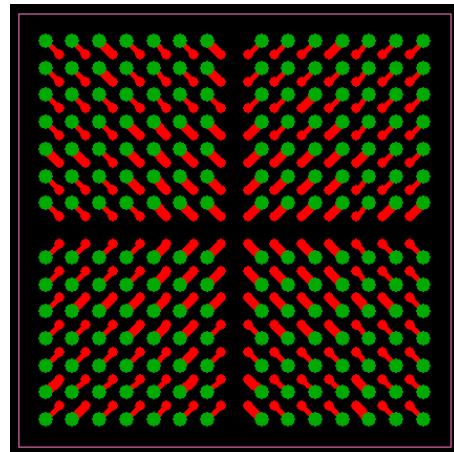


图 5-12 Fanout BGA

5.2.5.2 扇出 QFP、SSOP、PLCC、DISCRETE 等类型器件

扇出这些类型的器件，要根据具体的情况来设计扇出过孔的格点、方向、位置等。如果器件管脚比较密集(如 pin 间距 0.5mm)，可以设置过孔的格点为允许穿一根线，并设置一个合适的最小扇出距离 (smd_via_same_net)。

PLCC

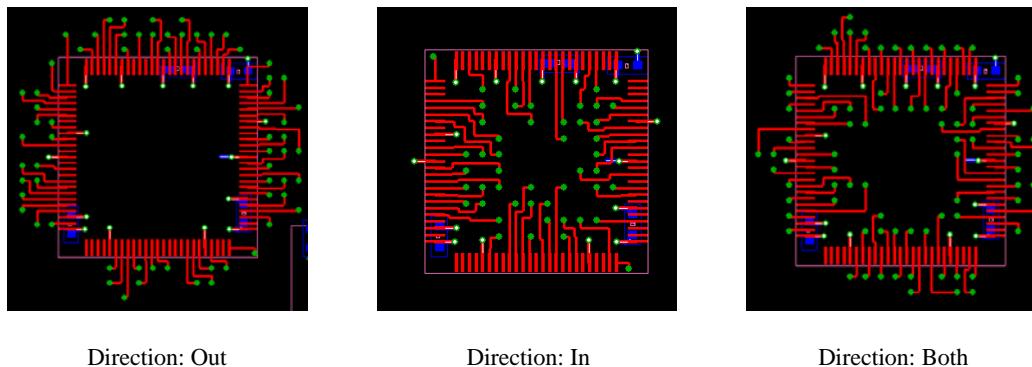


图 5-13 Fanout PLCC

SSOP

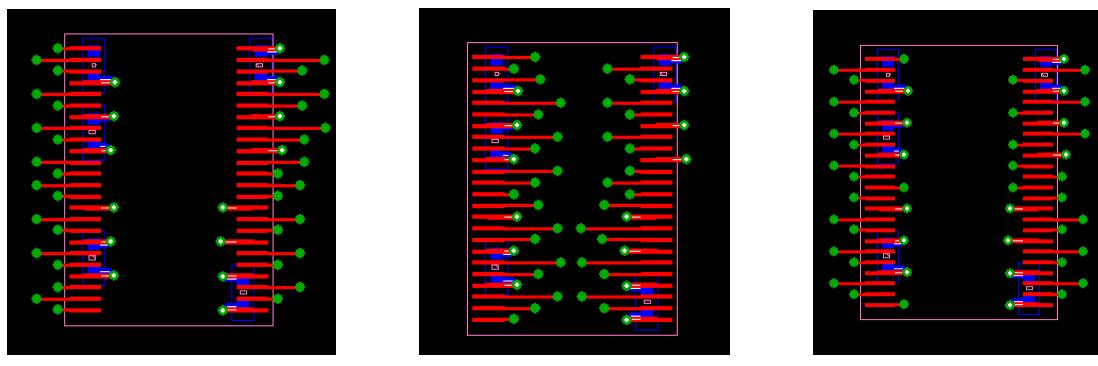


图 5-14 Fanout SSOP

最后是 DISCRETE 器件(电阻、电容、排阻等), 扇出这类器件时, 最好设置一下 share vias 和 share pins, 因为在此之前扇出一些大器件的过程中, 已经产生了一堆过孔, 设置共享以后这些 DISCRETE 器件有的就不用再打过孔, 而是直接连到以前产生的过孔上, 从而可以有效地节省布线的空间。

5.2.6 查看和报告

查找没有扇出的 pins, 使用交互布线工具手工扇出。有三种方法可以找出没有扇出的 pin:

- Highlighting, 菜单操作【View→highlight→SMD pads without fanout】。
- Reporting, 菜单操作【Report→specify...→ Pins Without Fanout Vias】。
- Visiting, 菜单操作【View→visit...→SMD】。

5.2.7 扇出实例

用 PCB Router 打开本教程的例子 demo.dsn, 调入初始化规则约束文件 demo_rule.do(包括物理约束和电气约束), 打开以后就是和图 4-4-12 差不多的样子 (红色为 TOP 层, 蓝色为 BOTTOM 层)。可以看出板子尺寸虽然小, 但其中的器件及其类型还是蛮多的, BGA、QFP、SOP、PLCC、DISCRETE、CONNECTOR 等类型的器件都有。而且有 4 对 IC 器件是正反贴, 因此要做好这个设计的扇出还是有点难度的。

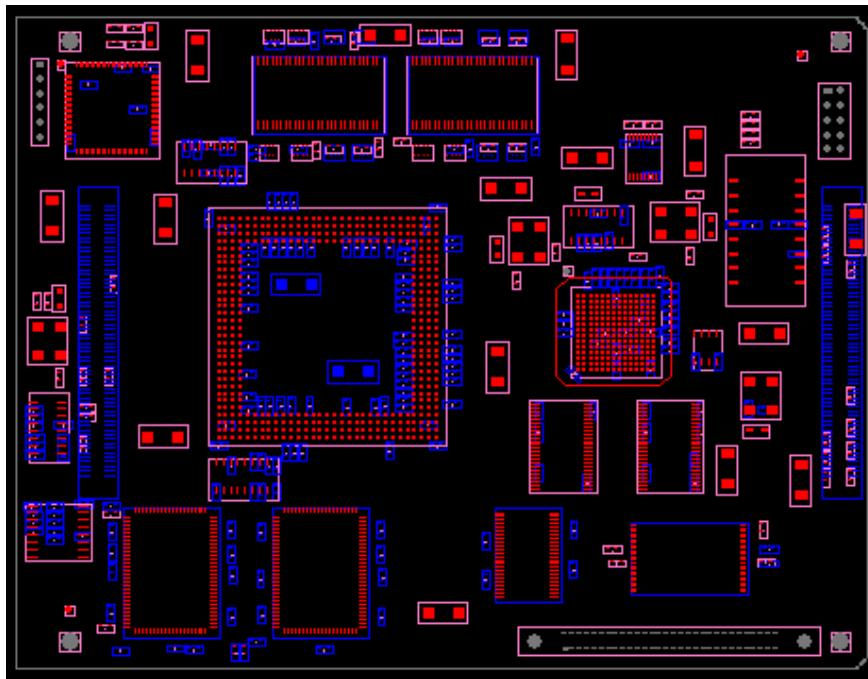


图 5-15 demo

下面就一步一步来扇出它:

- 首先设置好扇出的约束, 如 smd_via_same_net、smd_to_turn_gap、tax 等:

```
rule PCB (clearance 0.762 (type smd_to_turn_gap))
```

```
rule pcb (clearance 0.381 (type smd_via_same_net))
```

- BGA：使用缺省扇出即可。不过扇出前要挪开 BGA 下面的器件，BGA 扇出完以后再将他们放进来。别忘了将这些扇出线和孔保护起来。
- 电源和地：这里选用前面所述的第二种方法，即：先选大器件的电源和地扇出，然后选择小分立器件，不选择任何过孔，进行共享过孔的扇出。进行共享过孔扇出时用到了两个参数：side_exit、off_center，设置适当的值可以控制引线和孔的方向。完毕之后手工进行修整，然后保护。
- 其他信号：采用最大引线长度依次递增的方式，设置过孔之间允许穿一根线，扇出方向为任意，如：

```
fanout 4 (direction in_out) (location anywhere) (max_len 1.524) (pin_type signal)
(pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid
one_wire_between forced)
```

在 PCB Router 中你也可以把上面的步骤写成 do 文件，然后调用就行了。后面附录部分给出了 fanout_power.do 和 fanout_signal.do 这两个文件的内容。扇出结果如下图所示（只截取了部分器件）：

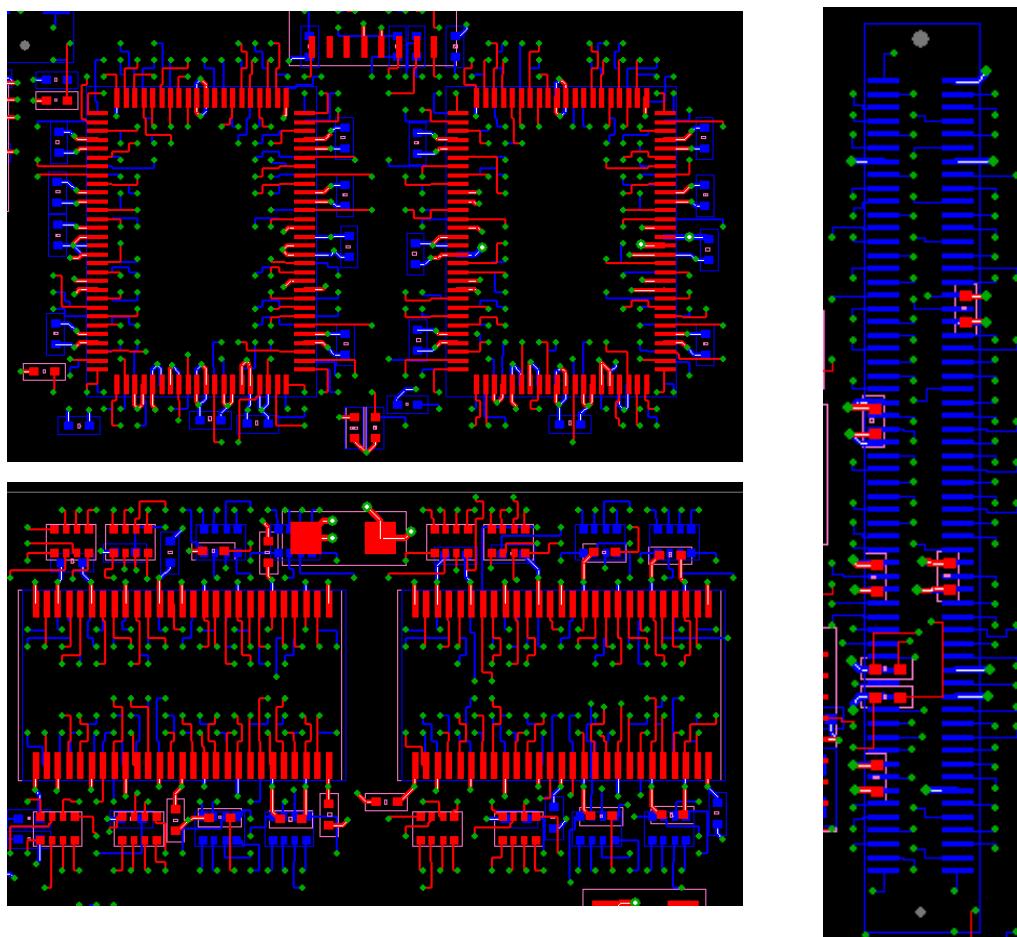


图 5-16 扇出结果（部分截图）

5.2.8 附录：do 文件

```
# ****
# fanout_power.do
#
rule pcb (power_fanout (order pin_via_cap))
rule pcb (limit_bend 2)
rule pcb (junction_type term_only)
rule PCB (clearance 0.762 (type smd_to_turn_gap))
rule pcb (clearance -1 (type smd_via_same_net))
unselect all objects
select all vias
rule pcb (clearance 0.381 (type smd_via_same_net))
select all pins (layer TOP)
fanout 3 (direction in_out) (location anywhere) (max_len -1) (pin_type power)
(pin_share_on (maximum_connections 2)) (via_share_on (maximum_connections 2))
(share_len 2.54) (smart_via_grid one_wire_between forced)
unselect all objects
cost side_exit 0
cost off_center 100
unselect all vias
select all pins (layer BOTTOM)
fanout 3 (direction in_out) (location anywhere) (max_len -1) (pin_type power)
(pin_share_off) (via_share_on (maximum_connections 4)) (smd_share_on
(maximum_connections 4)) (share_len 5.08)
unselect all objects
select all vias
fanout 3 (direction in_out) (location anywhere) (max_len -1) (pin_type power)
(pin_share_off) (via_share_on (maximum_connections 4)) (smd_share_on
(maximum_connections 4)) (share_len 5.08)
miter 3
```

```
cost side_exit -1  
cost off_center -1  
  
# -----  
  
# fanout_signal.do  
  
# -----  
  
rule pcb (limit_bend 2)  
rule pcb (junction_type term_only)  
rule PCB (clearance 0.762 (type smd_to_turn_gap))  
rule pcb (clearance 0.381 (type smd_via_same_net))  
set dynamic_pinswap on  
set swap_fanouts on  
tax squeeze 0.3  
  
fanout 4 (direction in_out) (location anywhere) (max_len 1.524) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)  
  
fanout 4 (direction in_out) (location anywhere) (max_len 2.54) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)  
  
fanout 4 (direction in_out) (location anywhere) (max_len 3.048) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)  
  
fanout 4 (direction in_out) (location anywhere) (max_len 3.81) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)  
  
fanout 4 (direction in_out) (location anywhere) (max_len 5.08) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)  
  
fanout 4 (direction in_out) (location anywhere) (max_len 6.35) (pin_type signal)  
    (pin_share off) (via_share off) (smd_share off) (share_len -1) (smart_via_grid  
    one_wire_between forced)
```

```
fanout 4 (direction in_out) (location anywhere) (max_len -1) (pin_type signal)
(pin_share off) (via_share off) (smd_share off) (share_len -1)
```

```
tax squeeze -1
```

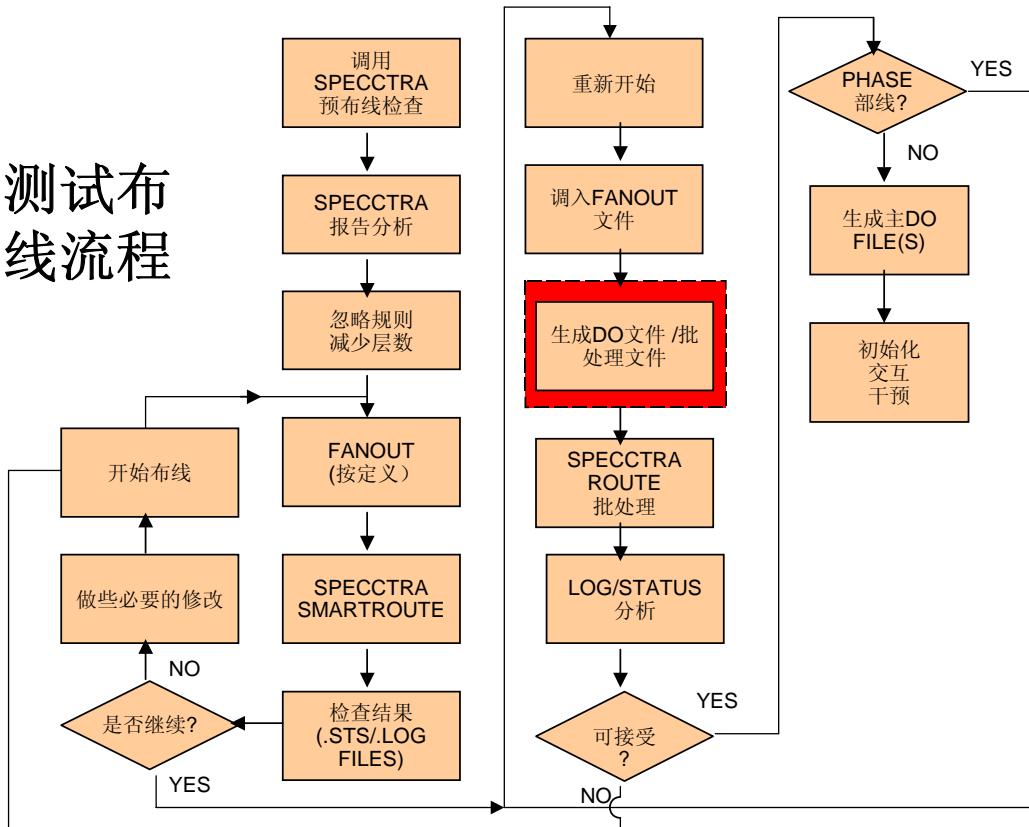
```
# -----
```

```
# *****
```

第六章 测试布线

6.1 测试布线的流程图

测试布线流程



6.2 测试布线的策略

此阶段可设置不同的 DO 文件来测试不同的布线策略。使用 5 PASS ROUTE（即“5 遍走线”）原则进行批处理，将会帮助你确定哪种策略最适合你的单板设计，即使没有太多的经验，也可以快速测试出正确的策略。

为充分利用时间和节约人力，测试布线的几种策略文件可做成布线器的批处理文件，交由后台操作（仅对 UNIX 或 DOS）。

```

specctra test_route.dsn -do test1.do -nog -quit
specctra test_route.dsn -do test2.do -nog -quit
specctra test_route.dsn -do test3.do -nog -quit

```

上述命令是对名为 `test_route.dsn` 的 PCB 分别用策略文件 `test1.do`, `test2.do` 和 `test3.do` 依次进行测试布线并生成相应结果后退出。

以下是三个测试布线的 DO 文件：

```
### test1.do  
#####  
do $/test_route_rules.do  
##### set the test influences  
unselect layer INNER1  
unselect layer INNER2  
unselect layer INNER3  
unselect layer INNER4
```

unit mil

```
read wires $/fanout.w  
fix net orphan_net
```

unsel all objects

route 5

```
write session $/test1.ses  
write wire $/test1.w  
report status $/test1.sts
```

```
### test2.do  
#####  
do $/test_route_rules.do  
##### set the test influences
```

```
#unselect layer INNER1  
#unselect layer INNER2  
unselect layer INNER3  
unselect layer INNER4
```

```
unit mil  
grid via 0  
grid wire 0  
read wires $/fanout.w  
fix net orphan_net
```

```
unsel all objects
```

```
route 5
```

```
write session $/test2.ses  
write wire $/test2.w  
report status $/test2.sts
```

```
### test3.do  
#####  
do $/test_route_rules.do  
##### set the test influences  
#unselect layer INNER1  
#unselect layer INNER2  
#unselect layer INNER3  
#unselect layer INNER4  
unit mil  
grid via 0  
grid wire 0  
read wires $/fanout.w  
fix net orphan_net  
  
unsel all objects
```

```

route 5

write session $/test3.ses

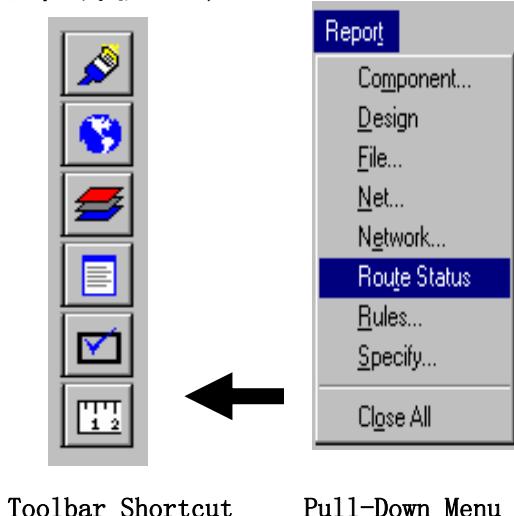
write wire $/test3.w

report status $/test3.sts

```

比较一下可以看出：从策略 1 不选择在所有内层走线到策略 2 选择两层内层走线到策略 3 的可在所有内层走线，上述例子就是试图找出符合要求的最小布线层数。

6.3 自动布线状态表



Toolbar Shortcut

Pull-Down Menu

- 查看状态文件

选择 Report > Status 或者在工具条中选择 Route Status Report 按钮

下面来理解自动布线的两个阶段（初始阶段和收敛阶段），找出相应的解决方案。

	PASS	问题定位
Initial Phase (初始阶段)	1	<ul style="list-style-type: none"> 未连通线/总连线数>2% 冲突数/连线数> 5 (7 max)
	2	<ul style="list-style-type: none"> 冲突减少量/PASS<30% (减少量至少应为两位数)
	3	
	4	

	5	•仍然存在未连通的线 (复杂的设计会有一些)
Converge Phase (收敛阶段)	6 。 。 。 74 75	•在 10 步 ROUTE PASS 或更多步后冲突数未减少 • •冲突仍存在.

在收敛阶段，每经过 10 个 ROUTE PASS，检查其冲突向下减少的趋势。

- 自动布线的状态表的分析判断

初始阶段（开始 5 步布线）

布线第一步结束： 总冲突数 / 连线数 = 5 或更小												
ROUTING HISTORY												
Pass	Name	No.	Cross	Clear	Fail	Unroute	Vias	XTalk	Len.	Red	CPU Time	Total
Route	Route	1	752	163	13	131	134	0	0	0	0:00:07	0:00:07
Route	Route	2	658	104	8	4	169	0	0	16	0:00:13	0:00:20
Route	Route	3	586	57	7	2	189	0	0	15	0:00:15	0:00:35
Route	Route	4	459	37	2	0	221	0	0	22	0:00:17	0:00:52
Route	Route	5	360	9	3	0	245	0	0	25	0:00:17	0:01:09

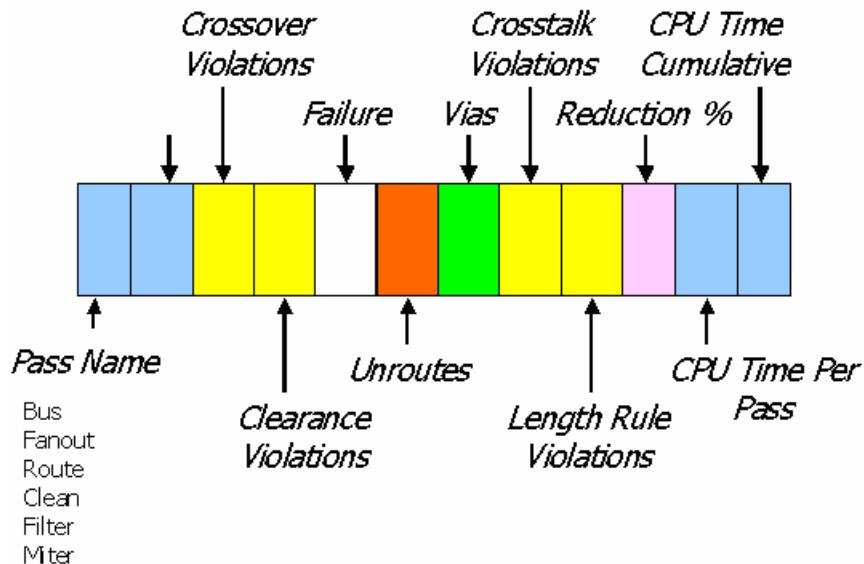
布线第一步结束：
未连通数/连线数 <2%

布线第2步至5步：
降低百分比 = 30% 或更高
未连通数=0

- 收敛阶段（从第 6 步布线）

理解测试布线的结果非常重要，尤其是布线状态文件。前 5 步布线会提供足够的信息，判定布线器将要如何产生影响来减少收敛时间和增加布通率。

状态表中每列参数定义：



我们通过实际布线与曼哈顿长度的比率来评估一块单板的布线质量，这是一个可测值，一般手动布线其比率约为 0.90 到 1.05，而自动布线会略大些。

6.4 测试布线解决方案

复杂和困难的 PCB 设计也许需要几百遍的布线才能完全地布通。通过评估上述状态文件看一看是否需要继续进行 PCB 布线，以及没有完成布线可能的原因和怎样做才能完成布线。

- 第一遍布线冲突太多的原因以及不进行布线

在第一遍布线以后，总的冲突的数量应该很少、每一根连线的冲突少于 5 个、没有布的线的数量应该小于总的连线的 2%。

当状态表中同时有过量的没有布的线和冲突存在，通常需要做下列设计问题检查：

- (2) 检查是否电源地当成信号线来走。
 - (3) 检查设计规则错误或使用了不正确的设计单位。
 - (4) 检查被保护的预布线可能占用了过多的自动布线方向通道。
 - (5) 电源和地线管脚作为信号管脚布线了。
- 冲突不能减少 30% 的原因

在第二到第五遍布线期间，每一根连线都被撤消并重布(Ripped up)和重新布线(Rerouted)。

在这四遍布线中典型的情况是冲突比前一遍布线时减少 30%。如果不是，原因可能如下：

- (6) 检查是否有未选的层或设置了不正确的 layer bias。
- (7) 检查因为缺少扇出过孔的区域使 SMD 器件管脚无法出线。
- (8) 找出 PCB 上比较拥挤的区域，做些布局微调。

(9) 增加布线资源（更多的层，更小的过孔，更小的布线格点）。

- 在五遍布线以后不布线的原因

在初始的 5 遍布线以后，如果还有没有布的线存在，这些未布的线在以后的收敛阶段也不能完成，则可能由下面原因引起：

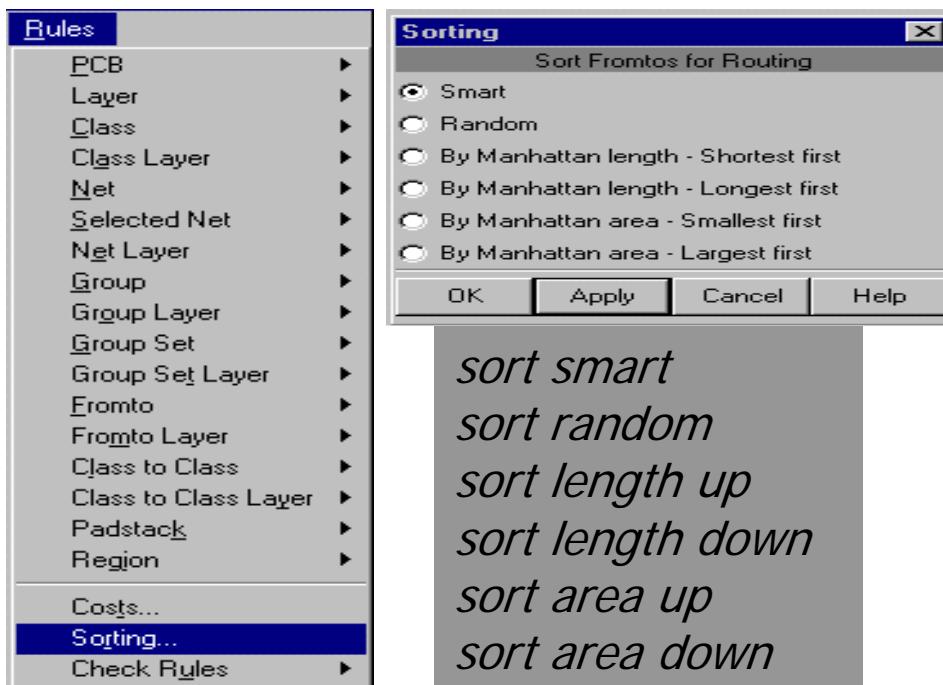
(10) Keepouts 区域内有管脚或管脚在 PCB 板框外

(11) 元件管脚重叠

- 在测试布线 5 步 ROUTE PASS 后

有大量的长直线未布通，则可用 sort length down option 来优先走这些线；如有大量的斜线未布通，则可使用 sort area down option；

如果不设置，系统默认为“SMART”即按阻塞情况来确定走线顺序的。



- 长时间布线的原因

如果在每一遍布线中，全自动布线器试图布一根没有布的线并且失败了、布的很慢，花费很长时
间，这也许由以下原因引起：

(12) 全自动布线器需要更多的内存

(13) 焊盘中使用了多边形

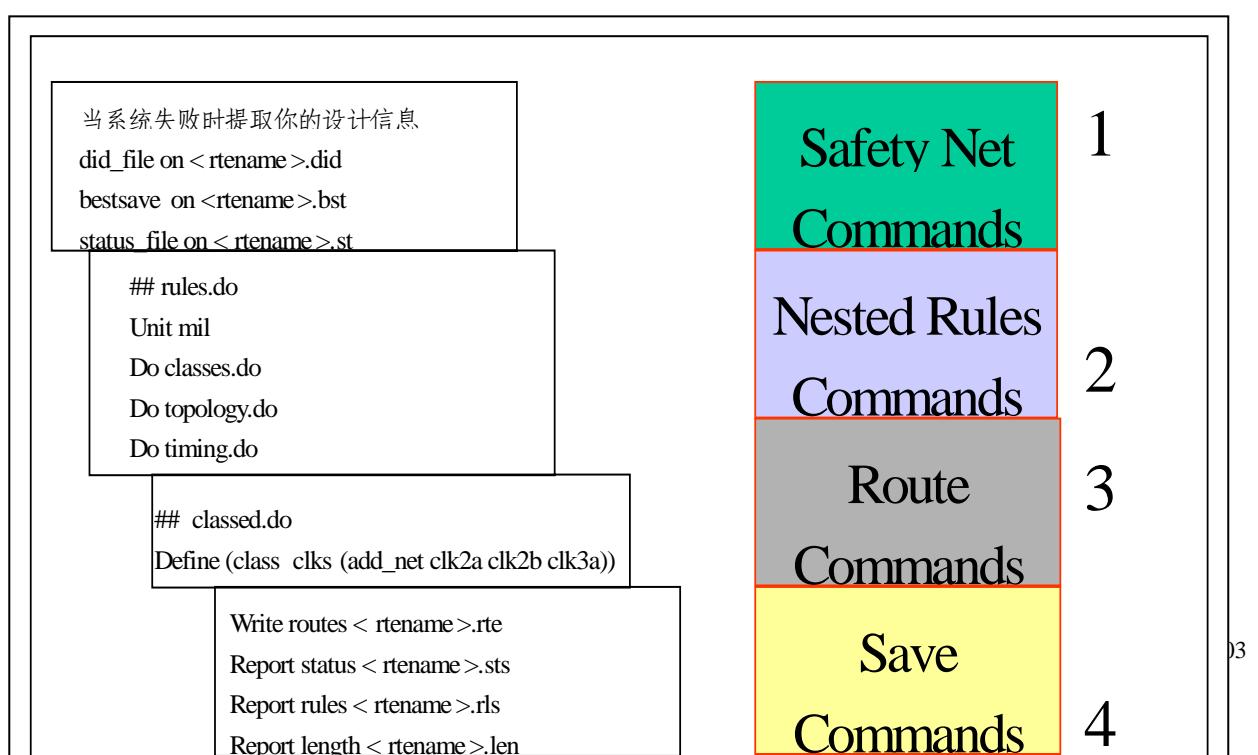
(14) 其它的进程正在运行

6.5 自动布线的收敛技巧

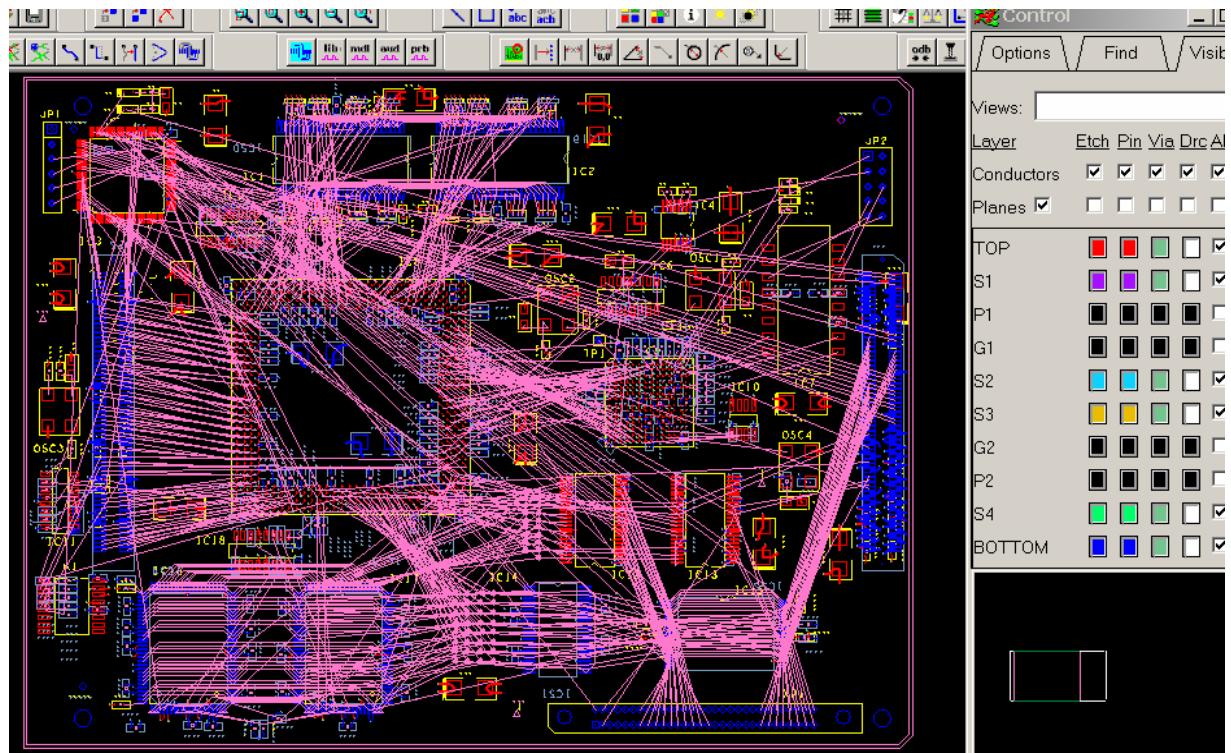
- 通常要设置在过孔格点之间至少能穿一根线。
- 用布线状态报告（ route status report ）监控布线过程。
- 如在收敛阶段当超过 10 个 PASS 其 REDUCTION 量都很小则可停止布线。
- 布线器停止时，分析问题和做相应有益的干预。
- 用 auto_remove, filter or delete conflicts 强制收敛。
- 如 set auto_remove on: 打开自动布线过程中的自动删除功能； route 50 16 - remove: 布线过程中自动删除，通常是在仅当 fails 数大于 100，且超过 10 个 route pass 存在成百上千的 conflicts 时使用。但是若对关键网络设置了 priorities >= 200 时，则 auto_remove 就不会拆这些线。
- 用户选择删除一些线，可释放空间，使布线器尝试不同的解决方案。
收敛停止结束布线时通常用 filter 5 消除最后的布线冲突，保留未连接的线。

6.6 DO 文件的基本步骤:

- 充分应用 DO FILE: 可简化布线工作，减少多余的过程，提高效率。Do file 对自动布线器非常重要，因为在一个数据库里无法保存你做的工作，必须用 DO 文件再现 SESSION 文件；再者防止多余操作如为执行某个设计规则而要把网络定义为 CLASS。
- 一般常用的构成方法是：由一个简单的主程序，分别调用不同功能的 DO 文件，避免编写大而全的 do 文件，可提高 do 文件的重用性。
- Did_File: Specctrus 中执行的命令都会记录下来：File → did file→ resume。



见下图是一个有 6 层走线层的十层板 PCB:



当前已扇出了所有的管脚 (详细参见扇出章节), 现在可直接在 PCB Router 自动布线器, 执行 D0 文件: MAIN.D0

main.do

```
*****
#do fanout_signal.do      此步骤已完成 (详见 FANOUT 章节)
rule pcb (max_stub 25.4)
rule pcb (limit_bend -1)
rule pcb (junction_type term_only)
rule PCB (clearance -1 (type smd_to_turn_gap))
```

do route.do

```
*****
```

以下为需调用的 route.do 文件:

```
##### Advanced dofile #####
#### Fanouts and Bus diagonal should be complete before running this
```

```
#### Setup grids and routing rules
```

```
# do rules.do
```

```
status_file $/route.sts
```

```
bestsave on $/best.w
```

```
#####
#####
```

```
#### Initial Route phase
```

```
tax cross 0.3
```

```
tax squeeze 0.3
```

```
route 7
```

```
tax cross 1.3
```

```
tax squeeze 1.3
```

```
if (complete_wire < 100)
```

```
    then (clean 2)
```

```
#
```

```
#### Route phase 1
```

```
setexpr count (3)
```

```
while (count >0 && complete_wire < 100)
```

```
(
```

```
    setexpr comp_rate (complete_wire)
```

```
    route 5 11
```

```
    if (complete_wire < 100 && complete_wire > comp_rate)
```

```
        then (
```

```
            setexpr count (count - 1)
```

```
)
```

```
        else (setexpr count (0))
```

```
)#
```

```
#### Route phase 2
```

```
if (complete_wire < 100)
```

```
    then (clean 2)
```

```
setexpr count2 (3)
```

```
while (count2 >0 && complete_wire < 100)
```

```
(
```

```
setexpr comp_rate2 (complete_wire)
```

```
route 5 16
```

```
if (complete_wire > comp_rate2)
```

```
then (
```

```
setexpr count2 (count2 - 1)
```

```
)
```

```
else (
```

```
setexpr count2 (0)
```

```
)
```

```
)
```

```
#
```

```
#### Route phase 3
```

```
if (complete_wire < 100)
```

```
then (clean 3)
```

```
setexpr count3 (5)
```

```
while (count3 > 0 && complete_wire < 100)
```

```
(
```

```
setexpr comp_rate3 (complete_wire)
```

```
route 10 16
```

```
if (complete_wire > comp_rate3)
```

```
then (
```

```
setexpr count3 (count3 - 1)
```

```
)
```

```
else (
```

```
write routes $/prefilter.rte
```

```
filter 5
```

```
limit cross 0
```

```
route 25 16
```

```
setexpr count3 (0)
```

```
)
```

```

)
#
#### Final Cleanup

clean 5

write session $/tcs256p_040200_1.ses

report status $/final.sts

```

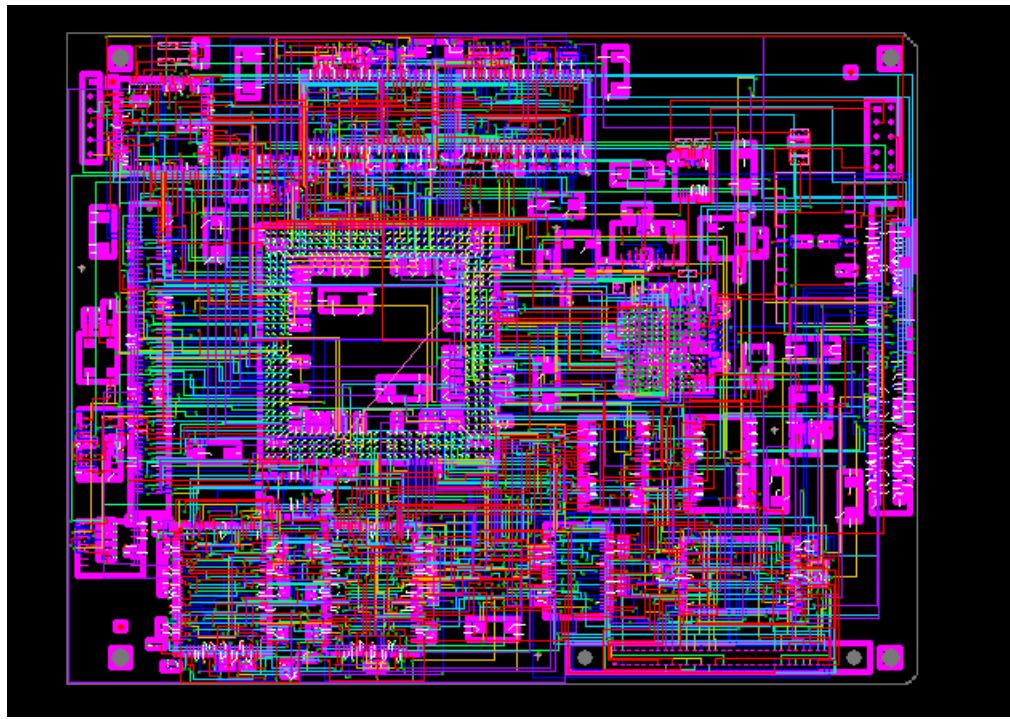
运行结束，状态报告如下：

```

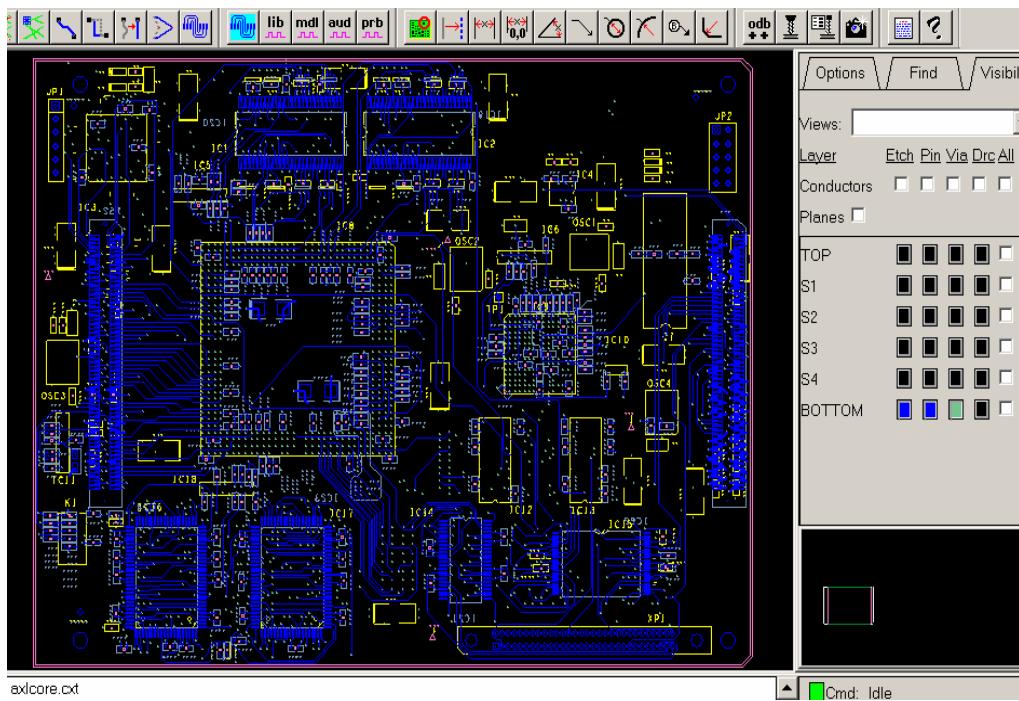
1 #SPECCTRA ShapeBased Automation Software V10.2 made 2002/10/15 at 13:24:34
2 #Host
3 #ROUTING STATUS <<< F:\temp\demo_training\demo_power.dsn >>>
4 Start Time: Sat Aug 14 09:30:13 2004
5 Report Time: Sat Aug 14 09:52:52 2004
6
7 Nets      =      606    Connections      =      2097
8 Current Wire =          0    Reroute wires      =      1323
9 Completion =   99.95%    Unconnections      =          1
10 | ROUTING HISTORY =====
11 | Pass      | Conflicts |      |      |      |      | Red|      CPU Time      |
12 | Name      | No. | Cross| Clear| Fail| Unrte| Vias|XTalk|Len.| % | Pass | Total |
13 |-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+
14 | Route     | 1| 1241| 404| 31| 17| 2299| 0| 0| 0| 0:00:48| 0:00:48|
15 | Route     | 2| 686| 108| 9| 4| 1967| 0| 0| 51| 0:00:50| 0:01:38|
16 | Route     | 3| 356| 70| 19| 1| 1975| 0| 0| 46| 0:00:37| 0:02:15|
17 | Route     | 4| 159| 32| 6| 1| 1966| 0| 0| 55| 0:00:28| 0:02:43|
18 | Route     | 5| 80| 9| 13| 1| 1973| 0| 0| 53| 0:00:25| 0:03:08|
19 | Route     | 6| 15| 8| 2| 1| 1987| 0| 0| 74| 0:00:35| 0:03:43|
20 | Route     | 7| 9| 4| 1| 1| 1999| 0| 0| 43| 0:00:13| 0:03:56|
21 | Clean     | 8| 5| 0| 20| 1| 1950| 0| 0| 1| 0:00:12| 0:04:08|
22 | Clean     | 9| 3| 0| 14| 1| 1936| 0| 0| 1| 0:00:12| 0:04:20|
23 | Route     | 10| 3| 0| 0| 1| 1942| 0| 0| 76| 0:00:02| 0:04:22|
24 | Route     | 11| 2| 0| 1| 1| 1945| 0| 0| 33| 0:00:01| 0:04:23|
25 | Route     | 12| 2| 1| 0| 1| 1946| 0| 0| 0| 0:00:01| 0:04:24|
26 | Route     | 13| 0| 0| 1| 1| 1946| 0| 0| 100| 0:00:01| 0:04:25|
27 | Route     | 14| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:01| 0:04:26|
28 | Route     | 15| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:00| 0:04:26|
29 | Route     | 16| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:01| 0:04:27|
30 | Route     | 17| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:01| 0:04:28|
31 | Route     | 18| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:00| 0:04:28|
32 | Route     | 19| 0| 0| 2| 1| 1946| 0| 0| 0| 0:00:02| 0:04:30|
33 | Clean     | 20| 0| 0| 10| 1| 1932| 0| 0| 1| 0:00:14| 0:04:44|
34 | Clean     | 21| 0| 0| 10| 1| 1928| 0| 0| 1| 0:00:12| 0:04:56|

```

只有一根线未连通，其 PCB 如图：



板上走线设置的是直角，最后再对整板的走线进行倒斜角，得到底层如下：



在 Allegro 中对某些线再进行优化，直至符合要求。

第七章 布线后优化

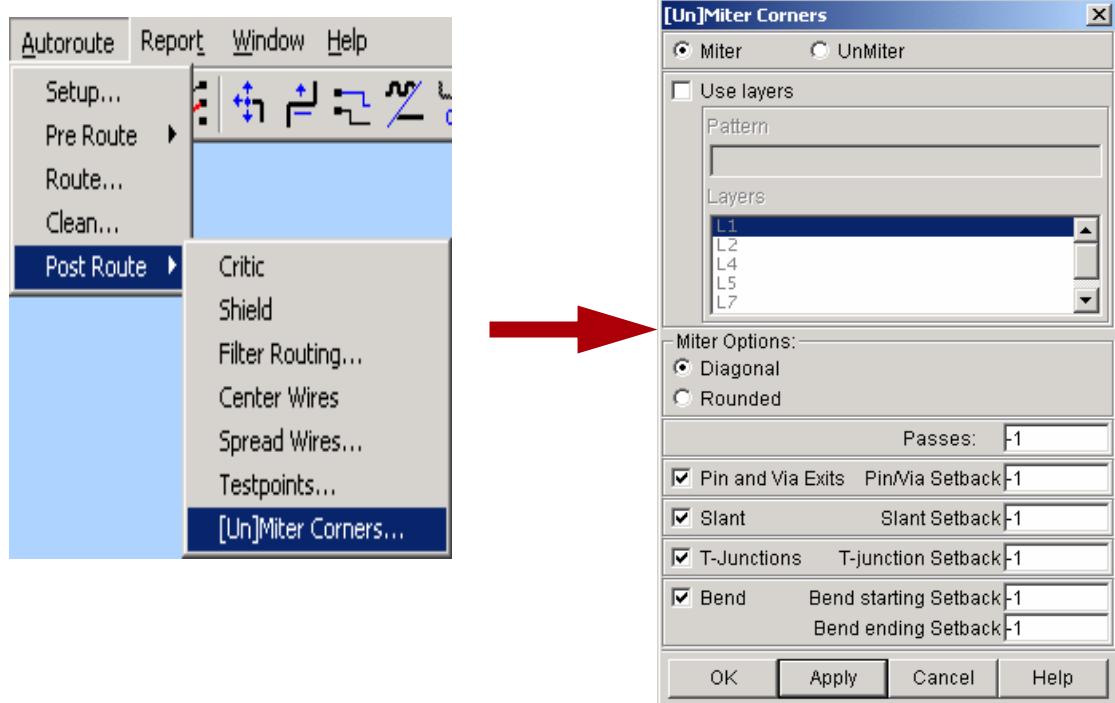
使用 PCB Router 进行自动布线结束后，每块板都要对自动布线结果进行优化处理，通常要用到 milter 和 clean 这两个命令：

7.1 Miter

Miter 命令可将直角倒成 45 度斜角或圆弧，格式如下：

Miter -1 (bend 100 50) pin(50) (slant 100) (tjunction 100) (style diagonal)

也可以从菜单中按照如下命令选择，格式如下：

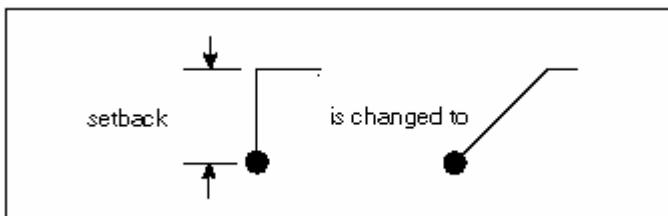


具体参数含义如下：

Passes: miter 执行的次数

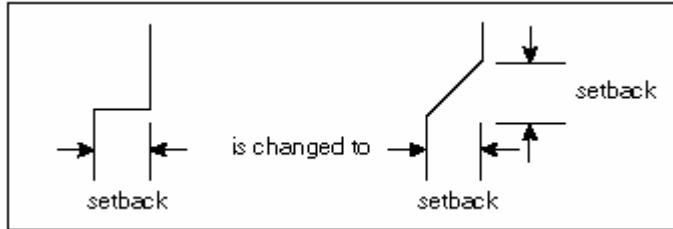
Pin and Vias Exits: 由 Pin 或 Via 走出的线，当第一段线小于 **Setback** 时才可以倒角，Setback 默认参数为

1 inch



上图中 **<setback>** 是指定一个 PIN 或者 VIA 焊盘的导角出线长度，如果从 PIN 到导角转折点的长度大于、等于 **<setback>** 值，则 PIN 的 **setback** 距离将是 PIN 中心到导角转折点的长度。

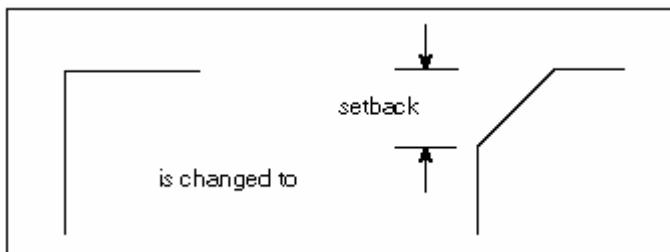
Slant: 当错误方向线段长度小于 setback 值时, 可以倒角, setback 默认参数为 1inch



T-Junctions: T 节点倒角, 一般不做处理, 通常选择默认参数

Bend: bend <start_setback> <ending_setback>指的是导角长度的初始长度和最终长度。

长度大于 ending setback 值的直角被倒角, 倒出的斜角直线距离为 starting setback 值, 如下图。starting setback 缺省为 0.5 inch; ending setback 缺省为最小线宽。



若直角不能倒出 starting setback 长度的斜角, 则有两种可能:

◆当 milter 的 passes 数为 1 时, 将 starting setback 值依次等分至能倒出为止, 若等分值小于 ending setback 值, 则使用 ending setback 值倒角。

例 1:

直角长度 700

starting setback: 2000

ending setback: 300

倒角长度: $2000/2/2=500$

例 2:

直角长度 700

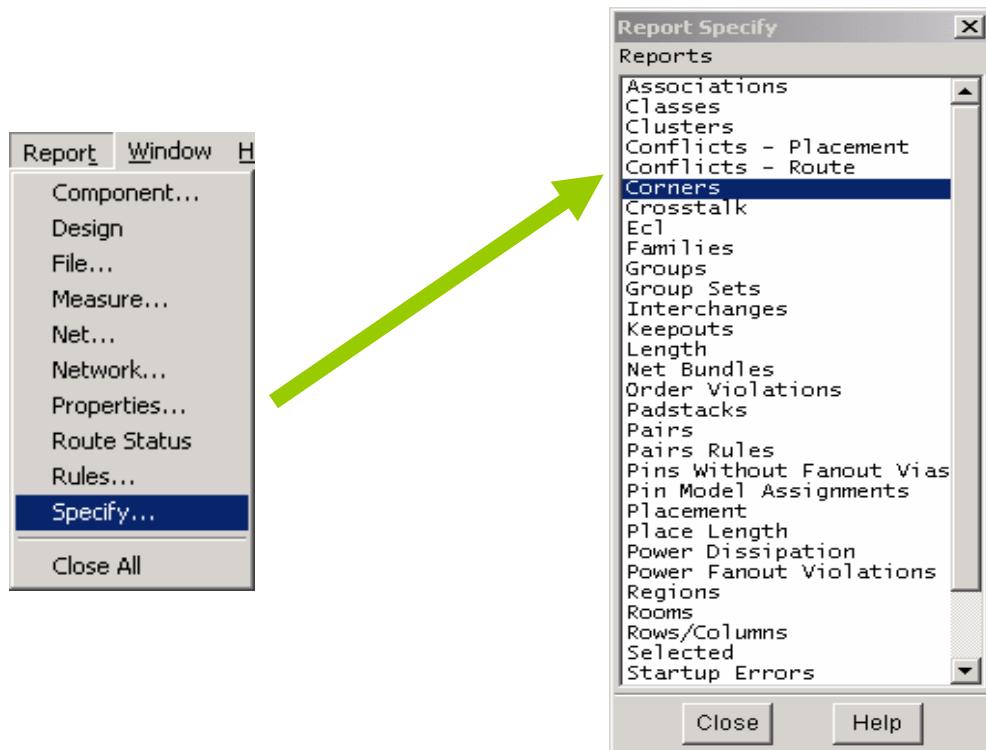
starting setback: 2000

ending setback: 600

倒角长度: $2000/2=1000>700$, $2000/4=500<600$, 倒角长度为 600

当 milter 的 passes 数大于 1 时，倒出最接近直角长度值的斜角，而且当 passes 数大于 1 时，除了直角外，已经是 45 度角的线(差分线除外)也可以再次倒角至可以达到的最大值。

当导角结束后，我们需要输出一个报告进行查看，看一看有多少线段没有导角成功，对这些线段需要手工再导角进行处理，输出导角报告的菜单是：Report=》Specify=》Corners，操作界面如下图：



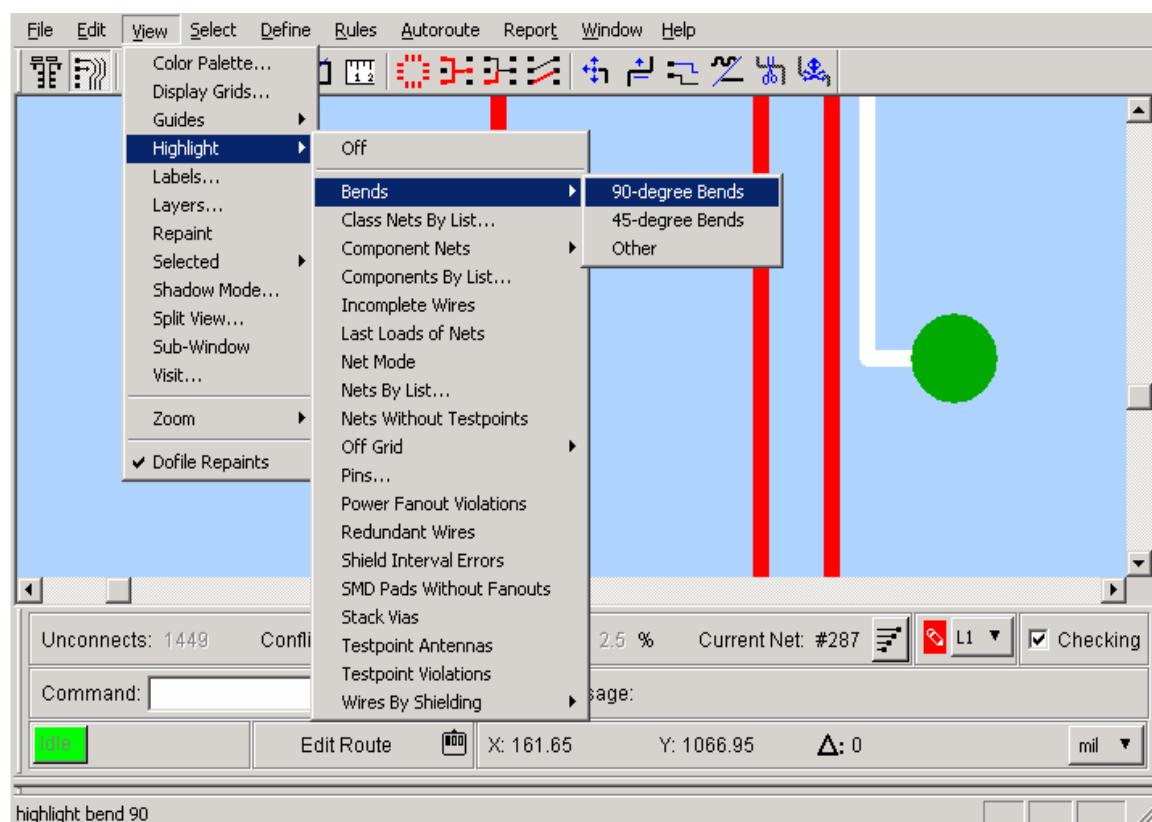
```
PCB design expert Corner Report
Search: [ ] [↓] [↑] Case:
== Wire Cornering Report =====
 90 Degree =      15
 135 Degree =    112
    Arc =        0
Other Angle =      0
      -----
      Total =     127
=====
```

对于导角没有成功的地方，我们有两种方法可以找到它们，这两种方法是：

- 高亮 90° 直角
- visit90° 直角

- 高亮 90° 直角

高亮 90° 直角的菜单命令是: View=》Highlight=》Bends=》90-degree Bends, 具体的位置见下图:

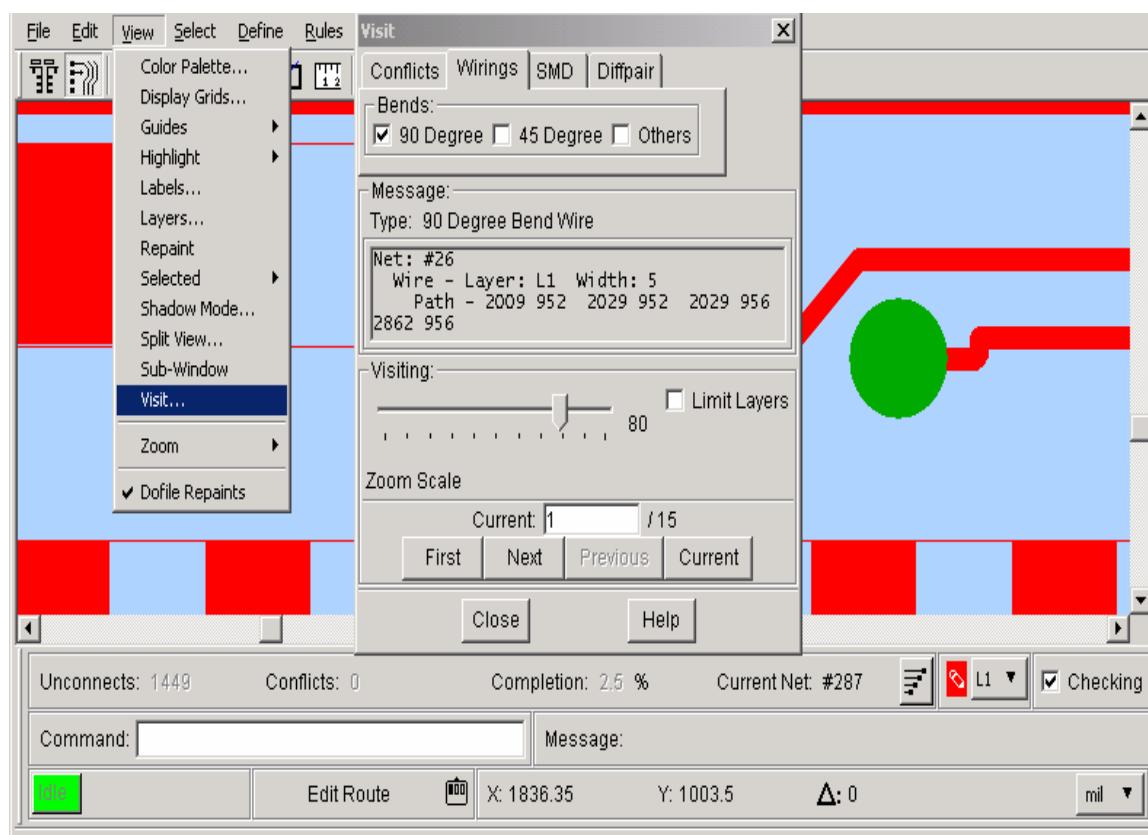


这样有 90° 直角的地方就被高亮显示了, 然后手工将直角改成 135° 的拐角就可以了。

- Visit90° 直角

高亮 90° 直角的方法有一个缺点就是, 当板子很大时或者高亮的颜色与板子走线的颜色相同或者相近似的时候, 最后剩余的 90° 直角很难被发现, 这样就需要使用直接访问直角的办法去发现并改正直角。

这种方法的菜单命令为: View=》Visit=》Wiring 标签, 具体的命令位置和操作界面见下图:



在弹出的 Visit 窗口中，将 Bends 的“90 Degree”复选框选中，表示查找 90° 直角；Visiting 的 Zoom Scale 设为 80，表明屏幕放大的范围；下边的 Next 按钮就是逐一查找直角的命令。

通过这种办法就可以将板上所有的 90° 直角的线段都能找到，然后，通过手工的方式将它们都导成 135° 角即可。

7.2 Clean

Clean 命令会重布连线删去多余的线及过孔，而不会增加新的交叉冲突。通常自动布线执行到一定的阶段，应执行几次 clean 命令优化走线，然后再用 route 命令进行下一步的自动布线。命令举例：

Clean 5

7.3 生成报告

还可以通过选择 Report =》 Network 后生成如下报告：

Name	Pins	Vias	Wires	TJ	Length	Actual	Ratio	EXTRA
LINEB1	2	2	3	0	76.986	165.437	2.149	88.451
LINEA1	2	3	5	0	75.156	159.967	2.128	84.811
LINEB2	2	2	3	0	74.222	98.022	1.321	23.800
LINEA2	2	2	3	0	71.692	91.377	1.275	19.685
WR	2	5	6	0	95.904	111.616	1.164	15.712
LWR	6	5	13	0	105.941	121.136	1.143	15.195
'CONF-OUT'	3	2	4	0	45.947	58.111	1.265	12.164
'TF1-'	2	0	1	0	101.472	113.110	1.115	11.638
CLKOUT	3	4	6	0	114.726	125.383	1.093	10.657
'CONF-IN'	2	2	3	0	26.357	36.491	1.384	10.134
RINGA	4	6	14	0	199.414	209.317	1.050	9.903
XA19	3	5	7	0	94.802	104.672	1.104	9.870
'CONF-CLK'	2	2	3	0	8.357	17.810	2.131	9.453
'SIG-TX2'	2	2	3	0	84.617	93.422	1.104	8.805
UNNAMED_6_MT8888C_I17_IN_1	3	1	4	1	2.459	11.070	4.501	8.610
PAGE0	2	3	4	0	61.347	69.932	1.140	8.585
PAGE4	2	2	3	0	77.047	85.379	1.108	8.332
SHDLC_TEN	3	3	5	0	136.206	144.386	1.060	8.180
'AUX-232-RX4'	2	2	3	0	100.727	108.421	1.076	7.694
BELL1	2	1	2	0	80.304	87.316	1.087	7.012
'RF1-'	2	0	1	0	111.220	117.966	1.061	6.746
'AUX-422-RX5-'	3	1	4	1	4.760	11.273	2.368	6.513
'CONF-SYN'	2	2	3	0	8.627	15.078	1.748	6.451
LAY8I	2	2	3	0	26.341	32.430	1.231	6.089
XD14	3	3	5	0	60.167	66.195	1.100	6.028
UNNAMED_7_G6K2F_I125_A8	2	1	2	0	0.578	6.536	11.308	5.958
'AUX-422-RX4-'	3	1	3	0	6.088	12.021	1.974	5.933
UNNAMED_6_MT8888C_I39_IN_1	2	1	2	0	3.810	9.741	2.557	5.931
'AUX-TX3'	3	3	5	0	143.576	149.489	1.041	5.913
'OSC-01'	3	2	4	0	58.308	63.829	1.095	5.522
PFO	2	2	3	0	36.220	41.693	1.151	5.473
'LOFF-HOOK2'	2	2	3	0	104.001	109.457	1.052	5.456
'PCM-2M-OUTC'	2	1	2	0	50.163	55.577	1.108	5.414
PAGE3	2	1	2	0	48.397	53.810	1.112	5.413
SO	2	2	3	0	39.207	44.589	1.137	5.382

可以从上表中对照检查一下，看是否有比较重要的信号线打了多余的过孔，并且手动对这些信号进行优化处理。

第八章 DO 文件语法及示例

脚本（DO 文件）是一个字符文件，它包含了 SPECCTRA 命令的列表。它用于控制全自动布线器。

你可以在文本编辑器中建立 DO 文件。本文介绍 do 文件的使用，即 do 文件的产生、编辑及调用。在前面的章节中已经对有些语法进行了说明，在这里作些总结。

Do 文件的产生：在布线器（cct）中设置好规则，点击菜单 edit\rules did file...命令，打开一个文本编辑器，里面记录了所设置的规则，然后点击 file\save as，另存为*.do 文件。

Do 文件的编辑：用文本编辑器打开*.do 文件，按照布线器的语法即可编辑该文件。

Do 文件的调用：点击菜单 file\execute do files，在浏览器中选择*.do 文件，布线器即调用该文件，并按文件中的规则，执行相应操作命令。对于不正确的语法，在调用中会提示。

8.1 布线器的几种常用算法的含义：

- Bus: Routes pins that share the same X or Y coordinate.

总线：布线器中把 x 或 y 坐标相同的连线定义为总线。

- Fanout: Escapes SMD pads and through-pins to a via.

扇出：对表贴封装将其管脚用过孔引出。

- Clean: Rips up and reroutes all connections. Adding new conflicts is prohibited.

推挤：推挤连线，使疏密得当，并消除冲突。

[语法]: clean 4

[含义]: 推挤 4 次。

- Route: Routes with conflicts, and after the first five passes, reroutes only connections involved in conflicts. Escapes SMD pads to vias as needed.

布线：忽略冲突进行 5 次布线，然后对有冲突的线进行重新布线，必要时扇出过孔。

[语法]: route 25

[含义]: 布线 25 次，从第 1 次代价开始。相当于 route 其默认 passes 为 25 次。

[语法]: route 50 16

[含义]: 布线 50 次，从第 16 次代价开始。

- Miter: Rounds or chamfers 90-degree corners with 135 degree corners or arcs, depending upon the Miter Options that you specify.

倒角：可将 90 度的走线转为圆弧或 135 度斜角走线。

[语法]: miter (bend 64 2)

[含义]: 倒 135 度斜角，斜角半径为 64mil，从第 2 次代价开始。

8.2 常用语法的介绍：

(do 文件中不带单位，均使用默认单位，假设当前单位为 mil。)

8.2.1 整板定义

[语法]: rule pcb (clearance 8 (type wire_wire))

[含义]: 整个 PCB 的线与线的间距为 8mil

[语法]: rule layer s1 s2 (width 10)(clearance 7)

[含义]: s1 层与 s2 层的间距 7mil，线宽为 10mil

8.2.2 class 的定义：

[语法]: define (class data1 (add_net dtt d? ad*))

[含义]: 定义 data1 为 class，包含的网名有 dtt、d?、ad*，在语法中可使用通配符（如：? 和*），添加的网名用空格隔开。

[语法]: rule class data1 (width 10) (clearance 20)

[含义]: Class 名为 data1 的信号线的线宽为 10mil，间距为 20mil

[语法]: circuit class data1 (use_layer s2 s5)

[含义]: Class 名为 data1 的信号仅使用 s2 和 s5 层

[语法]: define (class data1 (layer_rule s2 s5 (rule (width 50))))

[含义]: Class 名为 data1 的信号在 s2 和 s5 层的线宽为 50mil

[语法]: define (class data1 (layer_rule s2 s5 (rule (clearance 10))))

[含义]: Class 名为 data1 的信号在 s2 和 s5 层的间距为 10mil

[语法]: Define (class_class (classes data1 data2) (rule(clearance 15)))

[含义]: Class 名为 data1 和 data2 的信号线的间距为 15mil

[语法]: define class data1 (parallel_segment (gap 20)(limit 1000))

[含义]: Class 名为 data1 的信号线平行长度小于 1000mil 或间距大于 20mil

[语法]: circuit class data1 (match_net_length on (tolerance 1000))

[含义]: Class 名为 data1 的线长度容差为 1000mil

[语法]: circuit class data1 (priority 200)

[含义]: Class 名为 data1 的信号优先级为 200

[语法]: forget class data1 data2

[含义]: 取消 Class 名为 data1 和 data2 的定义

8.2.3 NET 的定义:

[语法]: rule net D3 (clearance 10 (type wire_smd))

[含义]: 网名为 D3 的信号, 线与表贴焊盘的间距为 10mil

[语法]: define (net NEXT (layer_rule s2 (rule(width 10))) (layer_rule s3 (rule (width 15))))

网名为 NEXT 的信号在 s2 层线宽为 10mil, 在 s3 层线宽为 15mil。

[语法]: circuit net 2.5V (shield on (type coax) (use_net gnd))

[含义]: 网名为 2.5V 的信号, 用网名 gnd 的信号线包裹屏蔽起来。

[语法]: order daisy net clk

[含义]: 网名为 clk 的信号, 将其拓扑设为菊花链 (在未设置拓扑前, 默认为星形)

[语法]: circuit net clk (priority 150)

[含义]: 网名为 clk 的信号优先级为 150

同样的, 对于前面介绍的一些 class 的约束方式也适用于 net 的定义, 只要将 class (关键字) 改为 net (关键字), class 名改为 net 名即可。

8.2.4 差分线的定义:

[语法]: define (pair (nets A?+ A?-))

[含义]: 网名为 A?+与 A?-的信号, 一一对应定义为差分信号。如 A1+与 A1-为一对差分线。

[语法]:

```
define (pair (nets A?+ A?- (gap 10) (gap 8 (layer S1)) (gap 8 (layer S2))))
```

[含义]: 网名为 A?+与 A?-的差分信号在 s1、s2 层间距为 8mil，其他层间距为 10mil。

[语法]: forget pair (nets *)

[含义]: 取消所有差分信号的定义。

8.2.5 其他

[语法]: limit_via 0

[含义]: 限制布线过孔数为 0，实际布线不可能过孔为 0，该约束只是起到限制过孔最少的作用。

[语法]: limit_cross 0

[含义]: 限制交叉为 0，该约束只是起到布线时交叉最少的作用。

[语法]: if (complete_wire < 100) then (clean 2)

```
else (route 50 16 ;clean 4)
```

miter

```
write session $/final.ses
```

[含义]: 如果布线完成率小于 100，则 clean 2 次，否则布线 50 次，从 16 次代价开始，再 clean 4 次，倒 135 度斜角，最后存为默认路径下的 final.ses 文件。

8.2.6 各种设置的优先级(由高到低排列)

region

class to class layer

class to class

net layer

Net

class layer

Class

Layer

pcb

8.3 DO 文件举例

下面是几个简单的 do 文件举例：

1、main.do

```
##### Advanced dofle #####
#### Fanouts and Bus diagonal should be complete before running this
#unit mil
#### Setup grids and routing rules
# do rules.do
status_file $/route_1.sts
bestsave on $/best_1.w
#####
#### Initial Route phase
#set spif_no_unplaced_components 0

rule pcb (parallel_segment (gap 0.254) (limit 76.2)
rule pcb (parallel_segment (gap 0.2032) (limit 50.8)

select via 'VIA0R48D0R20F-BGA'
unselect via VIA0R65D0R25F

grid via 0 (direction y) (offset 0)
grid via 0 (direction x) (offset 0)
grid wire 0 (direction y) (offset 0)
grid wire 0 (direction x) (offset 0)
rule pcb (junction_type term_only)
rule pcb (max_stub 25.4)

tax cross 0.3
tax squeeze 0.3
route 7
tax cross 1.3

if (complete_wire < 100)
    then (clean 2)
#
#### Route phase 1
setexpr count (3)
while (count >0 && complete_wire < 100)
```

```
(  
    setexpr comp_rate (complete_wire)  
    route 5 11  
    if (complete_wire < 100 && complete_wire > comp_rate)  
        then (  
            setexpr count (count - 1)  
        )  
        else (setexpr count (0))  
    )#  
##### Route phase 2  
if (complete_wire < 100)  
    then (clean 2)  
setexpr count2 (3)  
while (count2 >0 && complete_wire < 100)  
(  
    setexpr comp_rate2 (complete_wire)  
    route 5 16  
    if (complete_wire > comp_rate2)  
        then (  
            setexpr count2 (count2 - 1)  
        )  
        else (  
            setexpr count2 (0)  
        )  
    )  
#  
##### Route phase 3  
if (complete_wire < 100)  
    then (clean 3)  
setexpr count3 (5)  
while (count3 >0 && complete_wire < 100)  
(  
    setexpr comp_rate3 (complete_wire)  
    route 10 16  
    if (complete_wire > comp_rate3)  
        then (  
            setexpr count3 (count3 - 1)  
        )  
        else (  
            write routes $/prefilter.rte  
            filter 5  
            limit cross 0  
            route 25 16  
            setexpr count3 (0)  
        )  
    )
```

```
#  
#### Final Cleanup  
clean 5  
write routes $/premiter.rte  
#unit mil  
#grid wire 1  
#miter (pin 1000)  
#miter (pin 500)  
#miter (pin 100)  
#miter (pin 50)  
#miter (pin 20)  
#miter (slant 1000)  
#miter (bend 2000 62)  
#miter (bend 64 2)  
write routes $/miter_2.rte  
report status $/final_2.sts  
write session $csdv1_2.ses
```

2、fanout signal:

```
# set spif_no_unplaced_components 0  
rule PCB (clearance 0.381 (type smd_via_same_net))  
select via 'VIA0R48D0R20F-BGA'  
unselect via VIA0R65D0R25F
```

```
fanout 3 (direction in_out) (location anywhere) (max_len 1.27) (pin_type power) (pin_type signal)  
(pin_share off) (via_share on (maximum_connections 2)) (smd_share off) (share_len -1)  
(smart_via_grid one_wire_between forced)  
fanout 3 (direction in_out) (location anywhere) (max_len 2.032) (pin_type power) (pin_type signal)  
(pin_share off) (via_share on (maximum_connections 2)) (smd_share off) (share_len -1)  
(smart_via_grid one_wire_between forced)  
fanout 3 (direction in_out) (location anywhere) (max_len 2.54) (pin_type power) (pin_type signal)  
(pin_share off) (via_share on (maximum_connections 2)) (smd_share off) (share_len -1)  
(smart_via_grid one_wire_between forced)  
fanout 3 (direction in_out) (location anywhere) (max_len 3.81) (pin_type power) (pin_type signal)  
(pin_share off) (via_share on (maximum_connections 2)) (smd_share off) (share_len -1)  
(smart_via_grid one_wire_between forced)  
fanout 3 (direction in_out) (location anywhere) (max_len -1) (pin_type power) (pin_type signal)  
(pin_share off) (via_share on (maximum_connections 2)) (smd_share off) (share_len -1)  
rule PCB (clearance -1 (type smd_via_same_net))
```

3、fanout power:

```
rule PCB (clearance 0.381 (type smd_via_same_net))
```

```
cost off_center 100
```

```
cost side_exit 0
```

```
select via VIA0R65D0R25F
```

```
select all pins (layer TOP ) (net GND      )
select all pins (layer TOP ) (net GND3V3L    )
select all pins (layer TOP ) (net GND5VL    )
select all pins (layer TOP ) (net PGND     )
select all pins (layer TOP ) (net VC_OCXO   )
select all pins (layer TOP ) (net VCC      )
```

```
select all pins (layer TOP ) (net VCC1V8    )
select all pins (layer TOP ) (net VCC2V5    )
select all pins (layer TOP ) (net VCC2V5_AVDD)
select all pins (layer TOP ) (net VCC2V5_VDDL)
select all pins (layer TOP ) (net VCC3V3L    )
select all pins (layer TOP ) (net VCC5V     )
select all pins (layer TOP ) (net VCC5VA2   )
select all pins (layer TOP ) (net VCC5VL    )
select all pins (layer TOP ) (net VCC_CK1   )
select all pins (layer TOP ) (net VCC_CK2   )
```

```
fanout 1 (direction in_out) (location anywhere) (max_len 1.27) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 2.032) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 2.54) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 3.81) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
```

```
#unsel all objects
```

```
select all pins (layer BOTTOM ) (net GND      )
select all pins (layer BOTTOM ) (net GND3V3L    )
select all pins (layer BOTTOM ) (net GND5VL    )
select all pins (layer BOTTOM ) (net PGND     )
select all pins (layer BOTTOM ) (net VC_OCXO   )
select all pins (layer BOTTOM ) (net VCC      )
```

```
select all pins (layer BOTTOM ) (net VCC1V8    )
```

```
select all pins (layer BOTTOM ) (net VCC2V5_AVDD)
select all pins (layer BOTTOM ) (net VCC2V5_VDDL)
select all pins (layer BOTTOM ) (net VCC3V3L      )
select all pins (layer BOTTOM ) (net VCC5V       )
select all pins (layer BOTTOM ) (net VCC5VA2     )
select all pins (layer BOTTOM ) (net VCC5VL      )
select all pins (layer BOTTOM ) (net VCC_CK1     )
select all pins (layer BOTTOM ) (net VCC_CK2     )

unselect all vias
fanout 1 (direction in_out) (location anywhere) (max_len 1.27) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 2.032) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 2.54) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))
fanout 1 (direction in_out) (location anywhere) (max_len 3.81) (pin_type power) (pin_type signal)
(via_share on (maximum_connections 3))

select via VIA0R65D0R25F

#fanout
```

自动布线器是一个功能强大的布线工具，如果能有效地利用它，将大大地提高我们EDA的工作效率。这需要不断地实践，才能使它的效能最大地利用起来。