



# PCB高级设计系列讲座

## 射频与数模混合类高速PCB设计

# 课题内容

- 
- 理清功能方框图
  - 网表导入PCB Layout工具后进行初步处理的技巧
  - 射频PCB布局与数模混合类PCB布局
  - 无线终端PCB常用HDI工艺介绍
  - 信号完整性（SI）的基础概念
  - 射频PCB与数模混合类PCB的特殊叠层结构
  - 特性阻抗的控制
  - 射频PCB与数模混合类PCB的布线规则和技巧
  - 射频PCB与数模混合类PCB布线完成后的收尾处理
  - PCB板级的ESD处理方法和技巧
  - PCB板级的EMC/EMI处理方法和技巧
  - PCB中的DFM 设计
  - FPC柔性PCB设计
  - 设计规范的必要性

# 理清功能方框图

手机设计包含了射频、音视频模拟、数字、电源管理这些典型的电路模块，这里我们就拿手机设计为例来理解各功能模块。

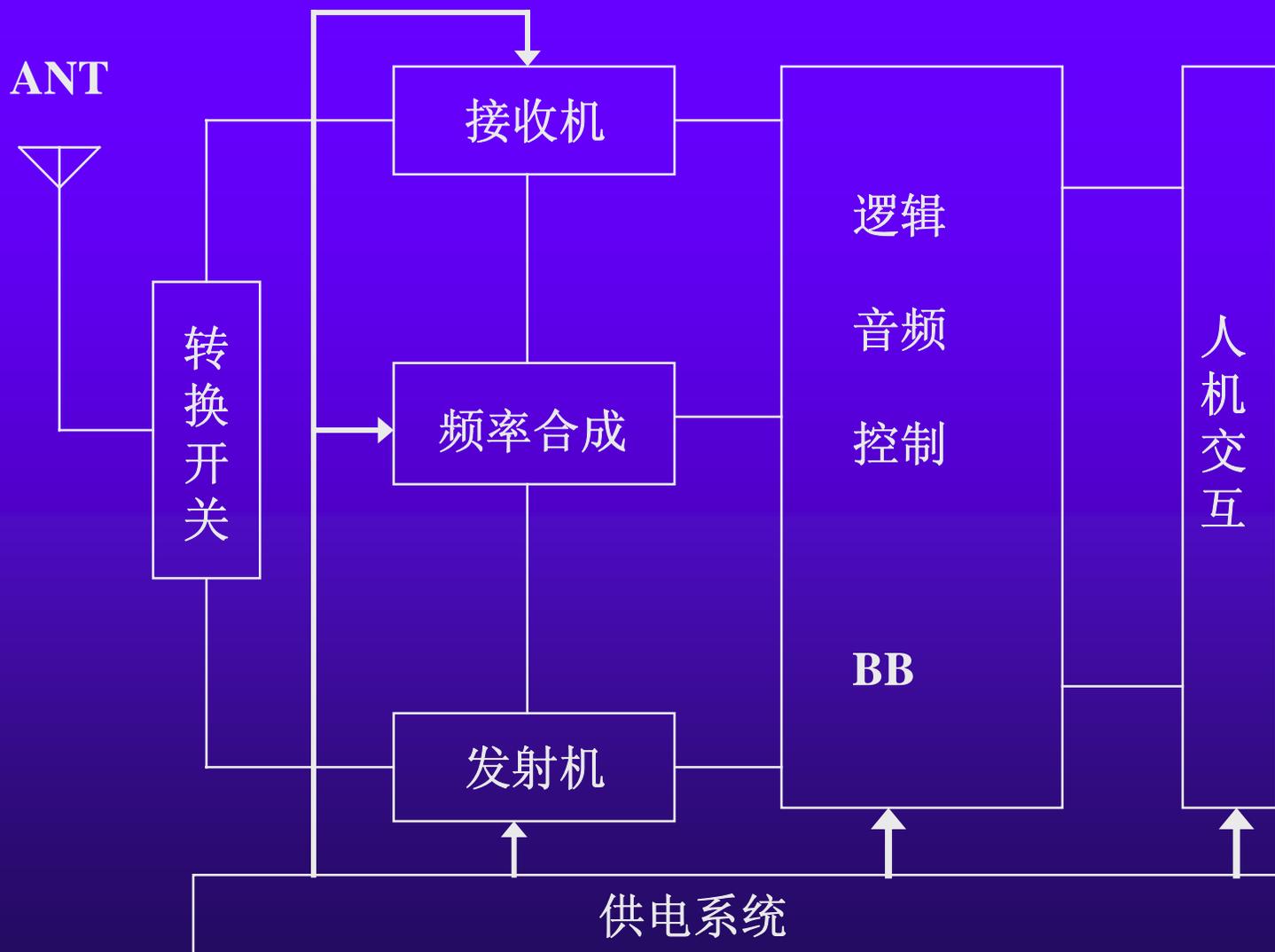
- 典型手机功能模块方框图
- 典型手机的原理方块图
- 射频（**RF**）系统
  - 接收机（**RX**）的原理方块图
  - 发射机（**TX**）的原理方块图
- 基带（**BB**）系统
  - 基带（**BB**）系统的原理方块图
- 内容总结



# 典型手机功能模块方框图



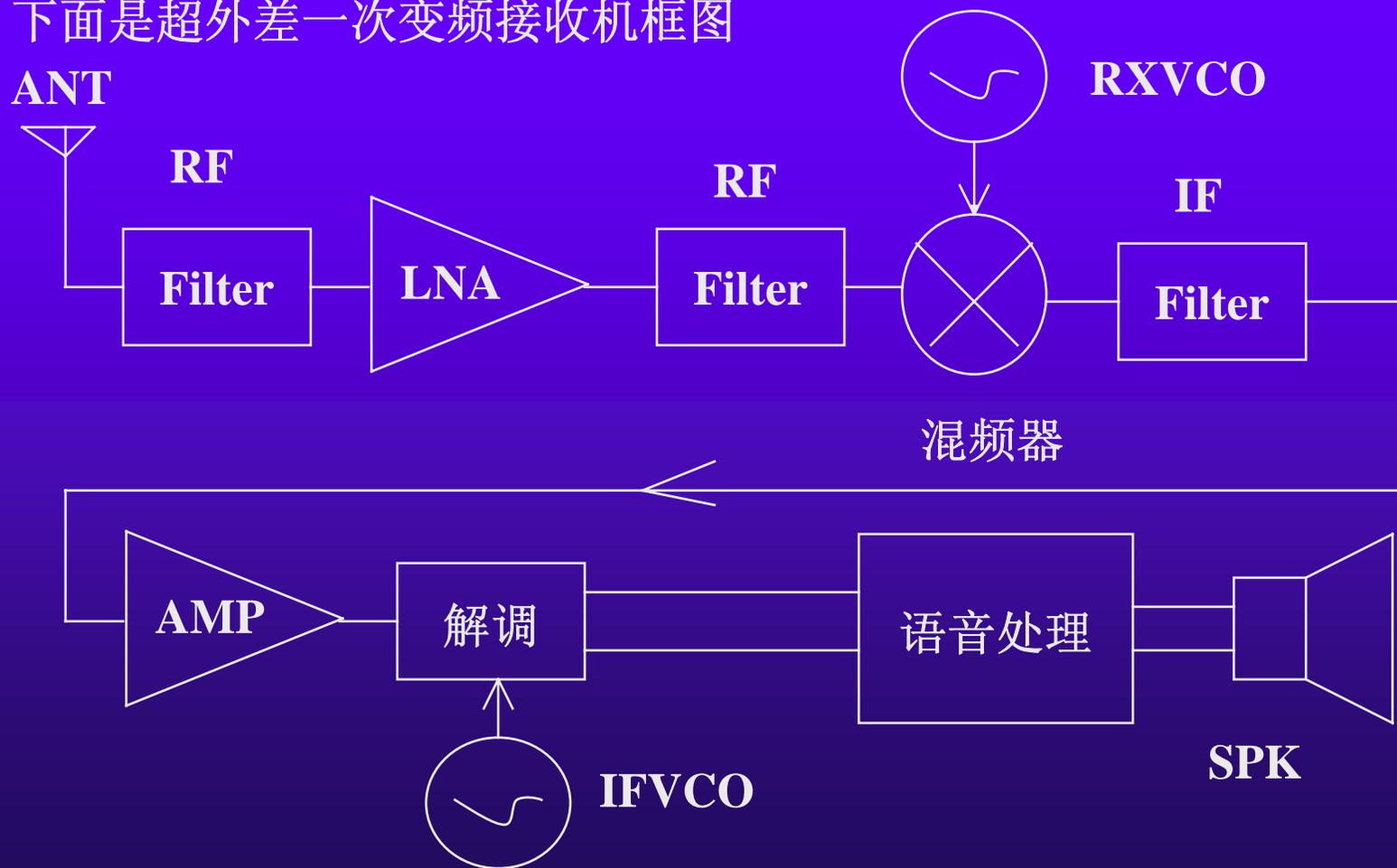
# 典型手机的原理方块图



## 射频 (RF) 系统--接收机 (RX) 的原理方块图

射频接收机有三种基本的框架结构, 一是超外差一次变频接收机, 二是超外差二次变频接收机, 三是直接变换线性接收机。

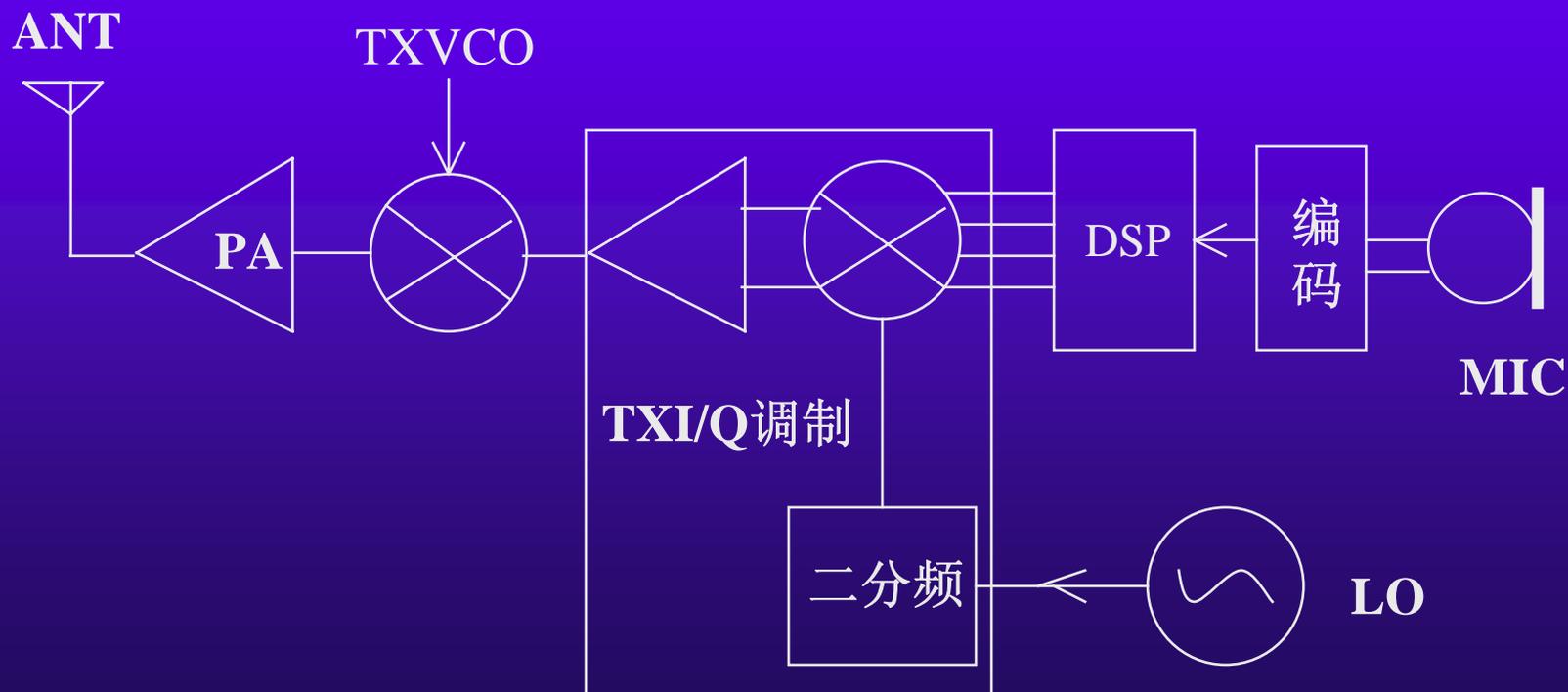
下面是超外差一次变频接收机框图



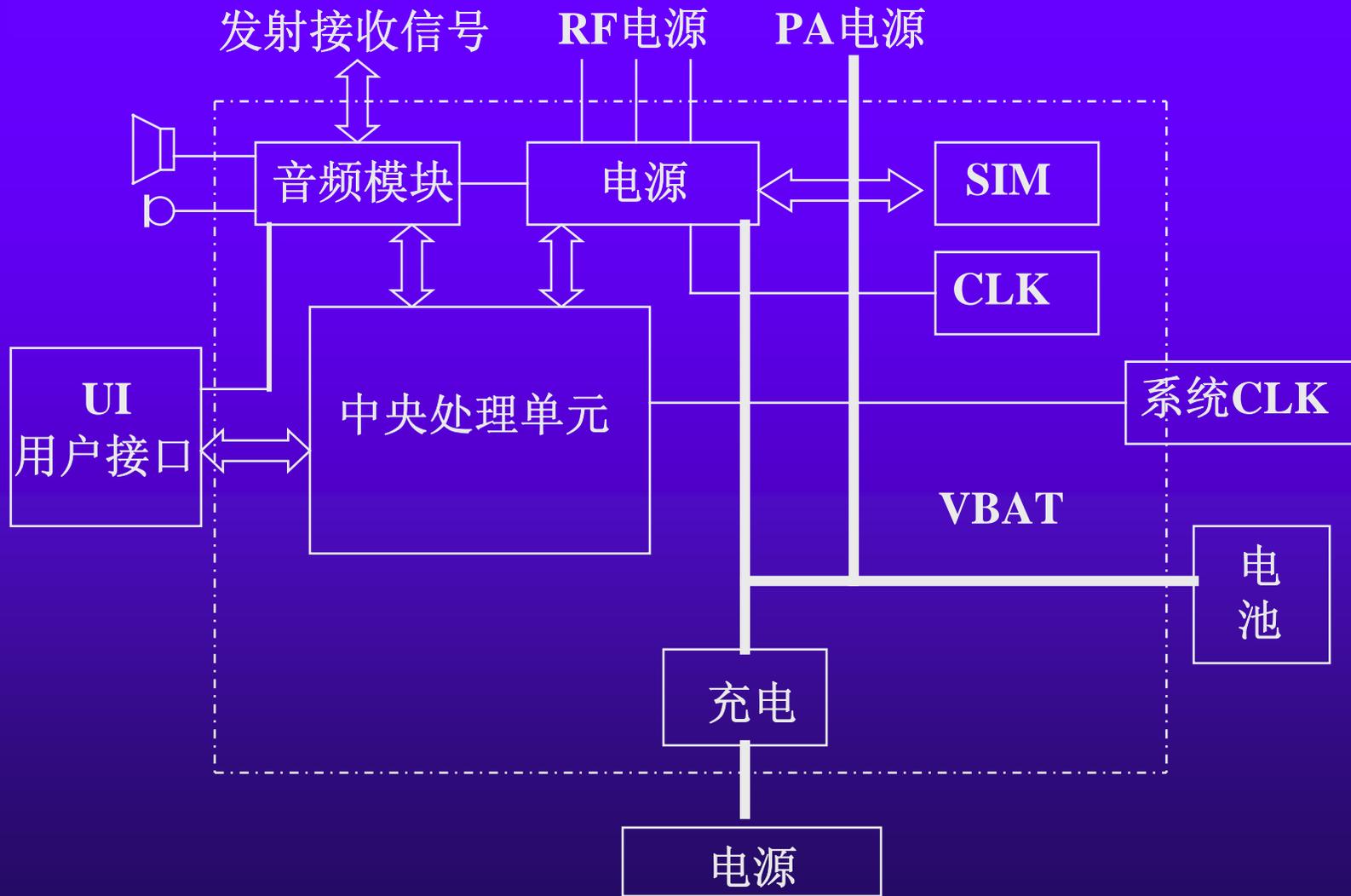
## 射频 (RF) 系统--发射机 (TX) 的原理方块图

发射机也有三种基本的框架结构，一是带发射变换模块的发射机，二是带发射上变频器的发射机，三是直接变换的发射机。

下面是带发射上变频器的发射机框图



# 基带 (BB)系统的原理方块图



## 本章内容小结

通过学习和了解手机各个模块原理框图，就是让我们要清楚的来了解这些典型的模块电路，但不需要我们去真正的去知道其各个模块的真正原理，不过我们要很明白的知道这个是干什么的，那个是干什么的，这一点是很必要的，不过我们PCB设计工程师里有相当一大部分人对这一点还认识不够。



嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- **网表导入PCB Layout工具后进行初步处理的技巧**
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性 (SI) 的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性



## 网表导入PCB Layout工具后进行初步处理的技巧

- PCB的板框处理小技巧
  - 第一次导入板框
  - 设计中途改变板框
- 快速模块化分散元器件
  - 快速散开+nets法
  - 直接法
- 直观识别模块的处理方法
  - 运用nets标注法来识别我们要关注的模块
- 内容总结

## PCB的板框处理小技巧

这次讲课的内容是以讲解射频与数模混合类高速PCB设计技术为主，将不涉及各相关工具的讲解，为了很好地展现和讲解其中技术处理的方法，所涉及的实际工程的举例讲解，在本次课程中将以Mentor的PADS工具系统为例（PowerLogic&PowerPCB），只用这套工具来讲解如何处理相关技术的方法，然后大家在把这一方法运用到各自的实际工具系统中去。



## 第一次导入板框

我们在实际工程中处理与机构尺寸相关的图形时，基本上都是要求机构工程师给我们提供一份DXF各式的数据文件，然后把它在导入PCB Layout工具。但对于外型比较复杂的PCB板框就稍微有点麻烦，当然大部分比较简单而规则的几何形状我们就直接自己手工画出PCB板框即可，但对于象手机这样外型很不规则的PCB板框在要求我们用手工画出来那就有很大的难度和不少的麻烦。

下图是一个直板手机PCB的板框图形



## 第一次导入板框



从上图中我们发现对于像手机这类极不规则的PCB板框，如果再要求我们手工画出其PCB板框已不太现实也是一个非常麻烦的事，在PowerPCB这个工具里，我们是要求机构工程师提供一份完整而不能有任何断点的PCB板框2D图形结构，并以DXF格式文件提交。不过这种方式有一点很麻烦---完整而不能有任何断点。

后来实在受不了这种处理方法，就试着找有没有其它简单而方便的处理方法，后来发现机构工程师从Proe中只要导出emn格式就可以在PowerPCB中导入就直接是PCB的板框。

实际工程操作演示。

当有些比较复杂的PCB有些必须精确位置的机电元器件时，也有处理小技巧，两图统一原点，或选一个基准点，然后取最可能小的精度无限放大基准点并对准基准点

## 设计中途改变板框

在产品的研发过程中，难免有些修改，机构的修改大部分都会影响到PCB板框的改变，特别是到了PCB Layout后期，这个时期改变板框，在PowerPCB工具中将造成不能再直接导入机构修改后的PCB板框文件emn,这时我们就地采取另外的方法来实现。

我们这时要采用拼图的方式来解决，在处理的过程中一是要把新导入的PCB板框文件的板层设置和原来的一样，另外就是统一原点，或统一一个参考基准点，然后采用工具的最小单位无限放大对准基准点的方法。

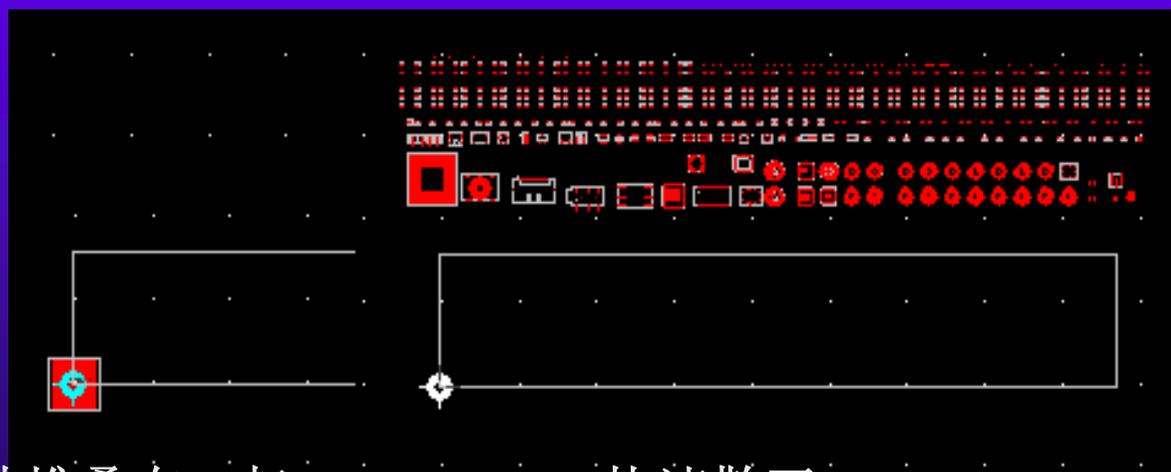
实际工程演示。



## 快速模块化分散元器件

### ■快速散开+nets法

在PCB Layout的工具中，都有把元器件快速散开的这一命令，虽然这时也是快速散开了元器件，但不是我们想要得按一定的模块来散开的，我们还必须较快地把个模块的元器件归类，这时我们前面讲解的各功能模块图就用上了。下面是上面处理的图示：

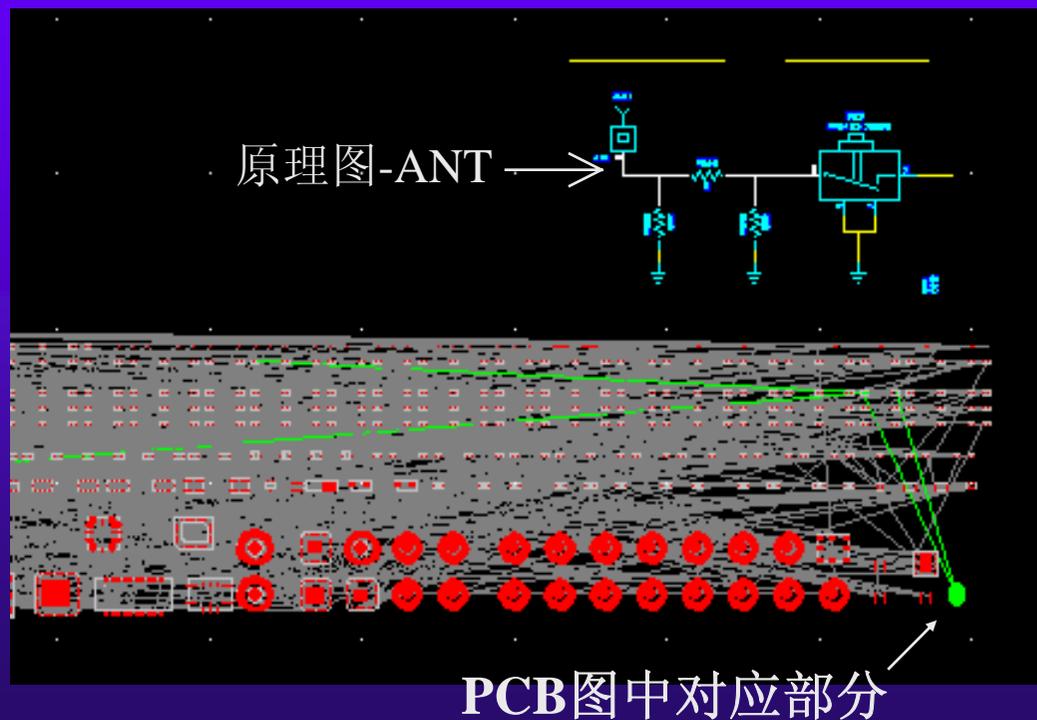


元件堆叠在一起

快速散开

# 快速模块化分散元器件

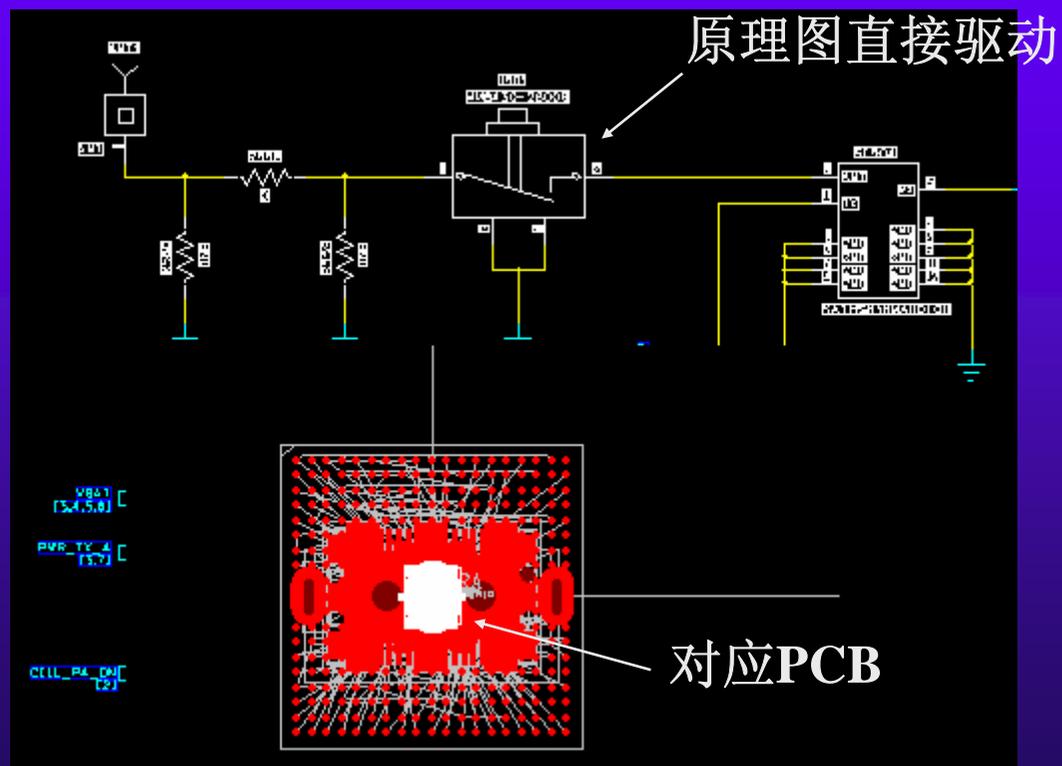
运用原理图工具来驱动PCB设置模块网络颜色，然后调整模块单元。如下图：



## 快速模块化分散元器件

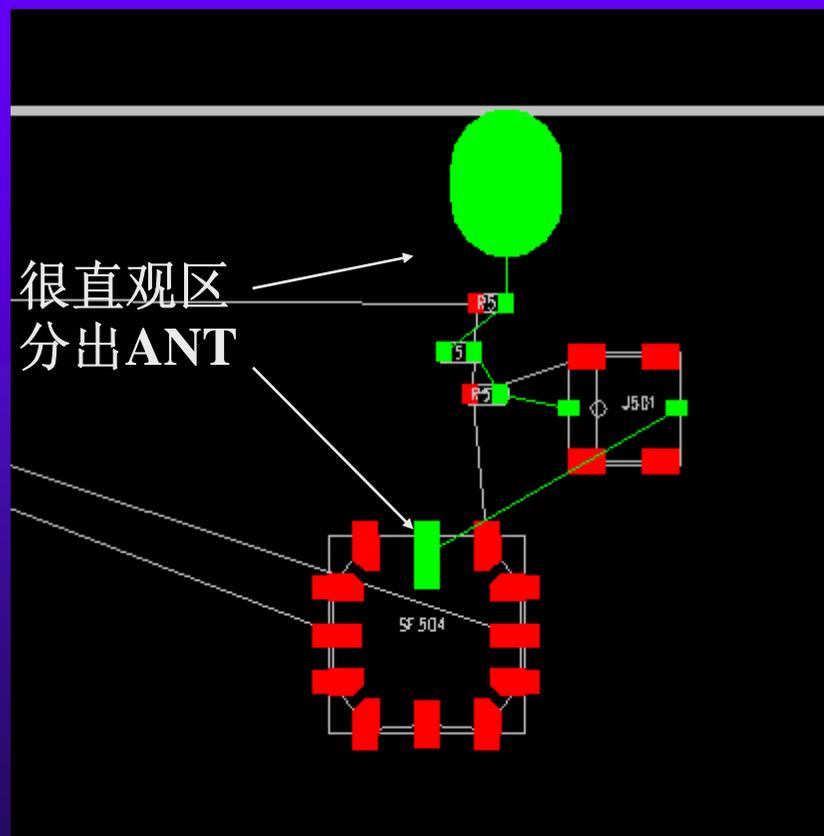
### ■ 直接法

这种方法就是不事先散开元器件，直接由原理图驱动PCB选取不同模块相应的元器件。



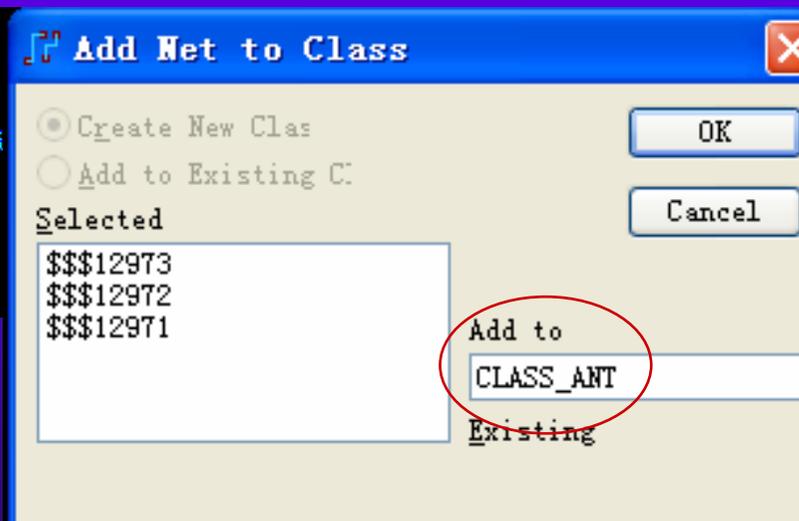
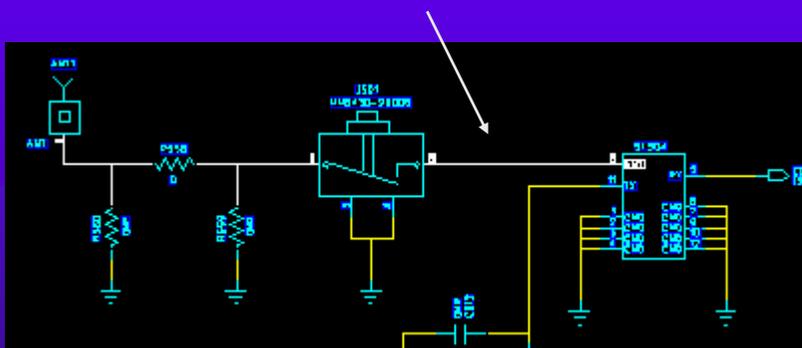
## 直观识别模块的处理方法

运用nets标注法来识别我们要关注的模块  
分别对我们要特别关注的模块或网络 (nets) 设置不同的颜色来  
直观的区分不同的模块。



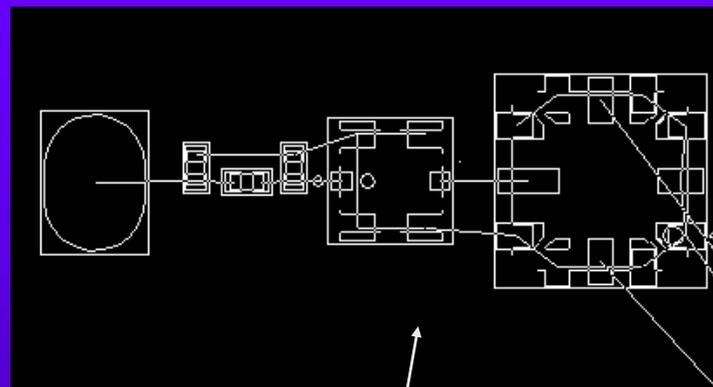
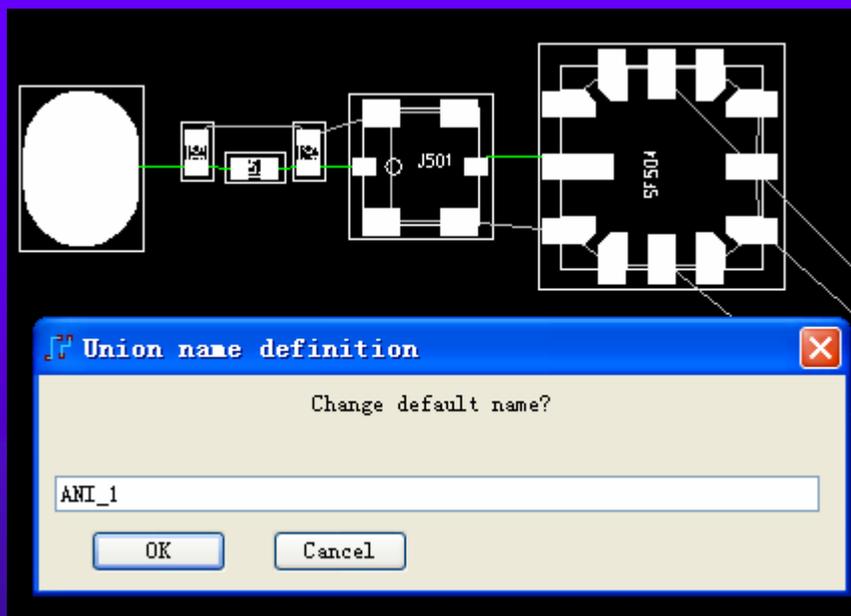
# 原理图驱动单元模块化

把每个模块独立设成一个相关联模块（定义Class），如天线部分定义为ANT,射频发射部分定义为TX，射频接收部分定义为RX，时钟部分定义为Clock。这样可以针对不同的模块需求，设置不同的设计参数，如TX的线有时为了减小损耗要求线要粗一些，而Clock线就不需要向TX那样要求。



## 预布局模块化处理单元模块

把各单元模块化，整体模块化移动。



预布局时可以把这一单元的  
元器件一起移动

实例演示这种处理方法



## 内容总结

主要讲解了如何处理像手机这类极不规则的PCB板框的处理技巧，如何快速的模块化分散元器件，并且能直观的识别我们要关心的模块。

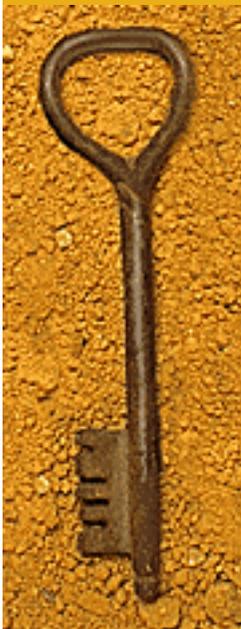
运用工程实例来剖析这些过程。

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- **射频PCB布局与数模混合类PCB布局**
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

## 射频PCB布局与数模混合类PCB布局

- 熟悉PCB板结构
- 放好有机构位置要求的元器件
- 初步规划整个PCB的分区
- 数模混合类PCB布局要点
- 原理图驱动布局
- 射频部分的布局
- 基带部分的布局
- 电源模块部分的布局
- 电源去耦电容的摆放
- 差分匹配网络的布局
- 内容小结



# 熟悉PCB板结构



和机构工程师充分沟通，新的还有商量余地，基本上也就定了各模块的区域，要是透视图（实际举例，三视图，设计规范），限高区

嵌入式SOC社区高级设计系列讲座: <http://bbs.51soc.com>

# 熟悉PCB板结构



TOP

嵌入式SOC社区 **PCB高级设计系列讲座** <http://bbs.51soc.com>

# 熟悉PCB板结构



## 初步处理

放好有机构位置要求的元器件，如SIM卡、电池连接器、马达、耳机、数据接口....等、试着初步确定射频和基频各区域的大概范围。

参照上面的TOP和Bottom图

并放置焊接屏蔽罩焊盘的铜皮宽度以作参考（做在防焊层，宽度一般有1mm、0.8mm、0.6mm）。

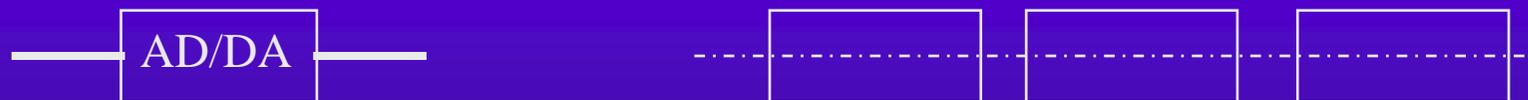
屏蔽罩有所不同：

一体化的，这种方式相邻部分要有2条焊接PAD(调试麻烦、地)点胶形式，形状随意，只要一条接地条，要合上壳体。

饼干盒式，调试方便，只要一条接地条，分块不要太复杂。



# 数模混合类PCB布局要点



嵌入式SOC社区 PCB高级设计系列讲座 <http://bbs.51soc.com>

# 数模混合类PCB布局要点

数字和模拟无法分清的情况—比较典型的手机PCB



嵌入式SOC社区

<http://bbs.51soc.com>



## 熟悉一些模块术语

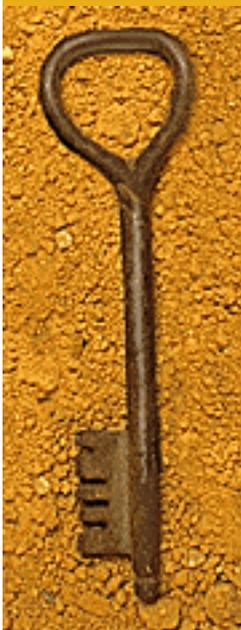
熟悉一些行业术语也很必要，以利于工作中的交流。

- **RF**
- **ABB** Analog BaseBand,
- **DBB** Digital Baseband, MCU往往包括在DBB芯片中。
- **PMU** Power Management Unit
- **MCU**
- **LDO** 低压差线性电压转换
- **PLL** 锁相环
- **LO** 本振
- **LNA**
- **TX**
- **RX**
- **VCO**
- **I/Q**
- **Transceiver** 等等



## 射频部分的布局

- 尽可能地把高功率RF发射电路远离低功率RF接收电路。
- 芯片和电源有很好的去耦。
- RF输出要远离RF输入。
- 敏感的模拟信号应该尽可能远离高速数字信号和RF信号。
- 优化布局，使RF路径最短并最好使RF信号不使用过孔

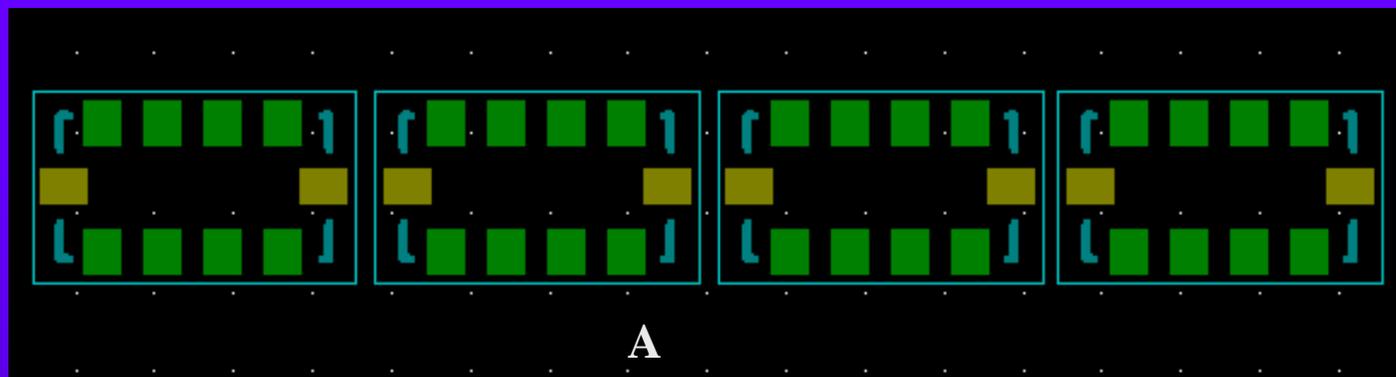


嵌入式SOC社区 <http://bbs.51soc.com>

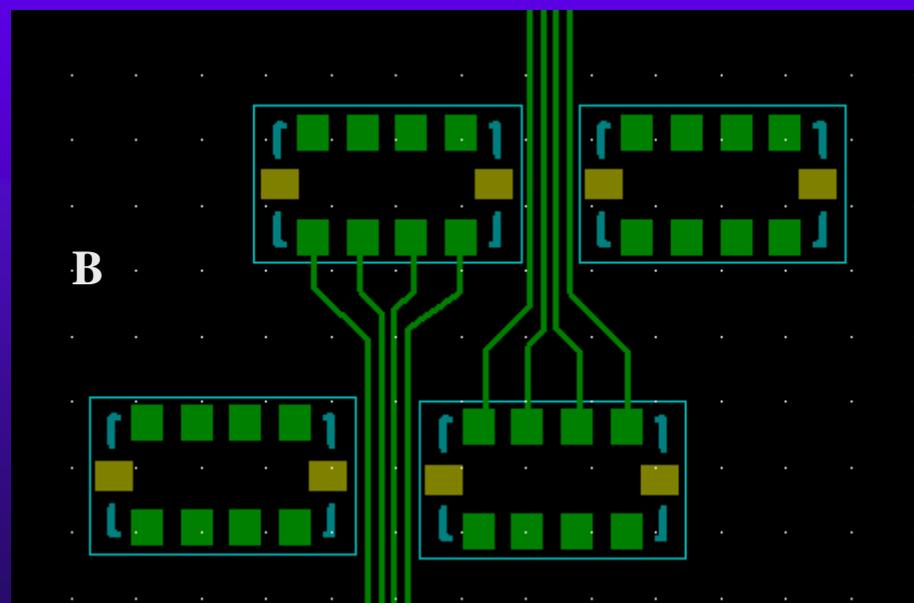
# 原理图驱动布局



# 多路数据线EMI滤波器

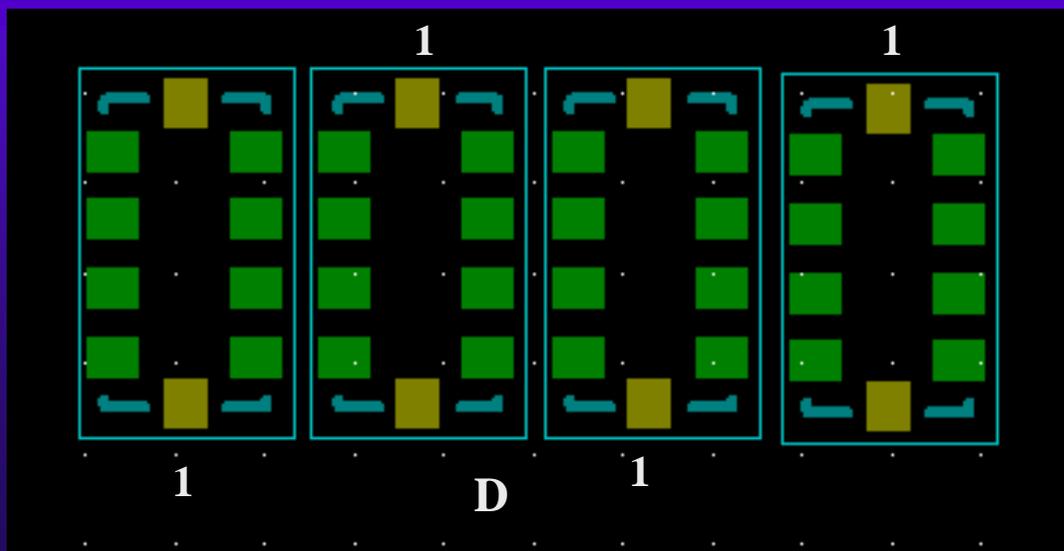
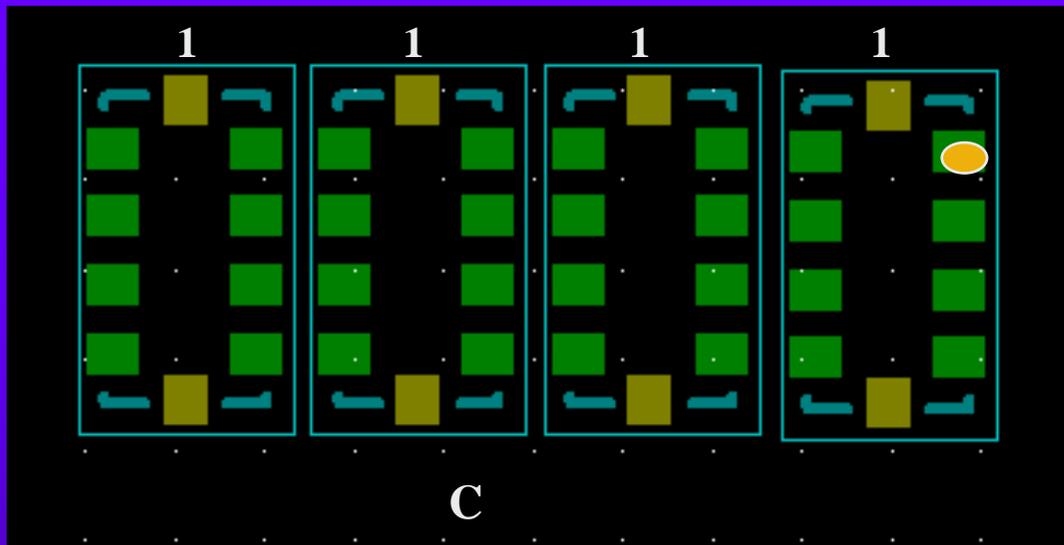


A



B

# 多路数据线EMI滤波器



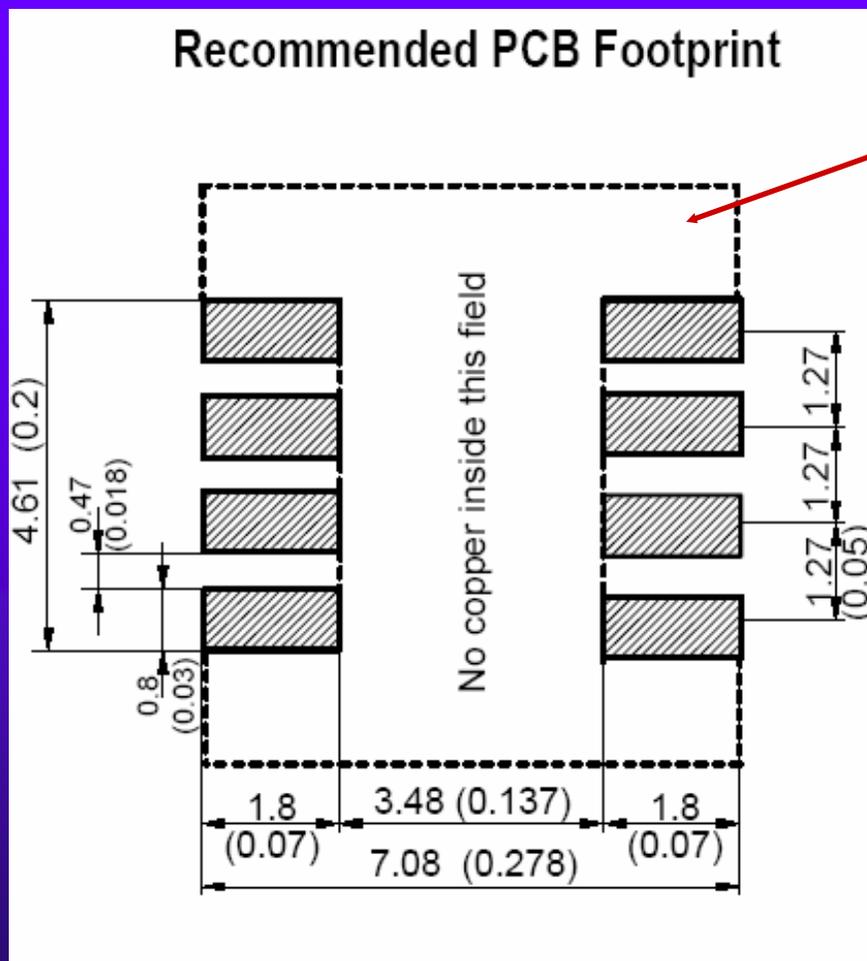
## 内容小结

要想成功地实现射频PCB设计必须仔细注意整个设计过程中每个步骤及每个细节，这就要求设计者不仅非常熟悉和理解每一个设计的关键模块，还要具备一定的相关设计理论和经验。

同时还要求设计者必须在设计开始阶段就要进行彻底的、仔细的规划每一个环节，并对每个设计中可能出现的每一个预案进行评估，这些都是为什吗说射频的布局将占射频PCB设计的绝大部分时间的原因。

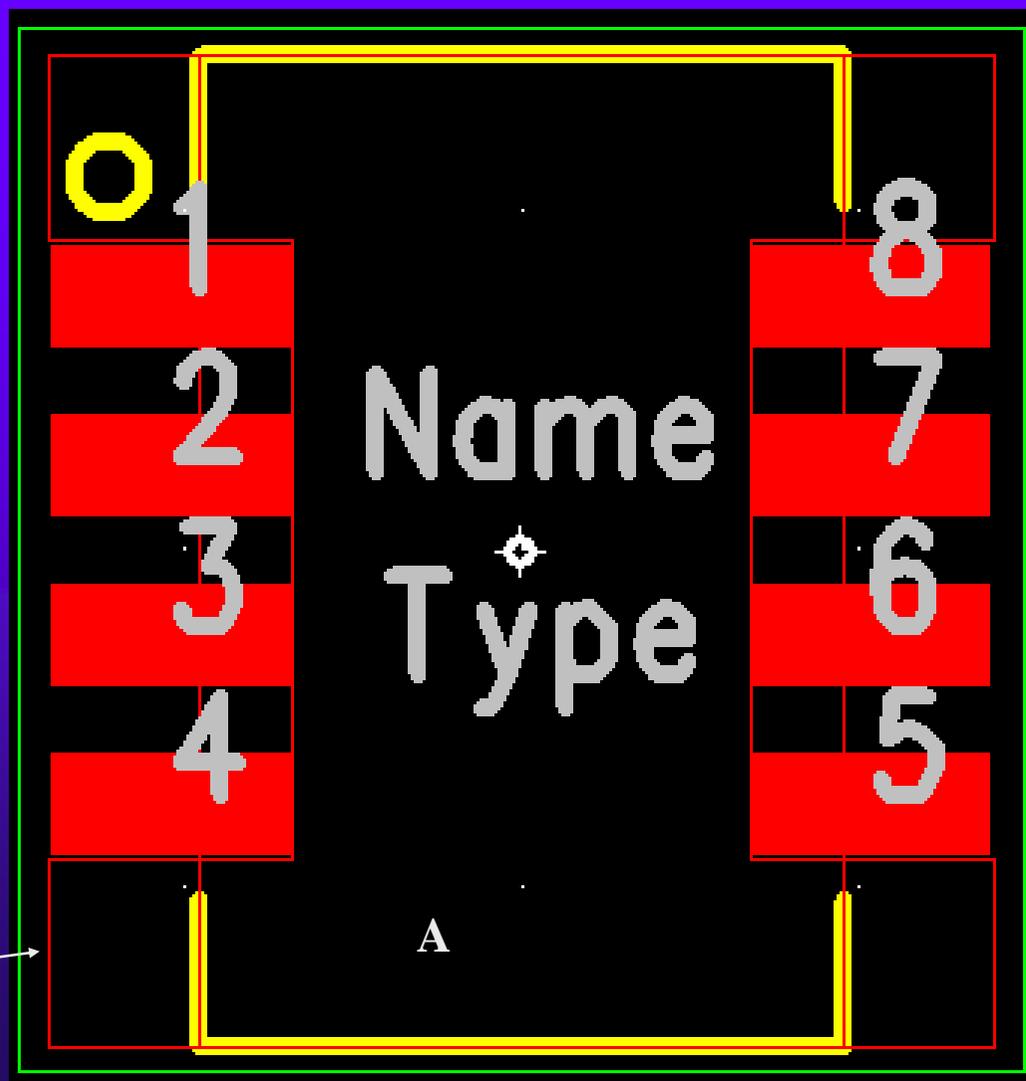


# 注重每个设计细节—补充实例

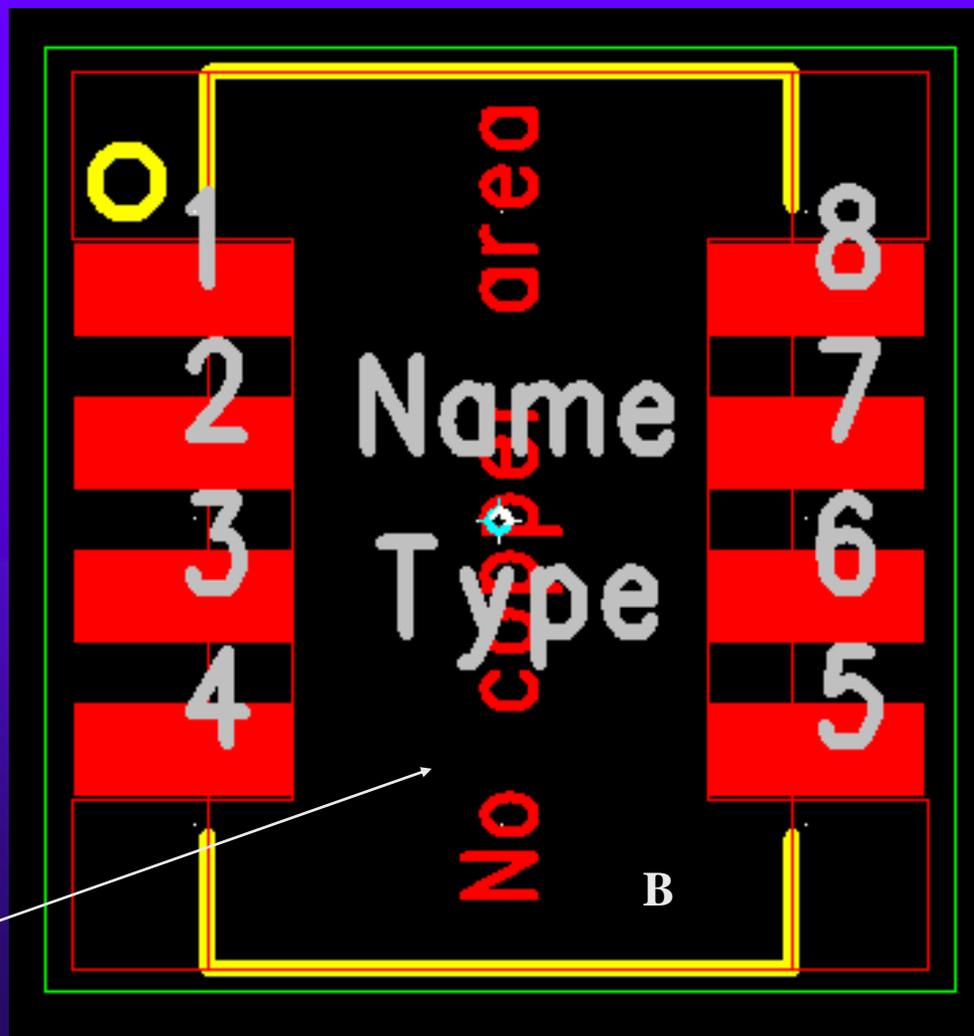


温度和湿度传感器

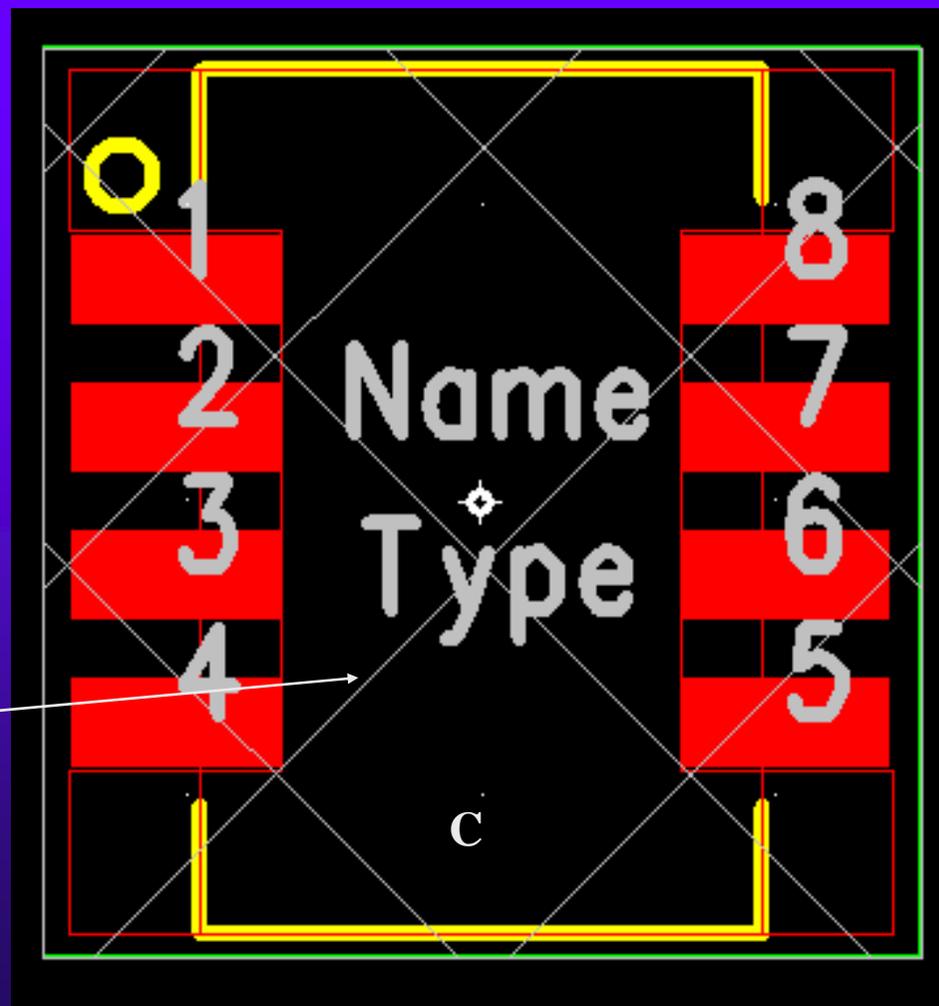
# 注重每个设计细节—补充实例



# 注重每个设计细节—补充实例



# 注重每个设计细节—补充实例



区域内禁止铺铜

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- **无线终端PCB常用HDI工艺介绍**
- 信号完整性 (SI) 的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

## PCB的HDI工艺

- HDI简介
- HDI工艺常用板材
- 盲埋孔HDI工艺PCB叠层结构
- 1+6+1结构的PCB制作简介



## HDI简介

HDI板，是指High Density Interconnect, 即高密度互连板，HDI板的钻孔孔径一般为3-6mil (0.076-0.152mm)，采用激光钻孔技术（有时也称为镭射孔技术）。从而使PCB的空间使用率得到很大的改善，主要用来解决像手机这类高密度互连板的设计困难，传统的机械钻孔技术已无法满足和实现高密度互连这一要求，目前这一工艺技术得到了广泛的利用，工艺技术也已很成熟。



## HDI工艺常用板材

- 常用材料

  - RCC与FR4,比较常用的是RCC

- RCC (Resin Coated Copper)

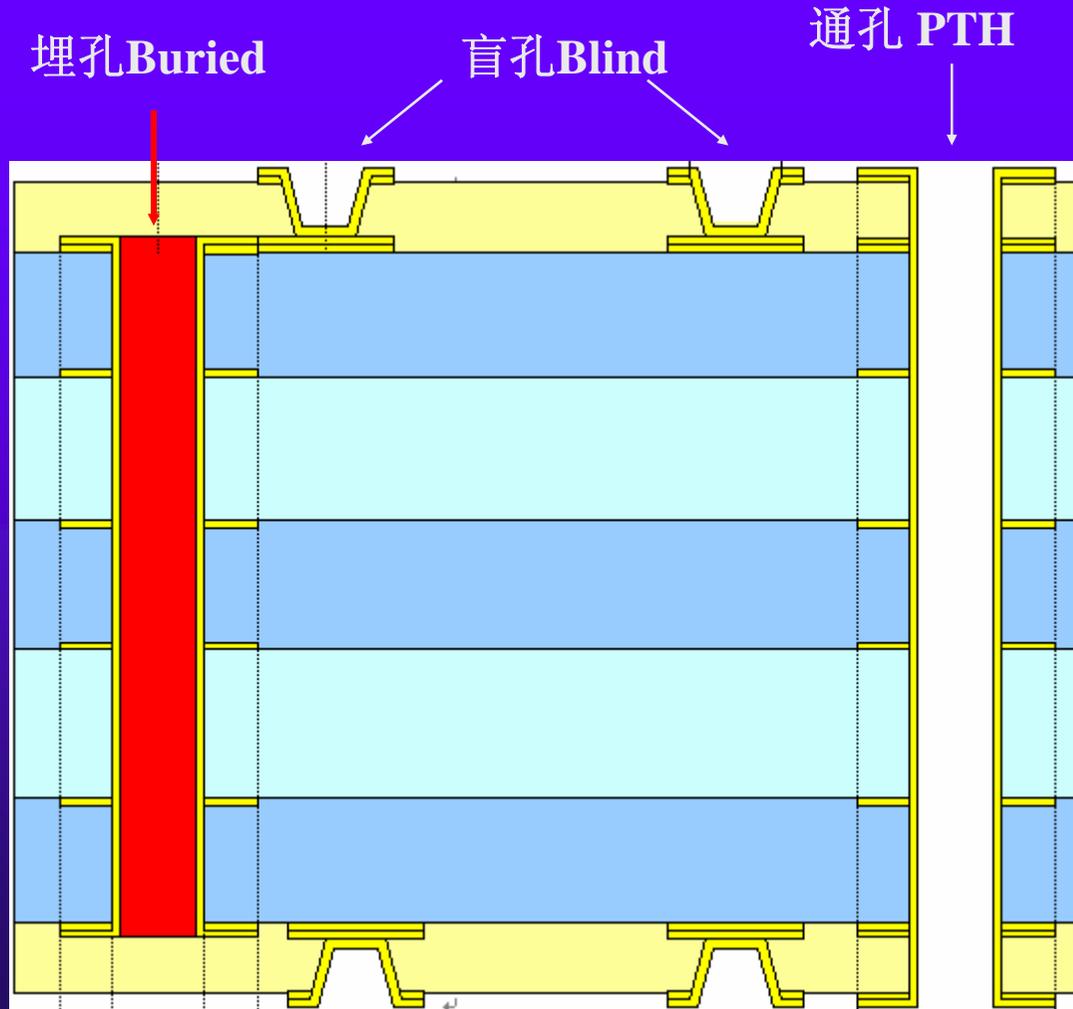
  - 涂胶膜铜箔(Resin Coated Copper) 是指将特别的树脂膜层涂在电镀铜箔上。这层膜可以完全覆盖内层线路而成绝缘层。

  - 不含玻璃介质层,易于镭射以及等离子微孔成形,表面光滑,适合微窄线路蚀刻。



# 盲埋孔HDI工艺PCB叠层结构

1+6+1八层盲埋孔PCB叠层结构



# 1+6+1结构的PCB制作简介

常见层压法1+6+1 PCB制作简介



A:  
1-2,8-7  
2-7  
1-7

A:  
1-2,8-7  
1-7



## 内容小结

本章主要简略的介绍了**HDI盲埋孔工艺**、材质以及一介**HDI类PCB制作流程**。

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- **信号完整性 (SI) 的基础概念**
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

## 信号完整性 (SI) 的基础概念

- 信号完整性概念
- 传输线简介
- 传输线常见种类
- 信号回路路径
- 特性阻抗概念



# 信号完整性概念

信号完整性（**Signal Integrity**，简称**SI**）是指在信号线上的信号质量。表示信号质量和信号经传输媒质传输后仍保持正确的功能特性，也就是要求信号从源端经过传输媒质后必须把信息完整无误的传送到负载端。

例如我们要求传送一个高电平逻辑**1**，这就要求负载段必须正确得接受到高电平逻辑**1**。然而由于我们设计的速度越来越高，再加上各种其他不利的因素，造成负载端接受到的为逻辑**0**，这就出现了我们说的信号完整性问题。

信号完整性问题是我们目前高速设计中不得不面临的问题，目前这一技术已形成了以完整的学科，很多公司也纷纷成立信号完整性这一部门来专门研究这一技术。

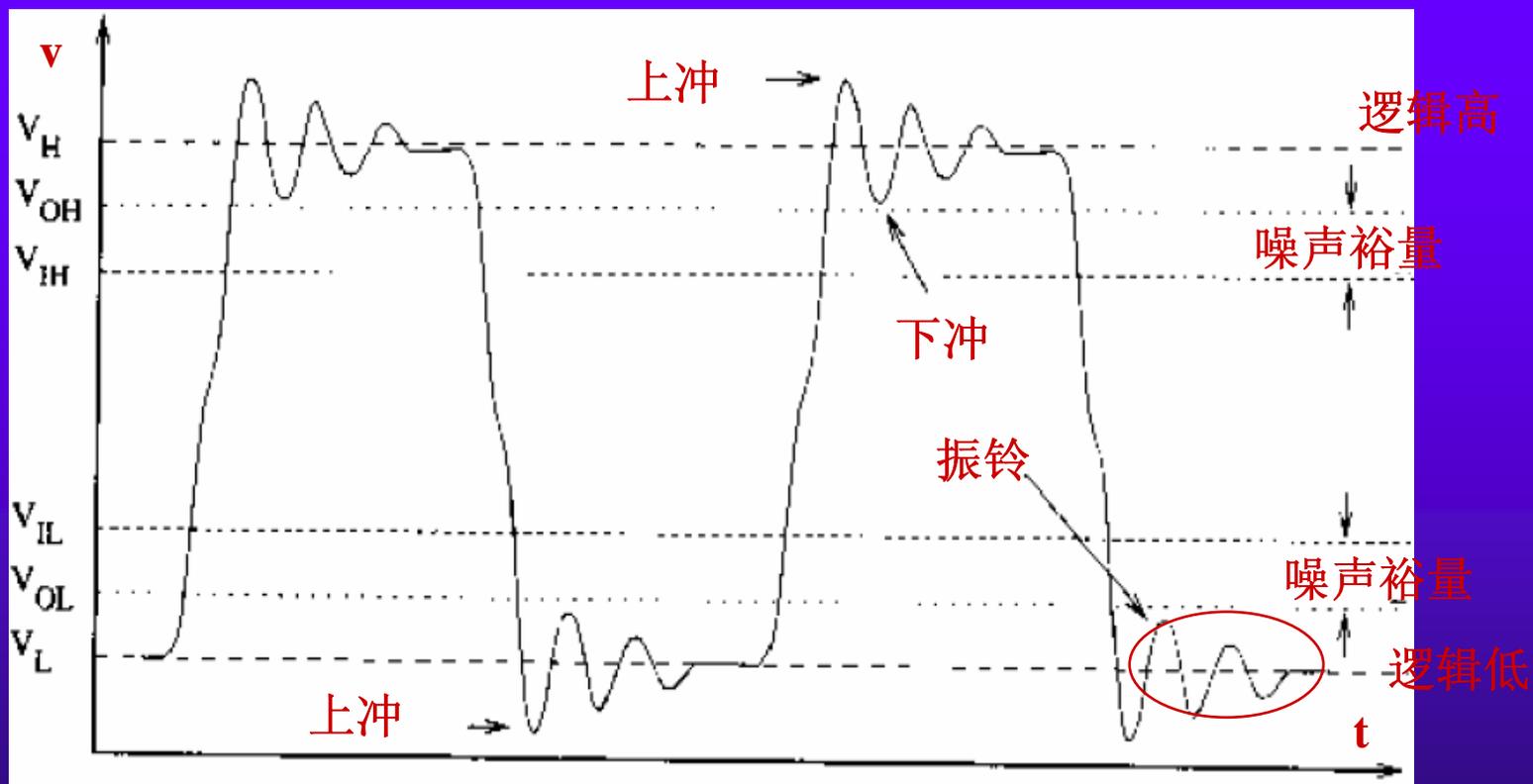


## 信号完整性问题

- 过冲（上冲&下冲）
- 振铃（有的称非单调性）
- 码间串扰
- 同步开关噪声
- 串扰
- 反射
- 地弹
- 延迟



# 信号完整性问题



## 信号完整性问题

### 高速电路的定义

一个是从频率上来讲的含义：

频率高，通常认为如果数字逻辑电路设计的频率达到或超过**20MHz**(有的说**10MHz**),而且工作在这个频率的电路已占整个电子系统一定的份量（常说三分之一），则称为高速电路。

另一个是指数字信号的上升沿与下降沿（有时称信号的跳变）非常快，当信号的上升沿时间小于**6倍**（有说**4倍**）信号传输延时即认为信号是高速信号，而与信号的频率无关。



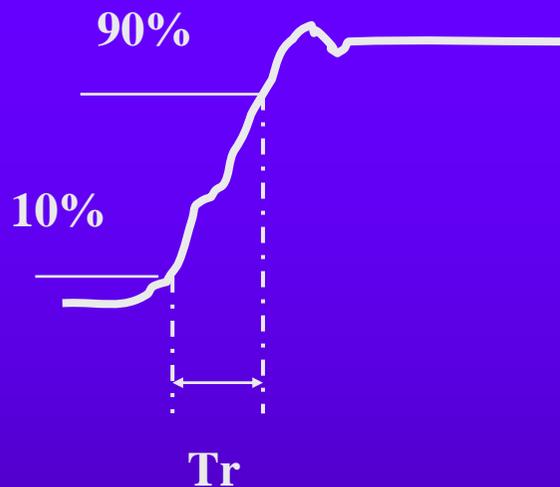
## 高速电路定义的理解

上面两个概念的定义都有点偏严，现在很多人都不会再把10M、20M放在心里，30M、50M也是常有人说；大家主要是能理解这个概念就行了。

$Tr < 6Tpd$ 也是偏严了点， $Tr < 4Tpd$ 比较合理， $Tr < 2Tpd$ 是理论值有点太松，实际因素太多有很大不确定性，把 $4Tpd \geq Tr \geq 2Tpd$ 归为不确定区， $Tr \leq 2Tpd$ 有问题区，。以 $Tr = 4ns$ 为例，结合集总参数来加强理解。



# 高速电路定义的理解



信号从驱动端到接收端需要一定的时间( $T_{pd}$ ), 如果传输时间小于  $1/2$  的上升或下降时间( $T_r$ ), 那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之, 反射信号将在信号改变状态之后到达驱动端。如果反射信号很强, 叠加的波形就有可能改变逻辑状态, 就是我们常说的过冲、振铃等信号完整性问题。

## 传输线简介

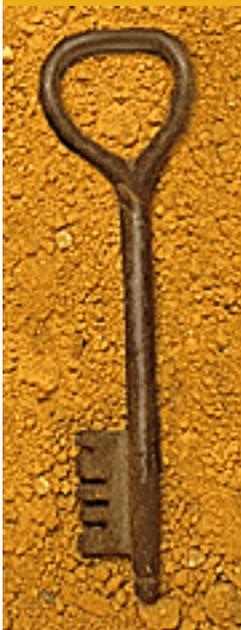
凡是能够导引电磁波沿一定方向传输的导体、介质、或由它们共同组成的导波系统，都可以称为传输线。在微波技术中传输线被看作最重要的基本元件。

在PCB设计系统里我们可以这样理解：两个具有一定长度的导体就构成了传输线，其中的一个导体成为信号传播的通道，而另外的一个导体则构成信号的返回通路。

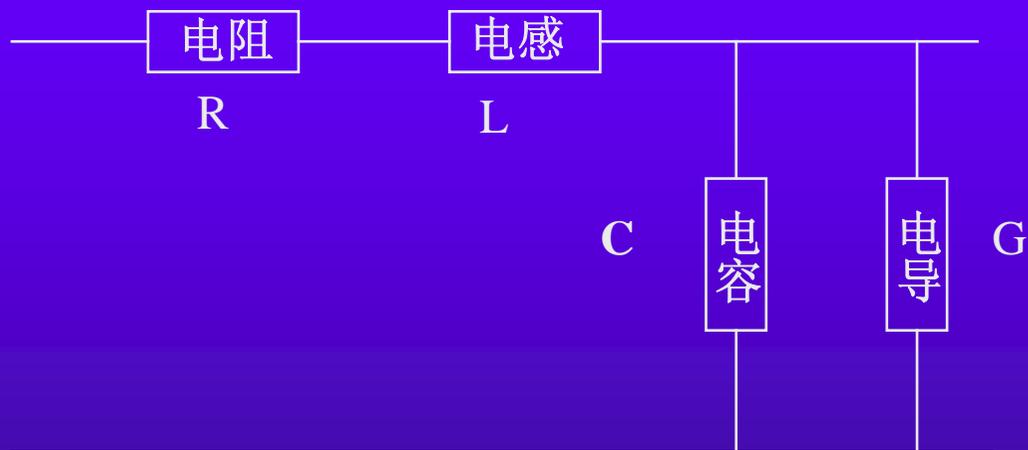
传输线作为一个分布参数系统，其基本特征可以归纳为：

- 1、电参数分布在其占据的所有空间位置上
- 2、信号传输需要时间，传输线的长度直接影响着信号的特性，或者说可能使信号在传输过程中产生畸变。
- 3、信号不仅仅是时间的函数，同时也与信号所处位置有关，即信号同时是时间和位置的函数





# 传输线模型

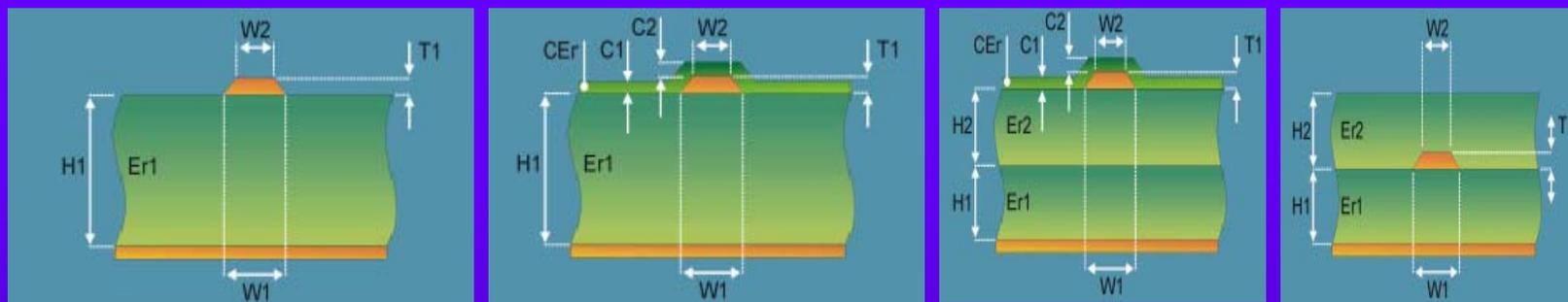


**R**=传输线单位长度的电阻值  $\Omega /M$   
**L**=传输线单位长度的电感值  $H/M$   
**C**=传输线单位长度的电容值  $F/M$   
**G**=传输线单位长度的电导值  $S/M$

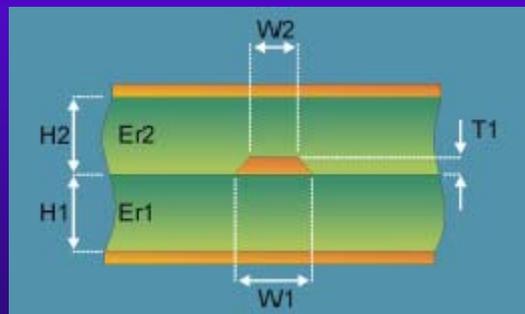
# 传输线常见种类

在PCB上我们常见的传输线有：

为了满足叠层厚度



微带线（还有线的两边有铜的）



带状线

## 集总参数系统

### 集总参数系统

在一般的电路分析中，我们把所涉及的网络都是看作集总参数来分析的，即电路的所有参数都集中在各个元件上，各点之间的信号是瞬间传递的。这是一种理想化的模型，

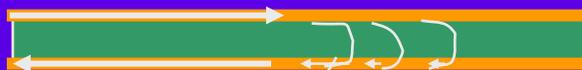
集总参数系统基本特征可归纳为：

- 1、电参数都集中在电路元件上
- 2、元件之间的连线的长短对信号本身的特性没有影响，即信号传输不需要时间。
- 3、信号仅仅是时间的函数。



## 信号回路路径

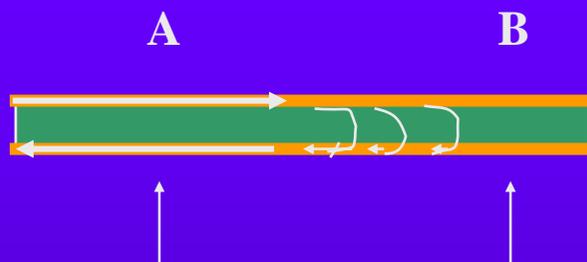
这里用常用的微带线来举例，如图，这里信号线的回路实际就是我们通常理解的“地”。



信号是以电磁波的方式沿传输线传输信号的，而不是以电子传播的。在带状线结构中信号的传播速度大约是  $6 \text{ 英寸} / \text{ns}$ ，而电子的传播速度大约  $0.04 \text{ 英寸} / \text{s}$ ，为什么是这样？这将是另外一个话题。这里不做进一步分析。

# 特性阻抗概念

特性阻抗是指信号沿传输线传播时，信号看到的瞬间阻抗值。



$$\Delta Z = \Delta V / \Delta I$$

特性阻抗概念举例，给定一定的水压，软管送水  
软管的压力正好匹配水压时正好把水送到目的地  
不匹配，则超越目的地，或不到目的地，甚至使  
源端水管破裂。可以看出阻抗不受控将会有很多  
问题发生，所以我们要想办法来让阻抗受控，下  
面有一章来讲这方面的内容。

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性 (SI) 的基础概念
- **射频PCB与数模混合类PCB的特殊叠层结构**
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性



## 射频PCB与数模混合类PCB的叠层结构

- PCB的分层
- PCB分层的原则
- 手机PCB分层考虑

## PCB的分层

**PCB**分层在**PCB**设计中也是很有讲究，好的分层会让设计避免出现许多让人困扰的问题发生，特别是目前高速**PCB**设计中，这个问题就越显的分层的好坏对**PCB**设计成功地的优劣。

有不少产品原来的双面板没问题，由于芯片的技术提高、信号速度的提高而出现了许多问题。现实中也经常会遇到分层不合理而造成的困扰，如设计中功能上都是显得很好，但是**EMC**、**ESD**试验就是无法通过，这一现象在目前高速设计中也是一个很普遍的问题。好的叠层可以为产品提供很好的**EMC**、**SI**、性能等。

由于每个企业首先考虑的是利益最大化，因此就要控制每个环节的成本，这就不得不要求我们优化设计，去找一个合适的折衷点

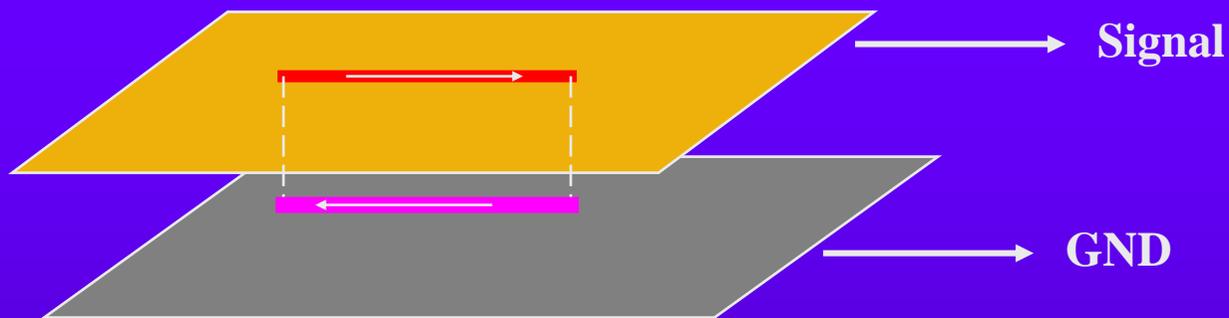




## PCB分层的原则

- 与元件面相邻的层为地平面，提供器件屏蔽层以及为顶层布线提供回流平面，另外对射频来讲可以防止射频泄露到内层。
- 所有信号层尽可能与地平面相邻
- 主电源尽可能与其对应地相邻
- 尽量避免两信号层直接相邻
- 兼顾层压结构对称

## 每一布线层要相邻一个完整平面

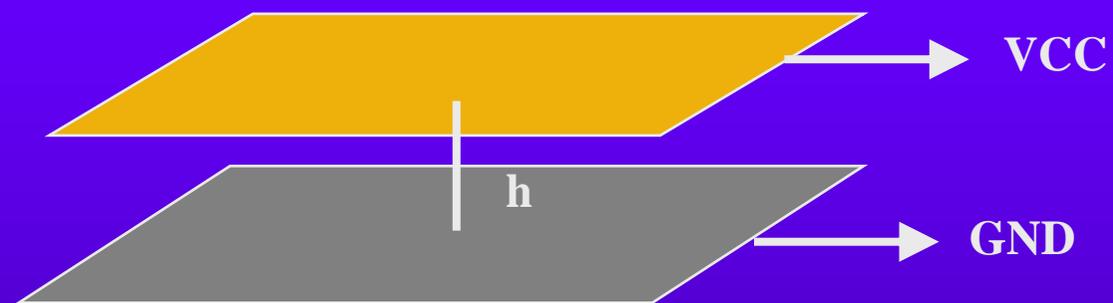


每一布线层相邻一个完整的平面层，这样处理可以提供信号很好的回流路径，最小的环路面积、最小的回路阻抗，在高速设计中这一点特别重要，记住一个原则回流总是沿着阻抗最小的路径走。

如果回路被断掉，则会发生一系列问题，阻抗不连续、回路被切断其走向则难控制、产生大的EMI，对于关键信号线最好是上下都紧邻GND，高速线也选GND，不选VCC，用水流可以形象地来理解，水沿着通道前进，突然通道被堵，部分水返回、部分绕道向四周不同的方向（地势低）溜去。

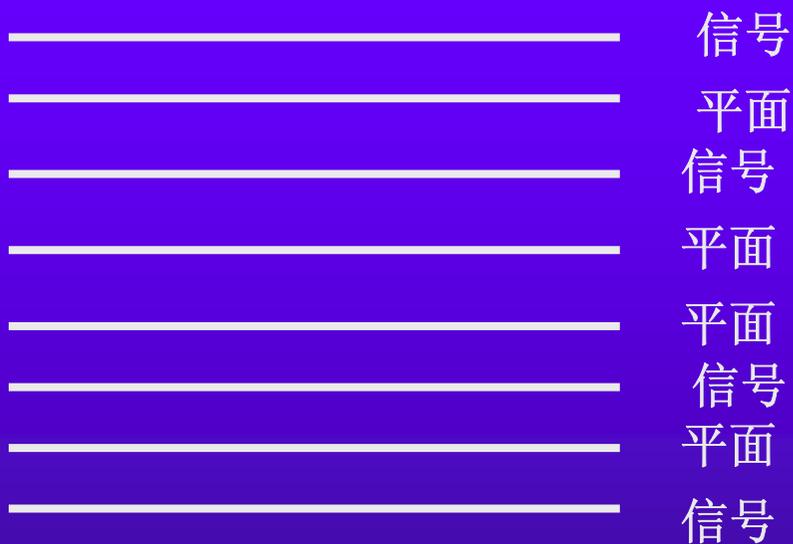
关键信号线：**Clock**、沿比较陡易产生干扰的信号、易被干扰得模拟小信号、复位信号、片选信号

## 电源层要与地层相邻



电源层要临近地层：提供很好的藕合，有利于藕合电容增大，去藕效果好，电源回路小，电源系统阻抗低，有利于改善地弹噪声，有利于控制EMI，其实有很多EMI的原因就是电源系统处理得不好造成的，目前人们也越来越关注电源完整性的设计，还出现了很多这方面的分析软件。两层中间的厚度  $h$  的值越小越好。

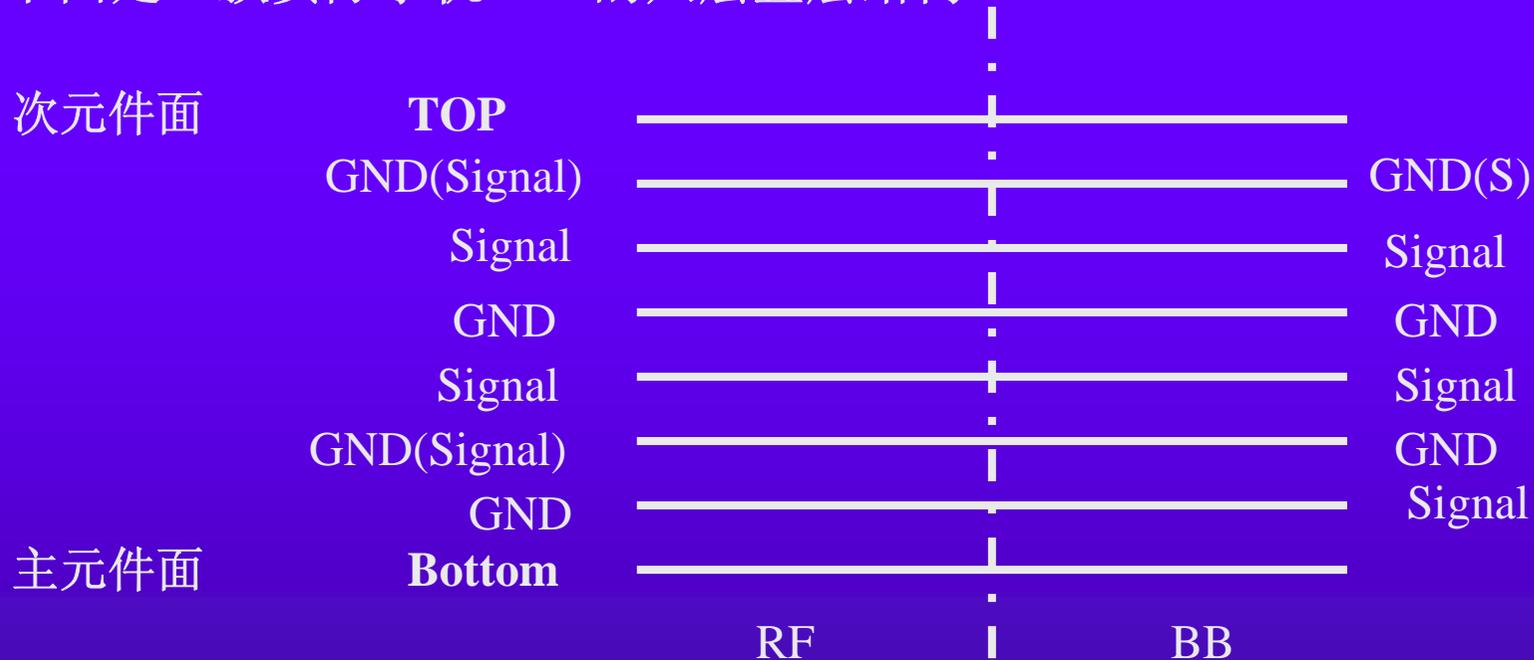
# 平衡的分层



平衡设计叠层，有利于改善PCB版的弯曲度，在接受焊接高温冲击冷却后板子弯曲变形小，对于高TG材质的PCB也有利于这方面的改善

# 手机PCB分层考虑

下面是一款实际手机PCB的八层叠层结构



这样的叠层有点不符合前面提到的分层原则，由于成本的元素，是个折衷处理的叠层，由于板子面积很小板子变形已不是主要考虑的对象，第6层RF上尽可能的不走线，第二层尽量少走线，走短线（Top也是）第5层是最好的走线层，尽量走主要关键线，没有独立电源层，下面章节讲原因。

RF板元件面下为GND，还可减少RF能量泄漏到内层其它区域的机会。

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- **特性阻抗的控制**
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

## 特性阻抗的控制

- 受控的特性阻抗
- 影响特性阻抗的因素
- PCB中特性阻抗的简化计算式
- 特性阻抗与影响特性阻抗因素的关系
- PCB设计中特性阻抗所涉及的方面
- 计算特性阻抗的常用软件

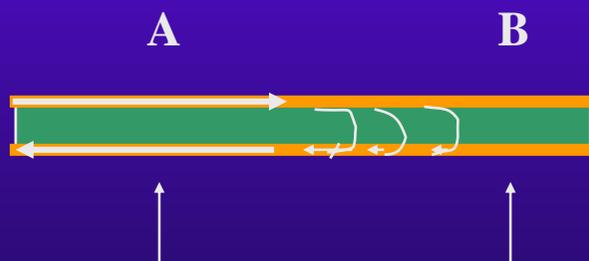




## 受控的特性阻抗

下面我们介绍一下特性阻抗的概念，特性阻抗是指信号沿传输线传播时，信号看到的瞬间阻抗值。如果信号沿传输线传播的过程中，任何实践和位置信号看到的特性阻抗都保持一致的话，那么我们就可以称这样的传输线的特性阻抗是受控的。

这种受控特性阻抗的传输线将使信号高质量无失真的传输，这也是我们在信号完整性分析领域中主要分析研究的问题。

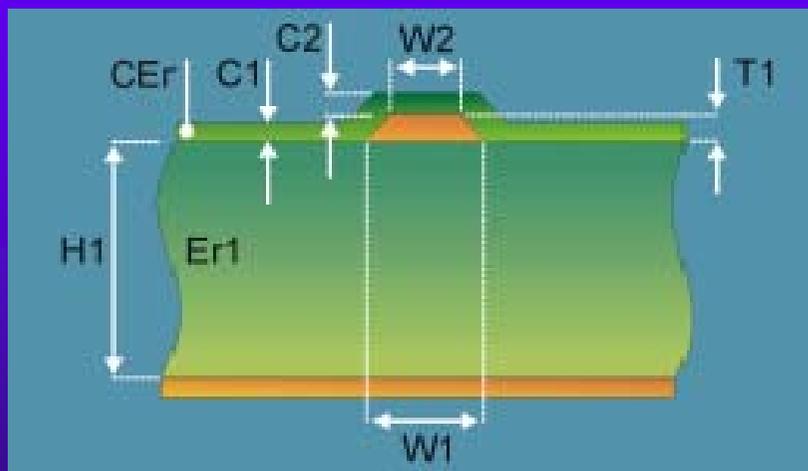


$$\Delta Z = \Delta V / \Delta I$$



## 影响特性阻抗的因素

特性阻抗在信号完整领域是非常重要的概念，它是影响信号质量的一个重要因素，因此我们就要想办法来控制它，让它按我们想要得大小来受控，那我们就要分析到底是那些因素来影响特性阻抗。





## PCB中特性阻抗的简化计算式

微带线

特性阻抗: 
$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} \quad (\Omega)$$

带状线

特性阻抗: 
$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67 \pi (0.8w + t)}$$



## 特性阻抗与影响特性阻抗因素的关系

特性阻抗与影响特性阻抗因素的关系：

与线宽 $W$ 成反比

与线的厚度 $t$ 成反比

与介质的电介常数  $\epsilon_r$ 的平方根成反比

与介质的厚度 $h$ 成正比

另外 差分阻抗与线间距 $S$ 成正比

(与GND的距离足够远)



## PCB设计中特性阻抗所涉及的方面

- 考虑设计中可能要用到的传输线类型
  - 根据用到的传输线类型进行合理叠层分配
  - 根据特性阻抗要求调整合适的参数组合，以确定设计参数
  - 与厂商沟通设计参数进行确定
- 由于PCB厂家在实际的制作中有很多因素制约从而与我们事先自己计算的参数会有出入



## 计算特性阻抗的常用软件

### Polar

目前比较高版本的有

**SI8000**      **SI9000**

比较前面的版本

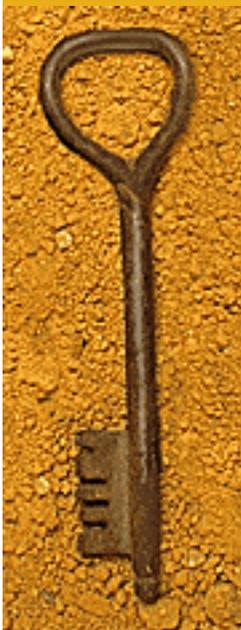
主要是**CITS**系列版本，目前大部分**PCB**厂家还在沿用这个系列的版本

嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



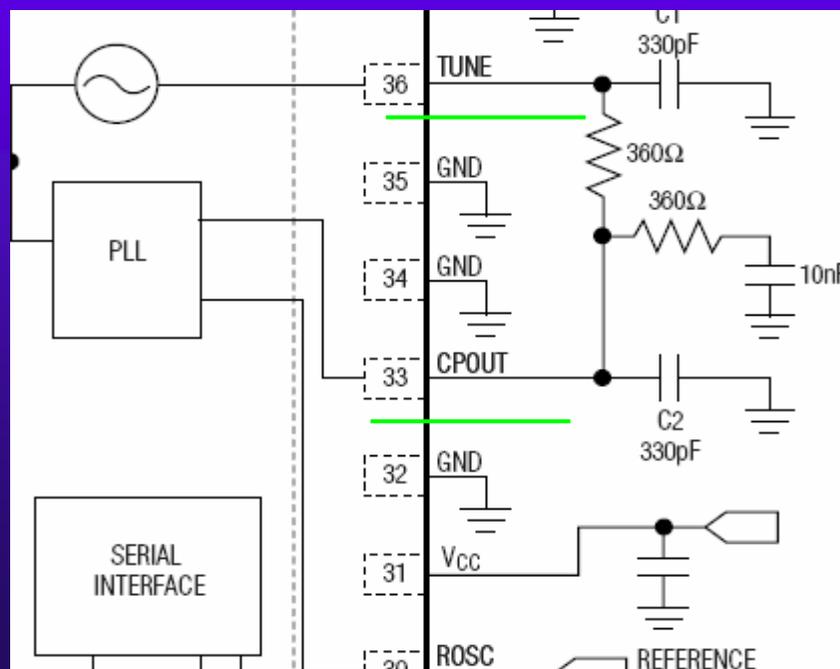
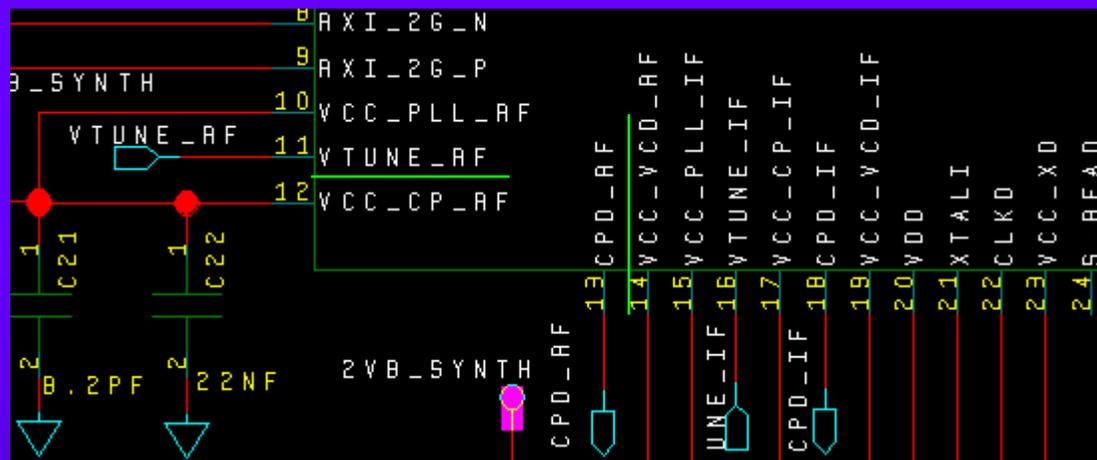
- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- **射频PCB与数模混合类PCB的布线规则和技巧**
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性



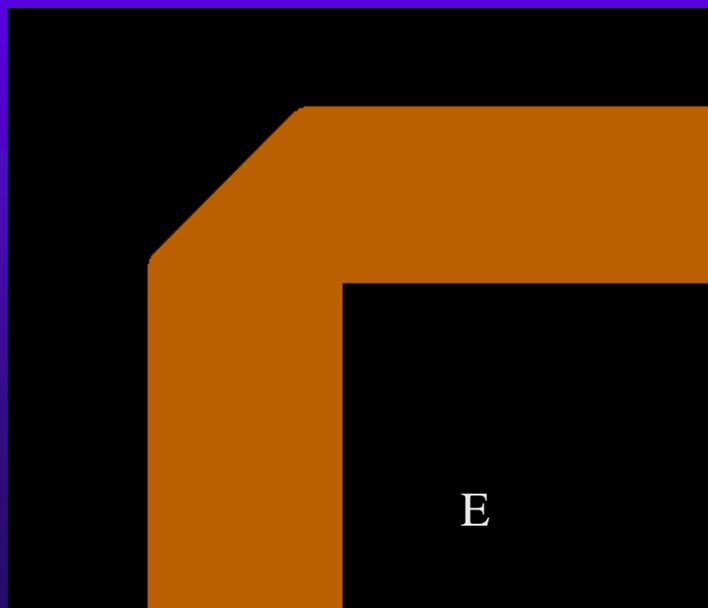
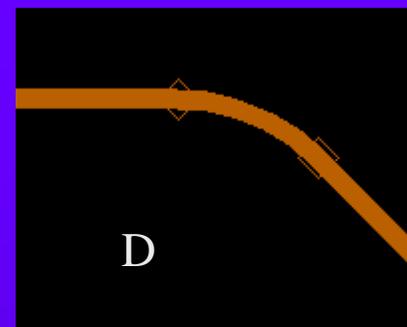
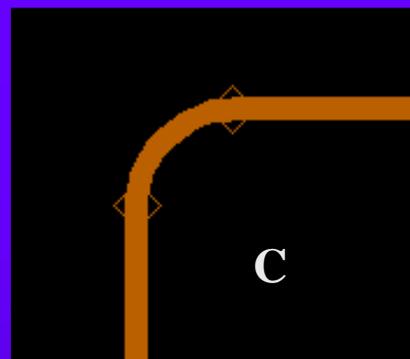
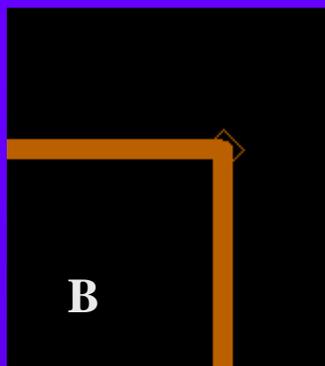
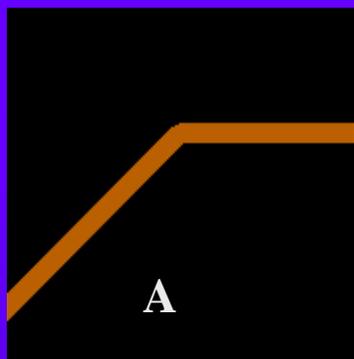
## 射频PCB与数模混合类PCB的布线规则和技巧

- 熟悉主要的一些脚pin含义
- 射频布线
- 布线技巧
- 天线ANT处理
- 时钟电路的布线技巧
- 自动增益控制处理
- 滤波器 处理
- 电源处理
- 去藕电容的布线要点
- 过孔模型与寄生参数
- 接地和过孔设计
- PLL电路处理
- 地线影响阻抗
- 电流分布图
- 数模混合类PCB布线

# 熟悉主要的一些脚pin含义



# PCB布线方式



# PCB布线方式

直角走线是我们PCB设计着一定避免的一个基本要求，那到底直角走不好再那里：

- 直角有寄生电容效应，减缓上升时间。
- 阻抗不连续会造成信号的反射
- 直角尖端产生的EMI。

直角寄生电容可以由下面这个经验公式来近似计算：

$$C=61w(\epsilon_r)/2z_0$$

举例：5mil线宽， $\epsilon_r=4.5$ ，特性阻抗为50欧姆，

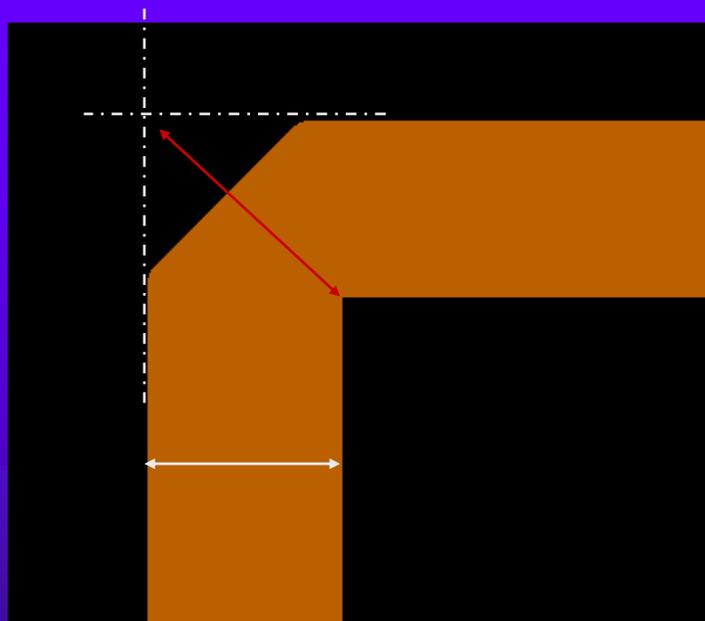
则直角寄生电容近似为： $C=61w(\epsilon_r)/2z_0=0.0137\text{ pF}$

引起的延迟为： $T_{10-90\%}=2.2*C*Z_0/2=0.7535\text{ pS}$



# PCB布线方式

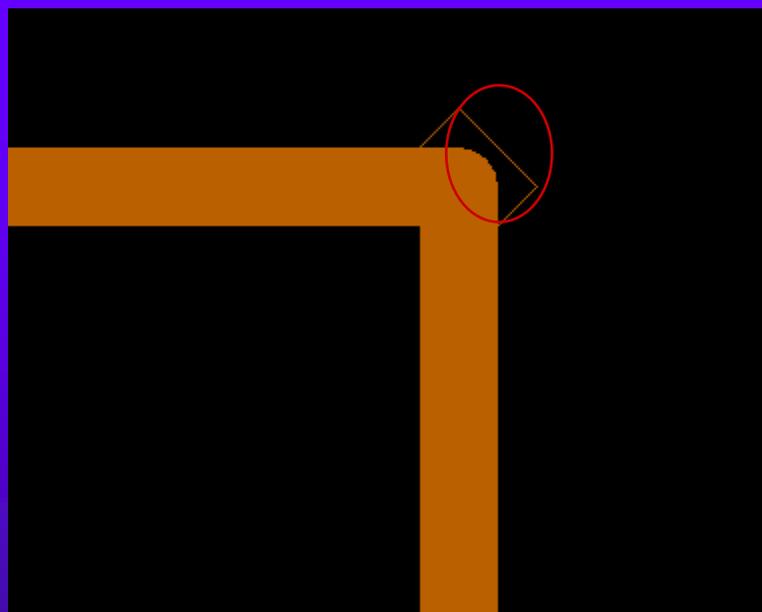
直角走线造成的阻抗不连续:



直角走线的线宽增加，该处的阻抗将减小，于是会产生一定的信号反射现象，我们可以看出引起阻抗变化的量很小，并且又是发生在极短的时间内（几pS），这样快而且微小的变化对一般的信号传输来说几乎是可以忽略的（GHz内）。

# PCB布线方式

直角走线尖端产生的EMI:



直角走线尖端产生EMI这是肯定的，我们也常提尖端放电也是这一原理，但是要在一定的条件下，因此直角走线尖端产生EMI 的量是非常微小的，至少目前还没有什么仪器能测得出这个微小的级别，其量级已小于仪器的测量误差。至少在Ghz内我们不用担心这个级别的EMI.

## PCB布线方式

通过上面针对直角走线的三个不利因素方面我们做了分析，可以看出直角走线的不利因素已被人为的夸大化了，并不是想象的那样可怕，至少在GHz内没有啥太令人不放心的是发生。但上了GHz的事情就要关注了。

虽然不利的因素是很微小，但毕竟是不利，所以我们还是要遵循好的设计原则，我们详细的来分解直角走线的这些不利因素，目的是让大家明白直角走线到底会发生哪些不利因素。

大家回头可不要讲XXX讲课了说直角的不利因素非常微小，就可以走直角线了，呵呵，那我就会被骂了。





## 射频布线

所有的走线都是一条潜在的既可接收也可发射**RF**信号的天线，所以，将射频信号与关键线路、零组件隔离是必须的。

射频信号线的阻抗必须是受控的，要保证其回流路径的正确。尽可能的优化布线，使射频线最短、不使用过空就能实现连接，如果要使用过孔则优先考虑盲埋孔组合，不使用通孔，实在要走通孔则在此通孔附近至少伴随一个地过孔。后面有此种情况的举例。

## 布线技巧

射频PCB设计中必须做到**RF**输出远离**RF**输入，这是总的原则，射频PCB布局 and 布线都应遵循这个原则（后面有实例）。

这儿所说的**RF**输出远离**RF**输入是包含了射频的每一个单元如放大器、缓冲器和滤波器等，不只是我们常讲得**TX**与**RX**

在射频PCB板上，通常看到将低噪音放大器电路（**RX**）放在PCB板的某一面，而高功率放大器电路（**TX**）放在另一面，并最终藉由双工器在同一面上将它们连接到**RF**天线的一端和基频处理器的另一端。这需要一些技巧来确保**RF**能量不会由过孔，从板的一面传递到另一面，常用的技术是在两面都使用盲孔。可以藉由将盲孔安排在PCB板两面都不受**RF**干扰的区域，来将过孔的不利影响减到最小。

即**RF**收发电路分开布局



## 天线ANT处理

天线的概念：

把高频电能变为电磁场能量或把电磁场能变为高频电能的装置称为天线。要想天线有一个好的特性，其谐振是最基本的要求，这一块也就是我们常说的天线匹配网络。

至于天线具体的原理、特性等等就不讲了，我们主要是关注如何PCB设计，只要大概的知道它是干嘛的装置。

下面就来看看这部分的PCB设计需要留心的一些地方和处理方法。



嵌入式SOC社区

<http://bbs.51soc.com>



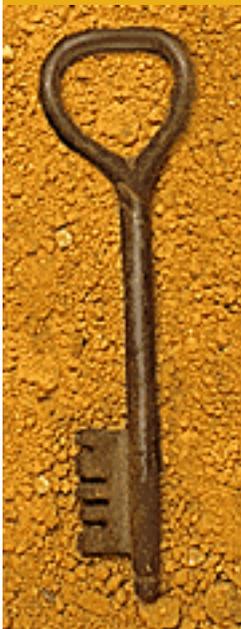
## 天线ANT处理

手机PCB的天线（内置）设计要点：

一样遵循RF布线规则，线尽量短，不使用过孔，保证其阻抗要求。优化天线匹配网络，天线RF馈电焊盘应采用圆角矩形盘，并且焊盘含周边 $\geq 1\text{mm}$ 的面积下PCB所有层面要挖掉铜箔。以尽可能减小其寄生参数对天线的影晌。天线布线采取地保护布线，但要注意地线与其的距离要 $\geq 4H$ （后面有具体的举例）。

天线区域内不要放置其他不想关器件，特别是像LDO、电池座摄像头或摄像头接插件、LCD、马达、SPEAKER、RECEIVER、FPC排线和低频驱动器件等。能不把这些器件放在靠近天线的位置就尽量不要放，就是要放最好离开20mm的距离，而且要用地隔离。

针对不同的天线还有不同的处理要求，如皮法天线要求天线的投影区域要铺完整的地铜箔，而单极天线则相反，因此要多和天线生产厂技术人员沟通也是很必要的。再如采用2个馈电点的天线，对2个馈电点的距离要求等等。



嵌入式SOC社区

<http://bbs.51soc.com>





## 时钟电路的布线技巧

这部分电路要优先考虑，要多琢磨布局的方式，根据机构条件尝试多种方法。优先考虑参考时钟线路的布线，使参考时钟输出到达器件引脚的路线要尽量短，对时钟线尽量采取保护地（要考虑**3W&3H**）。同层和相邻层不能有走线与时钟线在位置上近距离平行，在高密度PCB设计时相邻层很容易被人忽略，如果时钟线走在内层最好其上下都为**GND**，特别要妥善处理参考时钟线路与功放电源线和射频单元逻辑控制电源线之间的位置。不要选电源平面作为回流参考平面。

时钟电路中的寄生电容应该尽量避免和消除，时钟线路接地布线最忌讳的是在未达到主地之前与屏蔽体的地或锁相环的地互连，同时尽量避免孤岛型地的存在，如果可能就优先采取单点直到主地的方法。

晶体所在位置铺地时要仔细斟酌，

## 时钟电路的布线技巧



压控振荡器(VCO)可将变化的电压转换为变化的频率，这一特性被用于高速频道切换，VCO控制线通常是一个控制频率的反馈回路的一部份，它在很多地方都有可能引入噪音，因此必须非常小心处理VCO控制线。

如果条件许可最好给这部分电路设计单独的屏蔽罩。

## 自动增益控制 (AGC)

无论发射还是接收电路都会有AGC放大器,要求AGC电路有一个相当大的频宽,这就使AGC放大器很容易引入噪音。

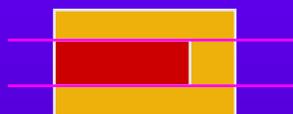
设计AGC线路必须遵守模拟电路的设计原则,亦即使用很短的输入接脚和很短的反馈路径,而且这两处都必须远离RF、IF或高速数字信号线路。同样,良好的接地也必不可少,而且芯片的电源必须得到良好的去耦。如果必须在输入或输出端设计一条长的走线,那么最好是选择在输出端实现它,因为,通常输出端的阻抗要比输入端低得多,而且也不容易引入噪音。通常信号电平越高,就越容易将噪音引入到其它电路中。



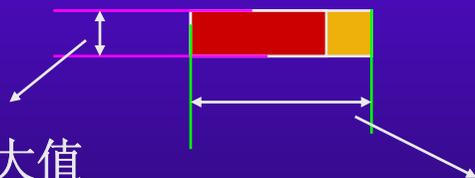
## 滤波器 处理

滤波器在建库时其PIN脚的PAD不能外扩得太大，以避免寄生参数对滤波器造成影响。

工程上曾遇到过这样的例子，因滤波器PIN脚的PAD偏大，造成滤波器失效。



沿着这两条线把铜箔刮掉

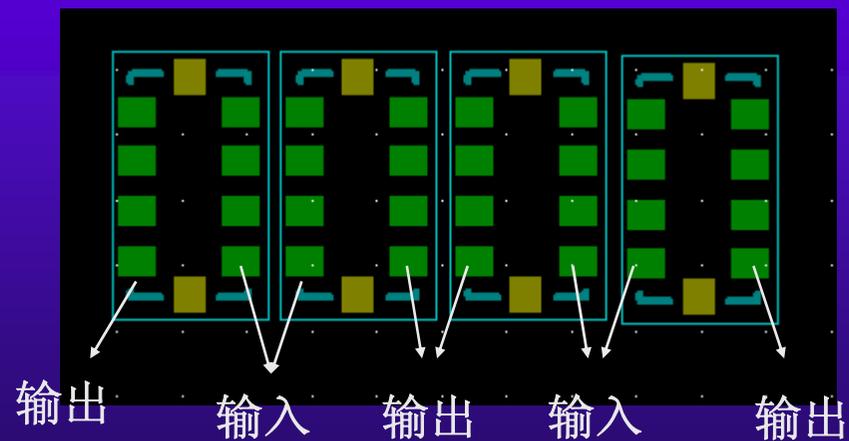
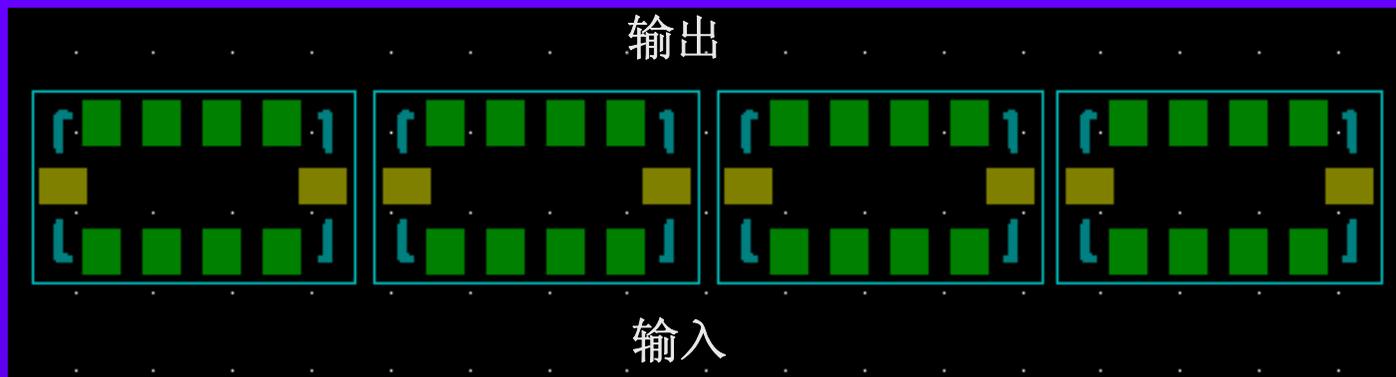


取其最大值

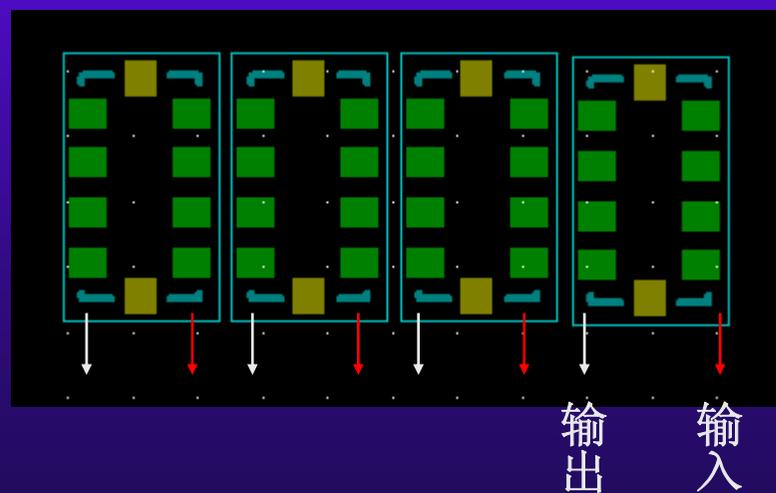
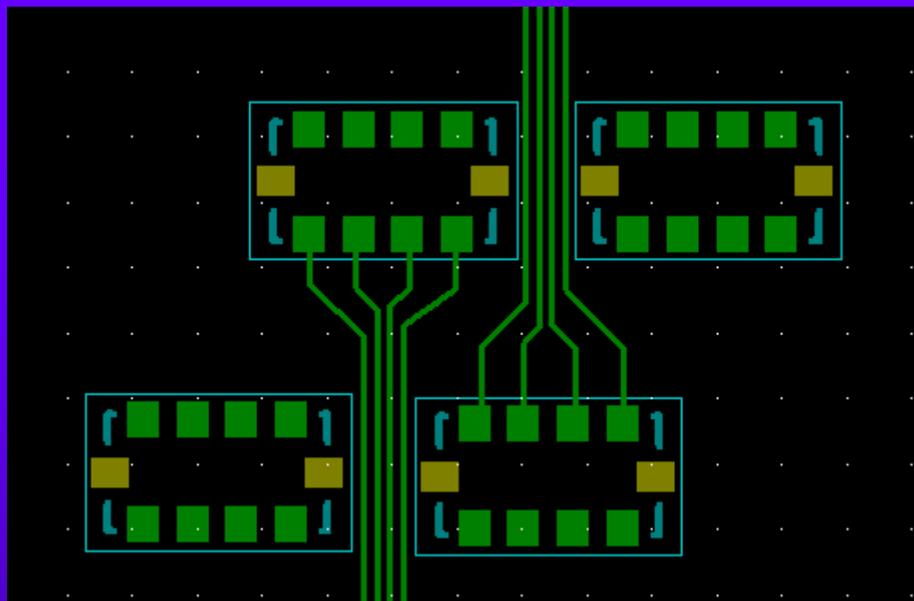
最小取其最大值+0.2mm,一般取+0.3mm,最大取+0.5mm

另外在其PAD正下方的GND也要挖空，一般挖一层或2层即可，不过也有不少是一挖到底。

# 多路数据线EMI滤波器



# 多路数据线EMI滤波器



## 电源处理

如果电源设计时没有经过认真考虑，则使得电源电压很容易产生错误的输出和噪声，这会进一步影响到**RF**电路的性能，使用不同分支的电源线，为射频芯片的电源引脚供电。每个电源引脚使用独立的引线在引脚之间提供了空间上的隔离，有利于减小它们之间的耦合。另外，每个电源引脚都要做好充分的去藕滤波。下面我们将列举实例来看看如何在**PCB**设计中进行考虑运用这些技术。

去耦电容存在一定的寄生电感。事实上，电容等效为一个串联的**RLC** 电路，因此有一个自激振荡频率，电容在低于这个频率时起主导作用，但在大于自激振荡频率时则失去电容的功能而变成了一个电感器件。

由此可见，电容器只是在频率接近或低于其自激振荡频率时才具有去耦作用，在这些频点电容表现为低阻抗。

理解这些概念有助于我们在**PCB**设计中去优化处理那些去藕电容的设计。



## 电源处理



设计中尽量优先采取星型电源布线结构，如果电源采用了星型拓扑结构，则在主节点处最好放置一个大容量的电容器，如**2.2uF**或**4.7uF**。有利于消除低频噪声、建立稳定的直流电压很有效。射频IC的每个电源引脚需要一个低容量的电容器(如**10nF**或**10pF**)，用来滤除可能耦合到电源线上的高频噪声。对于那些对噪声敏感电路供电的电源引脚，可能需要外接两个旁路电容。例如：用一个**10pF**电容与一个**10nF**电容并联提供旁路，可以提供更宽频率范围的去耦，尽量消除噪声对电源电压的影响。每个电源引脚都需要认真检验，以确定需要多大的去耦电容以及实际电路在哪些频点容易受到噪声的干扰。

良好的电源去耦技术与严谨的**PCB**布局、电源引线拓扑结构相结合，能够为任何**RF**系统设计奠定稳固的基础。尽管实际设计中还会存在降低系统性能指标的其它因素，但是，拥有一个“无噪声”的电源是优化系统性能的基本要素。

虽然这些关键的措施大部分是由硬件工程师要考虑的问题，但**PCB**设计人员理解和掌握这些原理会对**PCB**实际设计有很大的益处。下面有实例来讲解。

## 电源处理

在高速数字设计中，对电源也越来越重视，要求也越来越高，电源完整性问题也已成为一个研究的问题点。这里也不涉及这方面的探讨，在后续的一个课题里将会对这一部分有研究。如果大家感兴趣请关注我们的下一课题-----

### 《符合EMC与SI要求的高速PCB设计》

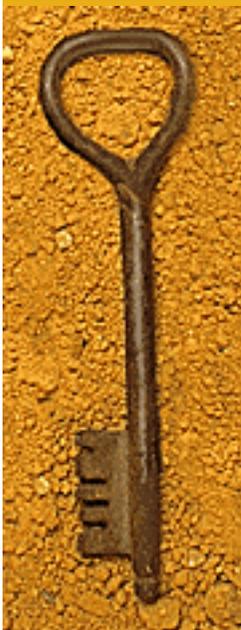
射频模块对电源噪声比较敏感，所需电流也不大，因此不宜采取平面供电，而是采取走险的方式来供电。这和数字电源系统不同。



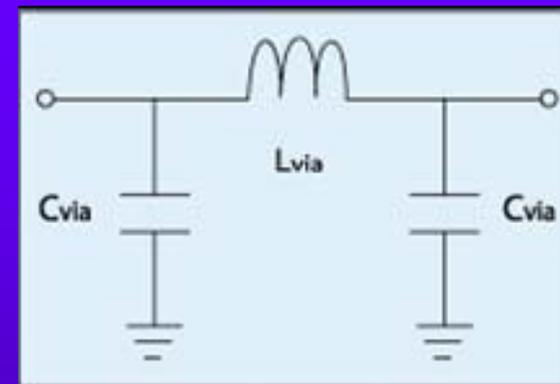
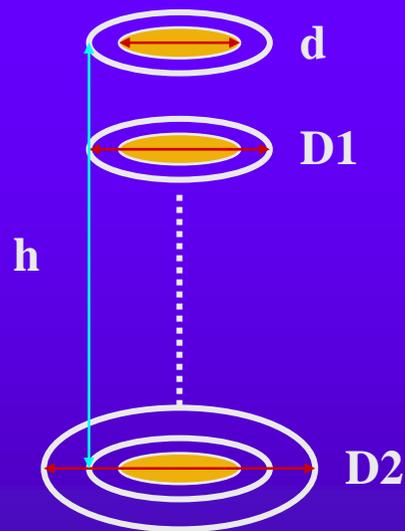
# PA处理

## PA电源线:

- 最好其上下两层都相邻GND
- 要有能承担相应最大电流的宽度并有一定的裕量
- 单独走线
- 做好去藕
- 不要从PA下方走线
- 要充分考虑PA的热设计



# 过孔模型与寄生参数



基材介电常数为  $\epsilon$

寄生电容近似:  $C_{via}=1.41 \epsilon hD1/(D2-D1)$

寄生电感近似:  $L_{via}=5.08h[\ln(4h/d)+1]$

## 过孔寄生参数的影响

假设一块厚度为62Mil的PCB板，如果使用内径为10Mil，焊盘直径为20Mil的过孔，与地铺铜区的隔离焊盘直径为32Mil，基材的电介常数为4.5。

通过上面的公式近似算出过孔的寄生参数：

$$C_{via}=1.41 \times 4.5 \times 0.062 \times 0.020 / (0.032 - 0.020) = 0.64108 \text{ pF}$$

这部分电容引起的上升时间变化量为：

$$T_{10-90} = 2.2C(Z_0/2) = 2.2 \times 0.641 \times (50/2) = 35.255 \text{ ps}$$

$$L_{via} = 5.08 \times 0.062 [\ln(4 \times 0.062 / 0.010) + 1] = 1.326 \text{ nH}$$

如果信号的上升时间是1ns，那么其等效阻抗大小为：

$$X_L = \pi L / T_{10-90} = 4.16 \Omega$$

如果更高的频率则这个值还要大（2.5G—约12 Ω）

高速高频信号线尽量少打过孔，在SI领域这些都是不可忽略因素  
如果大家在这方面感兴趣的话请关注我们的另一个课题。



## 过孔寄生参数的影响实例

从过孔的这些理论，我们如果细细想想会从中领会到不少实际PCB设计的指导性思想，大家来讨论一下：

- 通过上面对过孔寄生特性的分析，因此我们要清楚，在高频高速类PCB设计中，过孔设计已不能太随便使用，一个简单的过孔设计不当也会给电路的设计带来很大困扰。
- 设计合理的过孔，你可能要设计几种不同的过孔—普通、高频高速信号线、电源&地
- 高频高速线尽量不换层（少用过孔）
- 过孔附近放置地过孔
- 在没有板厚要求得情况下，尽量使PCB薄些。
- 优化高速连接器的焊盘设计（压接型）
- 高速高频不共用接地过孔
- 电源&地过孔采用多孔改善寄生阻抗（短而粗线来改善引线电感



## 接地和过孔设计

在射频和高速PCB设计中所有的信号地以最短的路径连接到地层非常关键，过孔主要呈现为感性，对于RF电路的接地孔本着永远不共用的原则。一个1.6mm深、孔径为0.2mm的过孔具有大约1—3nH的电感，在2.5GHz/5.0GHz的频率时其等效电抗大约为12Ω和24Ω。因此，一个接地过孔并不能够为RF信号提供真正的接地，对于高品质的电路板设计，应该在RF电路部分提供尽可能多的接地过孔，特别是对于那些需要有大面积接地的IC，其封装中的裸露接地焊盘要做好充分接地。不良的接地会出现许多不希望的问题，如产生有害的辐射，降低增益和噪声系数指标。不仅仅是电容应该所有的接地都不共用一个过孔，如果去耦电容使用了同一接地过孔，由于过孔的电感效应，这些连接点的过孔将会承载来自两个电源的全部RF干扰，不仅丧失了去耦电容的功能，而且还为系统中的级间噪声耦合提供了另外一条通路。



嵌入式SOC社区

<http://bbs.51soc.com>



## PLL外接环路处理

PLL 电路在系统设计中是个很关键的模块，也是很容易出问题的地方，要想这一块设计得好，杂散特性比较好的话，就必须从各个方面特别小心的处理，其一必须要有良好的地线设计。现在大部分的芯片设计中都把所有的PLL 和VCO 集成在了芯片内部，大多数PLL 都是利用数字电流电荷泵输出通过一个环路滤波器控制VCO。通常需要用二阶或三阶的RC 环路滤波器滤除电荷泵的数字脉冲电流，得到模拟控制电压。处理好环路的各个接地节点是非常重要的，最安全的做法就是让各个节点独自接地，如果不行，那就要小心的处理了，靠近电荷泵输出的电容必须直接与电荷泵电路的地连接。靠近另外一端的电容应该与VCO 的地连接。这样的接地方案可以获得较高的系统性能。如果违背这些原则，将会导致相当大的杂散成分。

记得在刚入道1年多设计一个调频收音机时，当时就把放大器的前级和后级的地连在了一起，造成了好大麻烦。其实这和我们生活中行车走路一样，如果大家都遵循规则各行其道，大家都相安无事，就是有人变道抢道不遵循规则才会出了乱子。



## PLL电路

在实际工程设计中，要想PLL电路有好的杂散特性，除了要合理的设计好接地外，还要有好的布局、电源布局和去耦技术。

由于电荷泵中存在较大的电流变化，电源布线采用星型拓扑是非常有益的措施。并且要对电源做好去藕设计，如果没有足够的隔离和去藕，电流脉冲产生的噪声会耦合到VCO 的电源，对VCO 频率进行调制，这就是我们常听到的“VCO 牵引”。必要时还需要一个串联的铁氧体元件来提高电源的隔离度。

另外电源的布线也要小心，如果电源布线不合理，不小心把VCO 的电源线恰好位于电荷泵电源的下面，这时VCO 电源线上就极易引入来自电荷泵的噪声干扰，这时无论你再采取什么样的措施都不会有好的效果，只有重新设计PCB了。

因此我们PCB工程师要有看懂这部分电路的技能，如果看不太清楚的话，一定要想电路设计人员了解清楚。

所以要想设计一块好的射频PCB必须注意每一个细节。



嵌入式SOC社区

<http://bbs.51soc.com>



嵌入式SOC社区

<http://bbs.51soc.com>



## LCD布线

PCB设计过程中，可以在单个层中进行LCD布线。

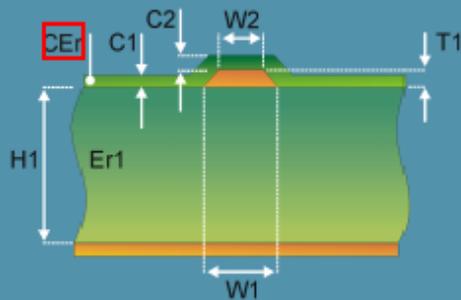


# 地线影响阻抗

## 无GND

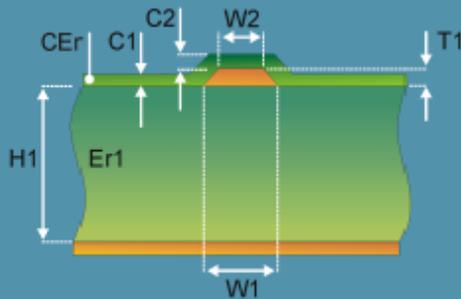


Coated Microstrip 1B



			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	<input type="text" value="7.6000"/>	+/- 0.0000	7.6000	7.6000
Substrate 1 Dielectric	Er1	<input type="text" value="4.5000"/>	+/- 0.0000	4.5000	4.5000
Lower Trace Width	W1	<input type="text" value="12.0000"/>	+/- 0.0000	12.0000	12.0000
Upper Trace Width	W2	<input type="text" value="11.0000"/>	+/- 0.0000	11.0000	11.0000
Trace Thickness	T1	<input type="text" value="2.3008"/>	+/- 0.0000	2.3008	2.3008
Coating Above Substrate	C1	<input type="text" value="1.0000"/>	+/- 0.0000	1.0000	1.0000
Coating Above Trace	C2	<input type="text" value="1.0000"/>	+/- 0.0000	1.0000	1.0000
Coating Dielectric	CEr	<input type="text" value="3.5000"/>	+/- 0.0000	3.5000	3.5000
Impedance	Zo	<input type="text" value="50.00"/>		0.00	0.00

Coated Microstrip 1B



			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	<input type="text" value="0.0600"/>	+/- 0.0000	0.0600	0.0600
Substrate 1 Dielectric	Er1	<input type="text" value="3.4000"/>	+/- 0.0000	3.4000	3.4000
Lower Trace Width	W1	<input type="text" value="0.1031"/>	+/- 0.0000	0.1031	0.1031
Upper Trace Width	W2	<input type="text" value="0.0777"/>	+/- 0.0000	0.0777	0.0777
Trace Thickness	T1	<input type="text" value="0.0350"/>	+/- 0.0000	0.0350	0.0350
Coating Above Substrate	C1	<input type="text" value="0.0254"/>	+/- 0.0000	0.0254	0.0254
Coating Above Trace	C2	<input type="text" value="0.0254"/>	+/- 0.0000	0.0254	0.0254
Coating Dielectric	CEr	<input type="text" value="3.5000"/>	+/- 0.0000	3.5000	3.5000
Impedance	Zo	<input type="text" value="50.33"/>		50.33	50.33



# 1H

**Coated Coplanar Strips With Ground 1B**

Notes  
 Add your comments here

Units  
 Mils  
 Inches  
 Microns  
 Millimetres

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	7.6000	+/- 0.0000	7.6000	7.6000
Substrate 1 Dielectric	Er1	4.5000	+/- 0.0000	4.5000	4.5000
Lower Trace Width	W1	12.0000	+/- 0.0000	12.0000	12.0000
Upper Trace Width	W2	11.0000	+/- 0.0000	11.0000	11.0000
Lower Ground Strip Width	G1	20.0000	+/- 0.0000	20.0000	20.0000
Upper Ground Strip Width	G2	19.0000	+/- 0.0000	19.0000	19.0000
Ground Strip Separation	D1	7.6000	+/- 0.0000	7.6000	7.6000
Trace Thickness	T1	2.3000	+/- 0.0000	2.3000	2.3000
Coating Above Substrate	C1	1.0000	+/- 0.0000	1.0000	1.0000
Coating Above Trace	C2	1.0000	+/- 0.0000	1.0000	1.0000
Coating Between Traces	C3	1.0000	+/- 0.0000	1.0000	1.0000
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	45.79		45.79	45.79

**Coated Coplanar Strips With Ground 1B**

Notes  
 Add your comments here

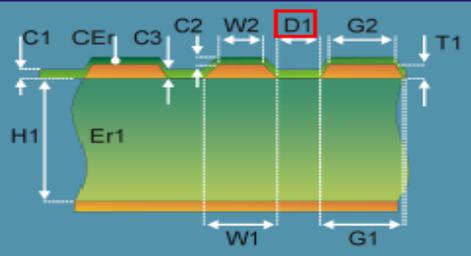
Units  
 Mils  
 Inches  
 Microns  
 Millimetres

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	0.0600	+/- 0.0000	0.0600	0.0600
Substrate 1 Dielectric	Er1	3.4000	+/- 0.0000	3.4000	3.4000
Lower Trace Width	W1	0.1031	+/- 0.0000	0.1031	0.1031
Upper Trace Width	W2	0.0777	+/- 0.0000	0.0777	0.0777
Lower Ground Strip Width	G1	0.3000	+/- 0.0000	0.3000	0.3000
Upper Ground Strip Width	G2	0.2746	+/- 0.0000	0.2746	0.2746
Ground Strip Separation	D1	0.0600	+/- 0.0000	0.0600	0.0600
Trace Thickness	T1	0.0350	+/- 0.0000	0.0350	0.0350
Coating Above Substrate	C1	0.0254	+/- 0.0000	0.0254	0.0254
Coating Above Trace	C2	0.0254	+/- 0.0000	0.0254	0.0254
Coating Between Traces	C3	0.0254	+/- 0.0000	0.0254	0.0254
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	43.69		43.69	43.69

# 地线影响阻抗

## 2H

Coated Coplanar Strips With Ground 1B



			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	7.6000	+/- 0.0000	7.6000	7.6000
Substrate 1 Dielectric	Er1	4.5000	+/- 0.0000	4.5000	4.5000
Lower Trace Width	W1	12.0000	+/- 0.0000	12.0000	12.0000
Upper Trace Width	W2	11.0000	+/- 0.0000	11.0000	11.0000
Lower Ground Strip Width	G1	20.0000	+/- 0.0000	20.0000	20.0000
Upper Ground Strip Width	G2	19.0000	+/- 0.0000	19.0000	19.0000
Ground Strip Separation	D1	15.2000	+/- 0.0000	15.2000	15.2000
Trace Thickness	T1	2.3000	+/- 0.0000	2.3000	2.3000
Coating Above Substrate	C1	1.0000	+/- 0.0000	1.0000	1.0000
Coating Above Trace	C2	1.0000	+/- 0.0000	1.0000	1.0000
Coating Between Traces	C3	1.0000	+/- 0.0000	1.0000	1.0000
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	49.01		49.01	49.01

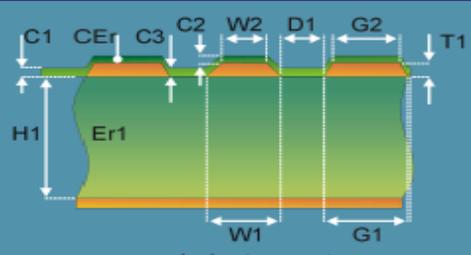
Notes

Add your comments here

Units

- Mils
- Inches
- Microns
- Millimetres

Coated Coplanar Strips With Ground 1B



			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	0.0600	+/- 0.0000	0.0600	0.0600
Substrate 1 Dielectric	Er1	3.4000	+/- 0.0000	3.4000	3.4000
Lower Trace Width	W1	0.1031	+/- 0.0000	0.1031	0.1031
Upper Trace Width	W2	0.0777	+/- 0.0000	0.0777	0.0777
Lower Ground Strip Width	G1	0.3000	+/- 0.0000	0.3000	0.3000
Upper Ground Strip Width	G2	0.2746	+/- 0.0000	0.2746	0.2746
Ground Strip Separation	D1	0.1200	+/- 0.0000	0.1200	0.1200
Trace Thickness	T1	0.0350	+/- 0.0000	0.0350	0.0350
Coating Above Substrate	C1	0.0254	+/- 0.0000	0.0254	0.0254
Coating Above Trace	C2	0.0254	+/- 0.0000	0.0254	0.0254
Coating Between Traces	C3	0.0254	+/- 0.0000	0.0254	0.0254
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	48.60		48.60	48.60

Notes

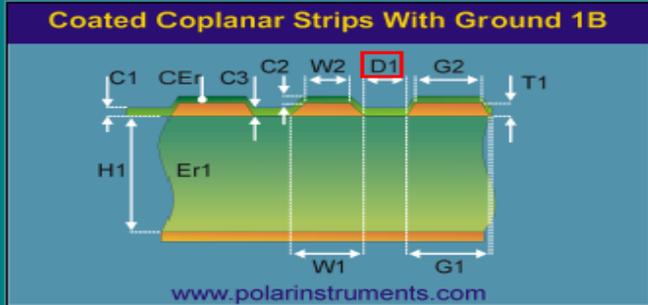
Add your comments here

Units

- Mils
- Inches
- Microns
- Millimetres

# 地线影响阻抗

## 3H



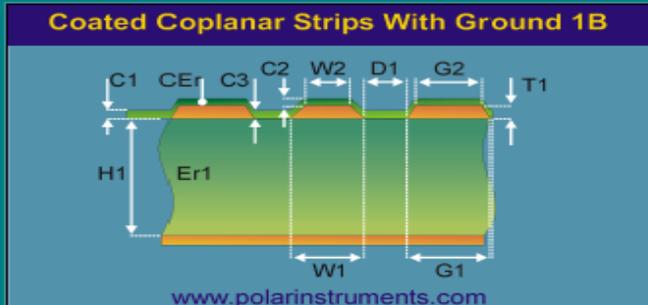
Notes

Add your comments here

Units

- Mils
- Inches
- Microns
- Millimetres

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	7.6000	+/- 0.0000	7.6000	7.6000
Substrate 1 Dielectric	Er1	4.5000	+/- 0.0000	4.5000	4.5000
Lower Trace Width	W1	12.0000	+/- 0.0000	12.0000	12.0000
Upper Trace Width	W2	11.0000	+/- 0.0000	11.0000	11.0000
Lower Ground Strip Width	G1	20.0000	+/- 0.0000	20.0000	20.0000
Upper Ground Strip Width	G2	19.0000	+/- 0.0000	19.0000	19.0000
Ground Strip Separation	D1	22.8000	+/- 0.0000	22.8000	22.8000
Trace Thickness	T1	2.3000	+/- 0.0000	2.3000	2.3000
Coating Above Substrate	C1	1.0000	+/- 0.0000	1.0000	1.0000
Coating Above Trace	C2	1.0000	+/- 0.0000	1.0000	1.0000
Coating Between Traces	C3	1.0000	+/- 0.0000	1.0000	1.0000
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	49.69		49.69	49.69



Notes

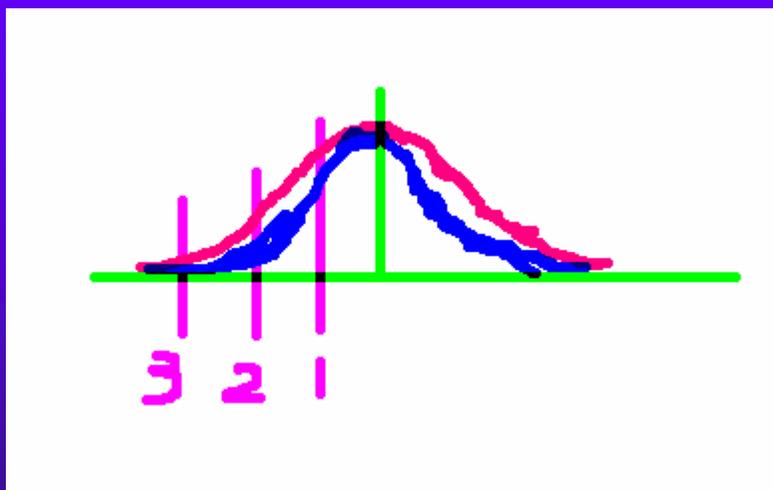
Add your comments here

Units

- Mils
- Inches
- Microns
- Millimetres

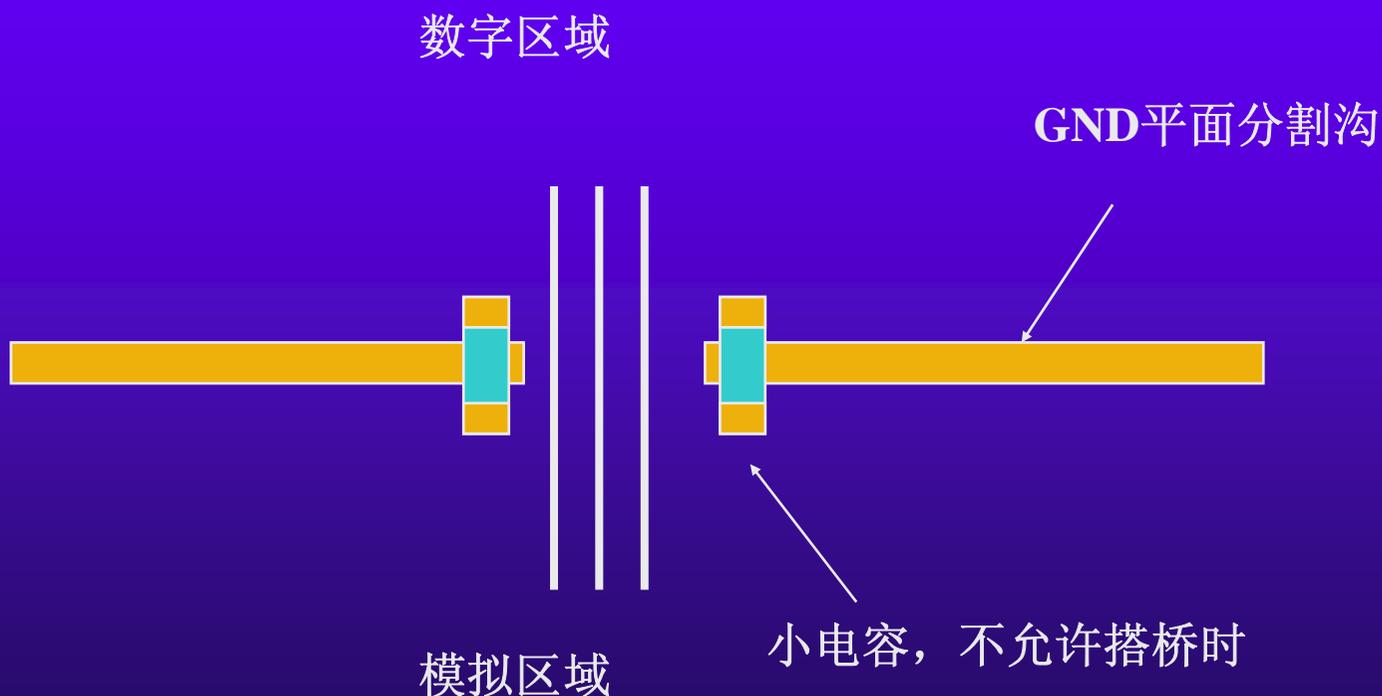
			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	0.0600	+/- 0.0000	0.0600	0.0600
Substrate 1 Dielectric	Er1	3.4000	+/- 0.0000	3.4000	3.4000
Lower Trace Width	W1	0.1031	+/- 0.0000	0.1031	0.1031
Upper Trace Width	W2	0.0777	+/- 0.0000	0.0777	0.0777
Lower Ground Strip Width	G1	0.3000	+/- 0.0000	0.3000	0.3000
Upper Ground Strip Width	G2	0.2746	+/- 0.0000	0.2746	0.2746
Ground Strip Separation	D1	0.1800	+/- 0.0000	0.1800	0.1800
Trace Thickness	T1	0.0350	+/- 0.0000	0.0350	0.0350
Coating Above Substrate	C1	0.0254	+/- 0.0000	0.0254	0.0254
Coating Above Trace	C2	0.0254	+/- 0.0000	0.0254	0.0254
Coating Between Traces	C3	0.0254	+/- 0.0000	0.0254	0.0254
Coating Dielectric	CEr	3.5000	+/- 0.0000	3.5000	3.5000
Impedance	Zo	49.75		49.75	49.75

# 电流分布图



# 数模混合类PCB布线

- 数字线布在数字区域，模拟线布在模拟区域。
- 数字和模拟之间的互连线要跨沟不现时采用搭桥或并接小电容。
- 如果信号跨区则会产生大的EMI问题和SI问题。



## 数模混合类PCB布线

当采取数字地和模拟地分开于一点相接时的措施

- 电感或磁珠
- 零欧姆电阻
- PCB直接铺铜箔

电感或磁珠只对某个频点的噪声有显著抑制作用，因此使用时需要预先估计噪声频率。对于频率不确定或无法预知的情况，电感或磁珠不合适。

0欧电阻相当于很窄的电流通路，能够有效地限制环路电流，使噪声得到抑制。电阻在所有频带上都有衰减作用(0欧电阻也有阻抗)，它可以看成是一个带宽很大的噪声衰减器。

不过大部分就直接PCB铺铜箔来实现。



# 数模混合类PCB布线

数字地和模拟地采用统一地

只在物理上分开，数字部分布在数字区域，模拟部分布在模拟区域，保证数字信号的返回电流不会流到模拟部分去。

- 模拟信号在电路板所有层的模拟区内布线。
- 数字信号在数字电路区内布线。

模拟区域



数字区域

# 数模混合类PCB布线

## 混合信号PCB设计注意事项

- 将PCB分区为独立的模拟部分和数字部分。
- 合适的元器件布局。
- A/D转换器跨分区放置。
- 不要对地进行分割。在电路板的模拟部分和数字部分下面敷设统一地。
- 在电路板的所有层中，数字信号只能在电路板的数字部分布线。
- 在电路板的所有层中，模拟信号只能在电路板的模拟部分布线。
- 实现模拟和数字电源分割。
- 布线不能跨越分割电源面之间的间隙。
- 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上。
- 分析返回地电流实际流过的路径和方式。
- 采用正确的布线规则。





# 差分线

## 差分线的原理和好处：

- 差分信号，通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态“0”还是“1”。
- 抗干扰能力强，因为两根差分走线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，在接受端相减。
- 能有效抑制EMI，同样的道理，由于两根信号的极性相反，他们对外辐射的电磁场可以相互抵消，耦合的越紧密，泄放到外界的电磁能量越少。
- 时序定位精确，由于差分信号的开关变化是位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺，温度的影响小，能降低时序上的误差。

对于我们PCB设计这来讲，比较让人关注的还是如何处理差分线的走线来实现采用差分线的目的。



## 差分线的处理

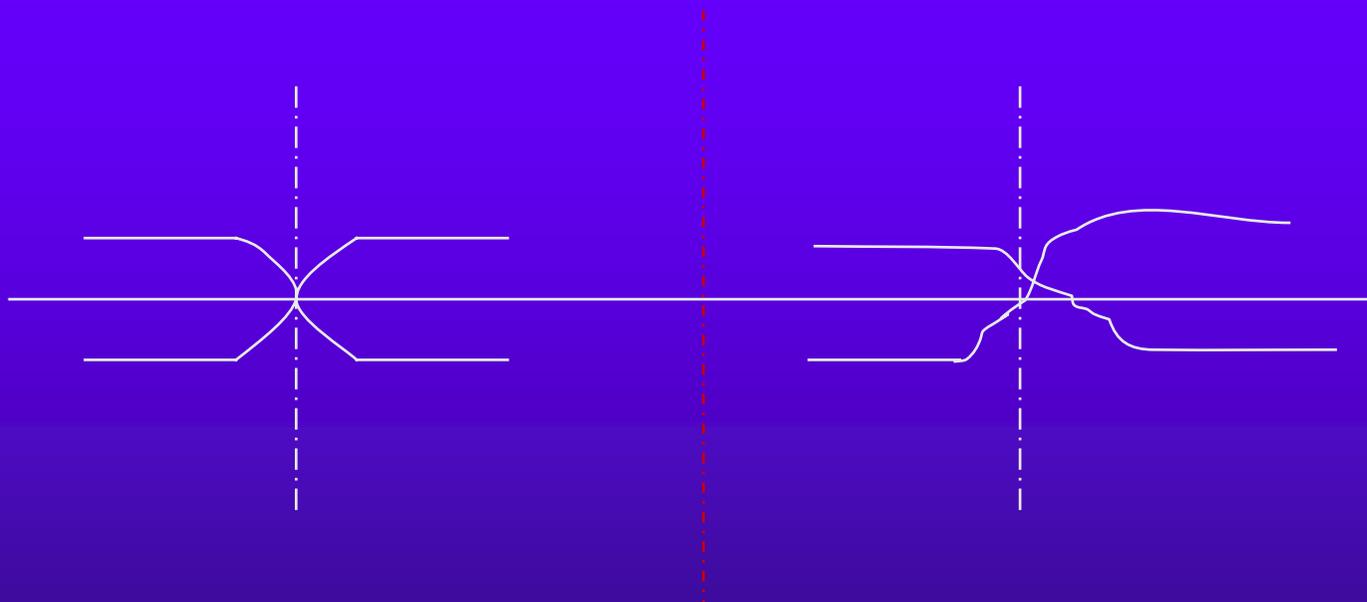
差分线布线注意事项：

- 差分线布线要平衡，当成单根线来走。
- 差分线尽量等长，
- 差分线尽量靠近，差分线间距最好不要超过2倍的线宽。
- 差分线一样需要完整的地平面。
- 差分线不推荐采用上下两层布线的方式。



# 差分线的处理

差分线设计不要破坏其平衡

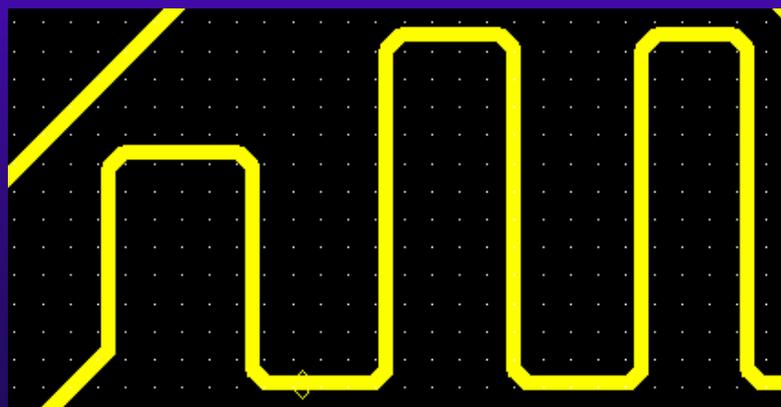


差分平衡设计能很好的消除共模干扰，任何不对称因素都会使差分信号转化为共模信号增加EMI:

串扰、线长偏差、不对称、阻抗不连续

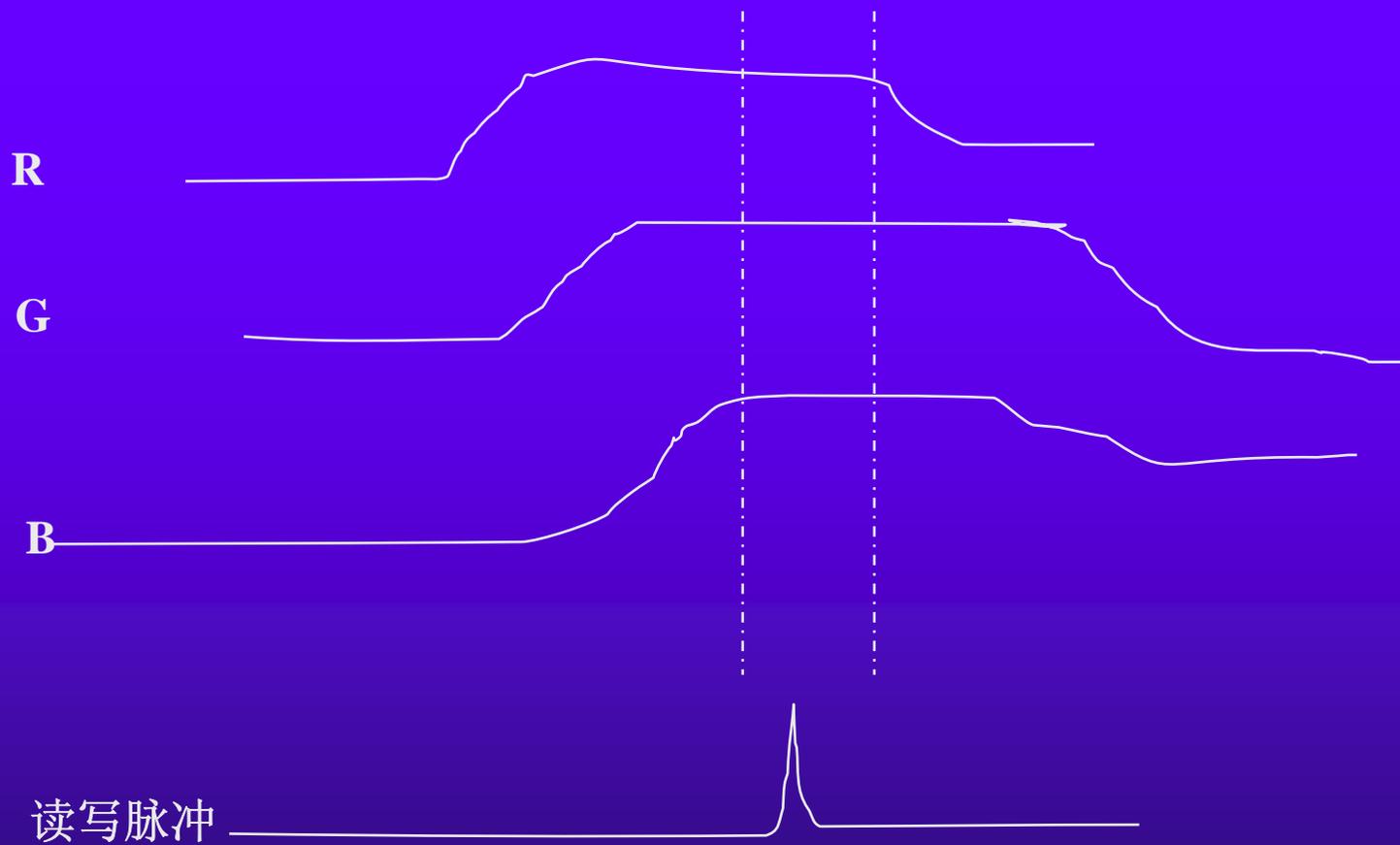
# 蛇形线

蛇形线我们接触到的大部分是为了匹配信号延迟的处理措施。在射频和微波类的PCB中有作天线用设计的。我们这里只对前一种情况做一下讨论。用来取其线电感作滤波的情况很少。



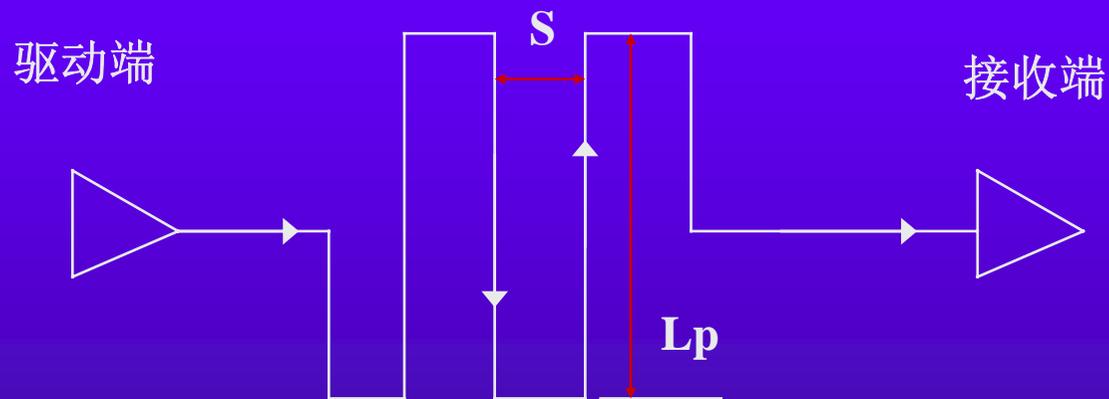


# 蛇形线

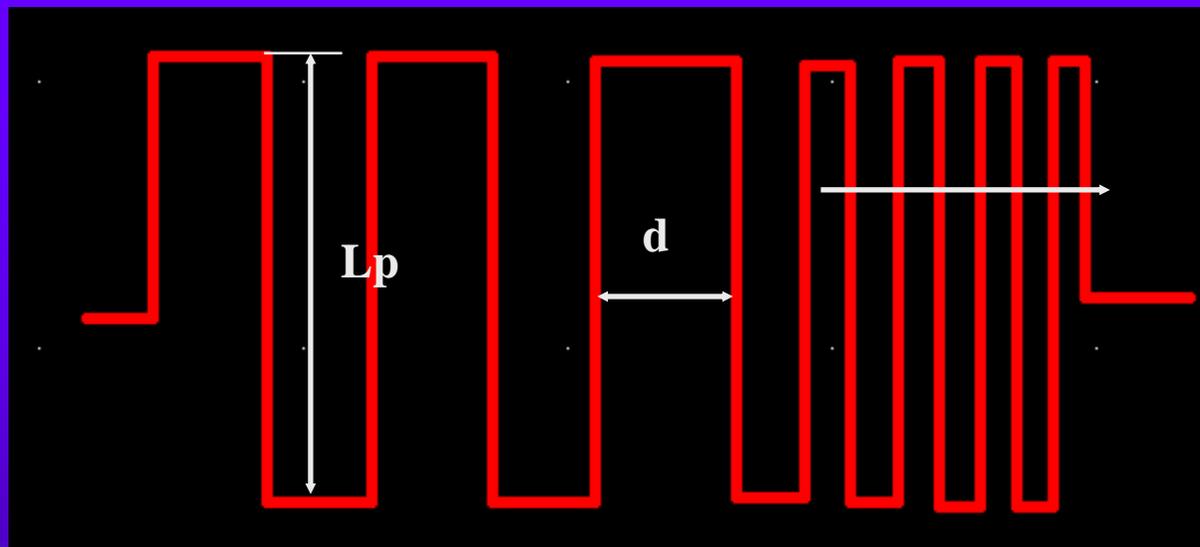


# 蛇形线

蛇形线的电气模型：



# 蛇形线



耦合距离 $d$  : 大于等于 $4H$   
平行耦合长度 $L_p$ : 小于等于 $Tr$ (英寸)  
(取延迟与 $Tr$ 的6倍关系)

# 蛇形线

蛇形走线要注意点:

- 尽量增加平行线段的距离 $S$ ，至少大于等于 $4H$ ， $H$ 指信号走线到参考平面的距离。
- 尽量减小耦合长度 $L_p$ ， $L_p$ 的延迟要小于等于 $6Tr$ 。
- 能不用蛇形线的尽量不要走蛇形线。
- 如有可能，采用任意角度的蛇形走线，能有效的减少相互间的耦合。
- 带状线的蛇形线引起的信号传输延时小于微带走线。
- 高速以及对时序要求较为严格的信号线，尽量不要走蛇形线。



嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

## 射频PCB与数模混合类PCB布线完成后的收尾处理

- 表面地铺铜的处理
- 优化射频关键路径上元器件的寄生效应
- 配合阻抗需求挖空地平面
- 地孔VIA的处理
- 模拟与数字电源平面



# 模拟与数字电源平面



嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- **PCB板级的ESD处理方法和技巧**
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性

# PCB板级的ESD处理方法和技巧

- ESD概念
- ESD危害
- ESD产生的破坏机制及 干扰方式
- ESD常用元器件
- 手机PCB中的ESD处理



## ESD概念

### ESD概念:

静电放电是具有不同静电电位的物体互相靠近或直接接触引起的电荷转移，一般用ESD表示。

ESD的英文表示: **ElectroStatic Discharge**

静电源与其它物体接触时，依据电荷中和的原则，存在着电荷流动，传送足够的电量以抵消电压。在高速电量的传送过程中，将产生潜在的破坏电压、电流以及电磁场，严重时将其中物体击毁。这就是静电放电。



## ESD危害

### ESD危害:

静电对器件造成的损坏有显性和隐性两种。显性损害问题很直观明了，如ESD会导致电子设备严重损坏或操作失常；隐性损坏在当时看不出来，但器件变得更脆弱，在过压、高温等条件下极易损坏。

在干燥的环境和冬季里，人体上的瞬间静电会达到8~10kV，有时达到12~15kV，更高的甚至到20~30kV。人有时在冬季当手接触金属物体时发生被电击现象，我们的集成IC虽然也做了静电保护，但级别都很远远不够，基本上是在2kV级别，如果我们的设计不去考虑ESD的问题，则使产品面临很大的ESD危害。





## ESD产生的破坏机制及 干扰方式

### ESD产生的破坏机制及 干扰方式：

ESD两种主要的破坏机制是：由ESD电流产生热量导致设备的热失效；由ESD感应出过高电压导致绝缘击穿。两种破坏可能在一个设备中同时发生。

另外ESD也极易对电子电路造成干扰，静电放电对电子电路的干扰有二种方式。一种是传导干扰，另一种是辐射干扰。

目前各国和地区也纷纷制定了符合自己的ESD强制标准，如我国的CCC。

## ESD常用元器件

### ESD常用元器件:

#### 瞬态电压抑制器 TVS

它是半导体器件,由于其最大特点是快速反应(1ns~5ns)、非常低的极间电容(1pf~3pf),很小的漏电流(1 $\mu$ A)和很大的耐流量,尤其是其结合芯片的方式,非常适合各种接口的防护。

#### 压敏电阻MOV

它是陶瓷元件,内部发热量很大,响应速度慢,性能会因多次使用而变差,极间电容大。

#### 闸流二极管

它是半导体元件,开始时不会导通,当“过电压”上升到闸流管的“放电电压”时,导通并产生放电电流。

#### 气体放电管(GDT)

它是具有一定气密的玻璃或陶瓷外壳,中间充满稳定的气体,如氖或氩,并保持一定压力。GDT通流量大、极间电容小,可自行恢复其缺点是响应速度太慢,放电电压不够精确,寿命短,电性能会随时间变化。





## 手机PCB中的ESD处理

- 手机的ESD环境
- ESD两个最通用的国际标准
- 手机电路中需要进行ESD防护的电路
- 手机中有利于ESD防护的PCB设计
- 手机中有利于ESD防护的机壳设计



## 手机的ESD环境

前面提到人体携带的静电是非常高的，因此可以讲手机的整个生命周期都处在一个充满静电的环境之中，如果抗静电释放(ESD)设计不好，则可能导致手机在使用过程中发生锁死、复位、数据丢失和不可靠等现象。

另外在手机上市之前，我国都强行要求进行ESD的测试。其中接触放电需要做到 $\pm 8\text{kV}$ 静电正常，空气放电需要做到 $\pm 15\text{kV}$ 静电正常，这就对ESD的设计提出了较高的要求。

相信做过这部分的人都已领教了解决ESD标准不过而整改的过程。

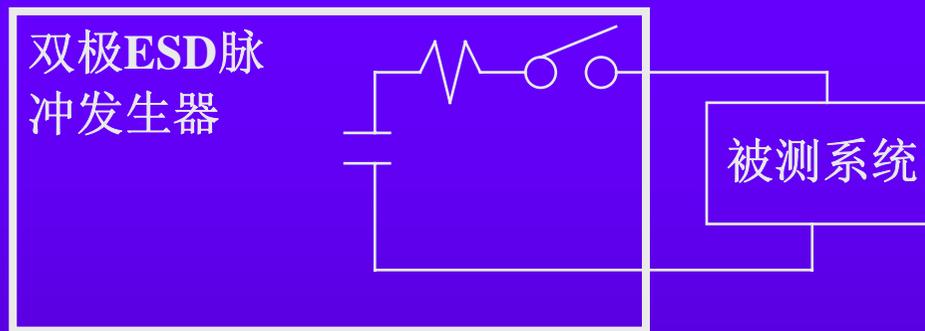


## ESD两个最常用的国际标准

- 人体模型HBM(human body model)  
此标准模拟接触条件，应用于器件。
- IEC1000-4-2  
此标准用于系统级的ESD防护。

HBM ESD测试通常用于集成电路，而IEC1000定义了系统的ESD测试，两者都采用电容通过限流电阻的放电ESD模型，差别是器件值的大小。对HBM，电容值是100pF，限流电阻是1500 $\Omega$ 。注意，对于同样的ESD电压，IEC1000的峰值放电电流比HBM的几乎高5倍。IEC1000采用接触放电及空气放电的方法对设备进行测试，标准定义接触放电的ESD电压为2kV至8kV，空气接触的可达15kV。IEC1000规定的电流上升时间小于1ns，需要防护器件的响应非常快。

# ESD模型



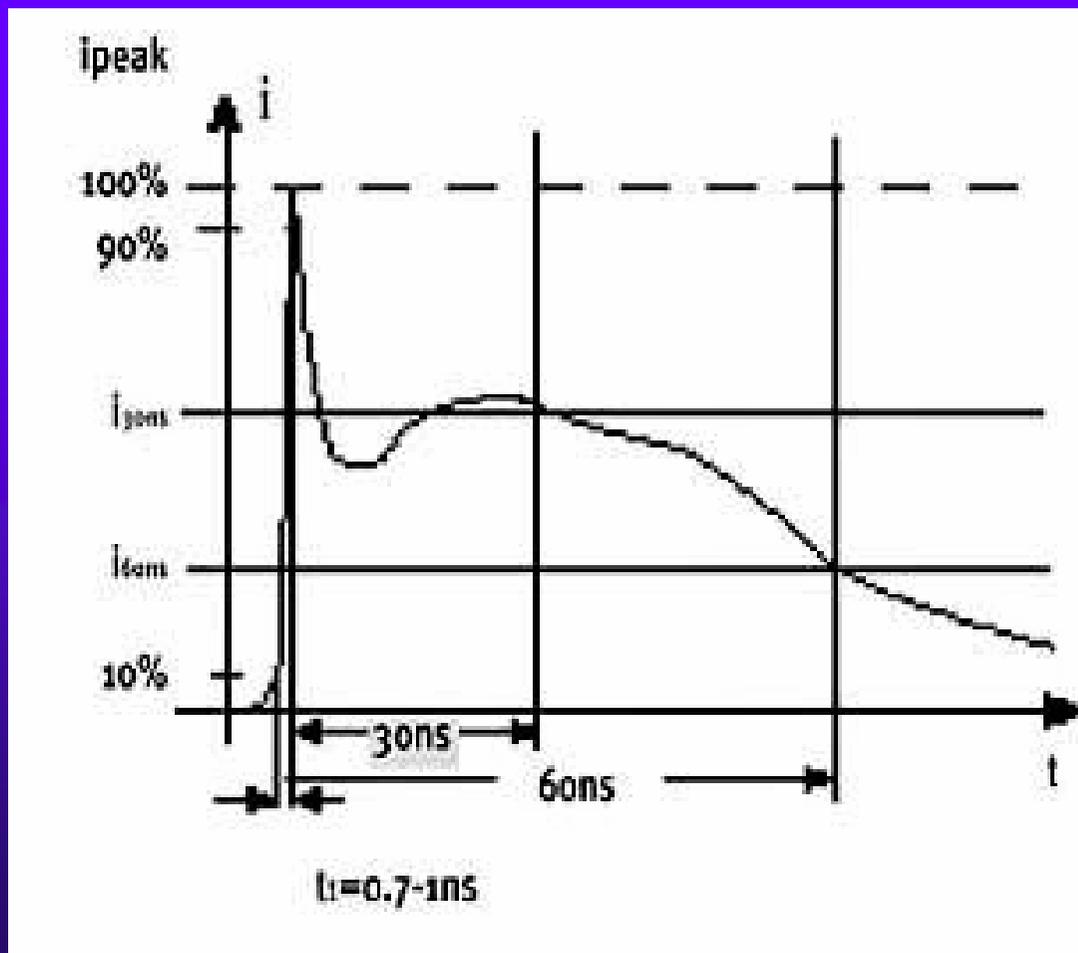
ESD模型

IEC1000 : 150pF电容通过330电阻放电

HBM : 100pF电容通过1500 Ω 电阻放电



# ESD典型电流波形





## 手机电路中需要进行ESD防护的电路

手机电路中需要进行ESD防护的电路

- SIM(UIM)卡的CPU读卡电路
- LCD背光电路（此电路在制造时已采取了TVS防护）
- 电源借口
- LCD驱动接口
- USB接口
- 键盘电路
- 耳机与麦克风电路
- 数据接口

## 手机PCB中的ESD设计

- 对于静电我们可以形象地归为：堵、疏、躲得宗旨
- 针对手机中需要进行ESD防护的电路进行增强ESD防护  
主要由硬件工程师来设计合适的ESD防护电路，其实这部分电路很简单。原理就是让可能的ESD尽快卸放到地。  
(从传导即接触放电来讲)
- 根据这一原理，PCB的布局和布线很重要  
ESD防护器件一定要紧靠输入端放置，布线一定要是先经过ESD防护器件





## ESD的堵、疏、躲

- 疏

主要是通过硬件方法快速的把ESD分流到地。

- 堵

主要是通过屏蔽的方法把ESD堵住

- 躲

主要是通过合理的设计结构去躲开ESD

前面一种主要针对接触放电（ESD的传导），后面二者主要针对空气放电（ESD的辐射）。



## ESD在PCB中的处理-重要线的处理

**Vbat**电源线与其他的线距离大于**0.2mm**，复位线、时钟线要远离板边及**ESD**意引入点。

这里要注意，我们手机有时为了外观会有按键电镀这是要注意此按键下通过的信号。

表面最后铺铜要手工修整，不要有尖角产生，**ESD**的波长很丰富，我们知道**1/4**波长是天线效应最厉害的，即使是**1/16**波长其天线效应也是非常厉害的。常说的尖端放电也是其道理。

另外要尽可能的增加地的面积，地的容量大了，能使**ESD**尽快地泄放掉。

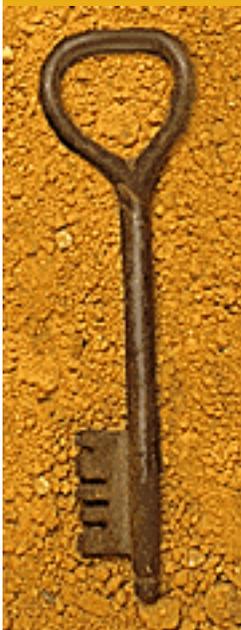
例如有的在机壳上涂一层导电材料并于设计地相连，当然这样也起到**EMI**的屏蔽效能。

## ESD的一堵

用“堵”的方法来防护 ESD的措施，主要工作和方法主要体现在手机的机壳设计上。

就是尽量不让ESD进入手机的机壳内部，最大限度的减弱ESD进入机壳体内的能量。

尽量不要使用金属装饰物，这里处理不好则将是静电的一处入口，尽可能的增大外壳到内部电路之间气隙的距离，ESD随距离的衰减很大。





## ESD的“躲”

用“躲”的方法来防护ESD的措施，主要工作和方法主要体现在让那些ESD敏感电路远离可能会引入ESD的地方。

例如我们要求重要的信号线、复位键、时钟线等不要靠板边即ESD已发生位置，就是这个概念，把对ESD敏感电路多。增加壳体到电路的距离，因为ESD随距离衰减很快。

## ESD内容小结

主要介绍了**ESD**的概念和危害以及实际工程中利用“堵、疏和躲”的思路方法去防护**ESD**。



嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- **PCB板级的EMC/EMI处理方法和技巧**
- PCB中的DFM 设计
- FPC柔性PCB设计
- 设计规范的必要性



## PCB板级的EMC/EMI处理方法和技巧

- EMC概念
- EMC现象
- EMI三要素
- EMI预防常用措施
- EMC与产品研发关系图
- PCB中的EMC设计

## EMC概念

- EMC (Electromagnetic Compatibility ) 定义:

设备或系统在其电磁环境中能正常工作且不对该环境中任何事务构成不能承受的电磁扰动 (disturbance) 的能力。

用数学公式来表示其定义为:

$$\text{电磁兼容 (EMC)} = \text{电磁干扰 (EMI)} + \text{电磁抗扰 (EMS)}$$

- EMI (Electromagnetic Interference ) 定义:

电磁骚扰引起的设备、传输通道或系统性能的下降。

- EMS (Electromagnetic Susceptibility ) 定义:

在存在电磁骚扰的情况下, 装置、设备或系统抗干扰能力。

(至于其他的概念由于不是讲课的主体这里就不一一介绍了, 我们后续还会开设一个关于这方面比较详细的课题---

符合EMC和SI要求的高速PCB设计

如果大家觉得能从我的讲课中能学到不少东西的话, 并对这个课题感兴趣的话, 继续联系孙志忠, 要是觉得没啥可学的话, 大家可别到处张扬哦, 我们也不妨效仿一下“利益最大化”的概念。



## EMC现象

- CDMA手机辐射量级在15~50  $\mu\text{W}$ /平方厘米之间；  
GSM手机辐射量级大都在800  $\mu\text{W}$ /平方厘米，最高可达1000
- 内藏式天线小于外置式天线，但内置天线手机的背部电磁辐射比前面多出好几倍。
- 手机在拨号至接通时最强
- 手机电磁辐射的一半被人体吸收，其中1/4被人脑吸收。
- 日常生活中的例子很多



## EMI三要素

形成电磁干扰必须同时具备以下三个要素：

- 电磁干扰源

所谓电磁干扰源，就是指产生电磁干扰元件、器件、分系统、系统或自然现象。

- 耦合途径或耦合通道

所谓耦合途径或耦合通道，就是指能把能量从干扰源耦合（或传输）到敏感设备上，并且该设备产生相应的媒介。

- 敏感设备

所谓敏感设备，就是指对电磁干扰发生响应的设备。



## EMI预防常用措施

由于形成电磁干扰必须同时具备电磁干扰源、耦合途径或耦合通道和敏感设备这三个要素，因此，我们研究如何预防电磁干扰的措施和方法，实质上就是研究如何去改善和控制形成电磁干扰的这三个必备要素，只要我们能完成破坏其中的一个要素的存在，那我们就实现了我没所希望的EMC标准。从以上原因我们工程上一般采取的预防电磁干扰的常用措施有以下几个技术。

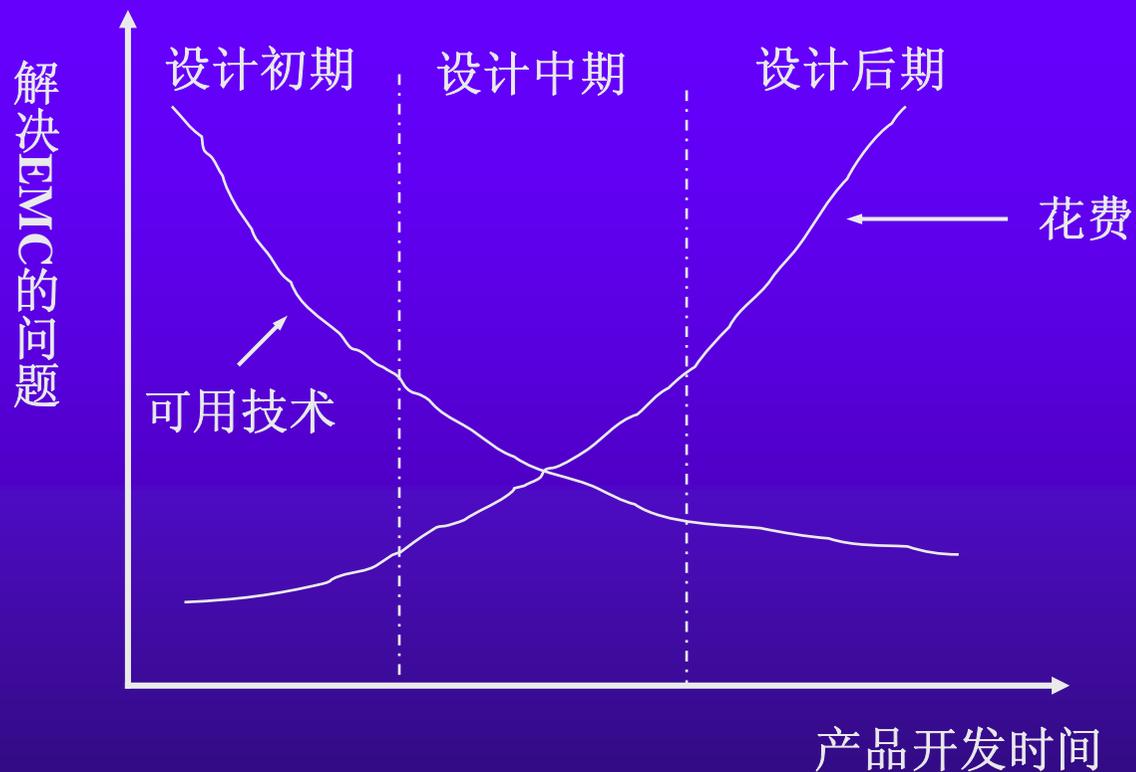
- 屏蔽技术
- 滤波技术
- 接地技术

上面是我们在进行EMI整改过程中常用的手段，但是在我们的PCB设计中也有很多改善EMI的方法，其实利用PCB设计技术来改善EMI是最行之有效和最经济的方法。





# EMC与产品研发关系图



## PCB中的EMC设计

- 从PCB的叠层考虑

PCB叠层的原则:

每一布线层要相邻一个完整平面

电源层要与地层相邻

平衡的分层

干扰比较强，走线又有点长的线要走到内层，并且其相邻的上下两层是GND，这样可以把EMI屏蔽在内层。

RF元件面紧邻层为GND可以防止RF泄露干扰到内层



## 电流回流路径-映像平面

### 映像平面的定义

射频电流必须经由一个先前定义好的路径或其它路径，回到电流源；简言之，这个回传路径（**return path**）就是一种映像平面。映像平面可能是原先的走线的镜像（**mirror image**），或位于附近的另一个路径----亦即串扰（**crosstalk**）；映像平面也许就是电源平面、接地平面，或者自由空间（**free space**）。射频电流会以电容或电感的形式与任何传输线耦合，只要此传输线的阻抗比先前定义好的路径的阻抗小。不过，为了符合EMC标准，必须避免让自由空间成为回传路径。

自由空间的波阻抗为**377**欧姆（平面波概念）



## 回路面积

电感是通过封闭回路的磁通量和产生磁通量的电流之比，在一个封闭回路中，电感值与回路形状和大小有关。当设计PCB时，工程师经常会忽视走线的电感大小。电感永远和封闭回路有关。因此要想有好的EMC特性就要想办法减小回路的面积。

这里就很容易理解为何高速高频线的回流路线总是沿着信号线的正下方。

回路是射频能量传播最主要的媒介，因此，接地或信号回传回路控制是抑制PCB内的电磁干扰的最重要设计考量之一。高速的逻辑元件和振荡器应该尽量靠近接地电路，以避免形成大的回路。

在PCB设计中回路控制始终都不要忽略，大的回路容易被静电释放（ESD）或电磁场感应，变成一个天线，产生大的EMI。多层板的PCB可以减轻ESD的破坏，并能减少磁场的产生，避免它辐射至自由空间。





## EMI

EMI以电场和磁场的形式传播。减弱这些场的最有效的方法是将电路板装进金属盒里完全屏蔽。EMI超标是多方面的因素综合结果，电路设计、元器件选用、PCB设计等等，单从PCB设计上来讲遵循和掌握相关EMC/EMI处理技术是解决EMC/EMI问题最有实效的措施，也最经济。采用多层板可减少产生辐射的环路面积，而减少环路面积可让整个电路板的感应系数最小化。设计工程师应该使走线和电源线尽量短。在高频下，这些电线呈感性，且很可能成为EMI干扰源。

要想使电源噪声最小化，去耦电容非常必要。这些电容能有效减少环路面积，将辐射发射降到最低。

## LCD 模块布线对RF的干扰

在手机PCB设计过程中，LCD模块的布线安排不合理会影响RF的性能，在设计中我们可以把这一部分的线安排在单独的一层，或安排在远离RF的一层来实现。

翻盖机连接上盖的FPC对天线也很容易造成干扰。



## PCB设计与EMI

PCB布线时，要把数字和射频部分很好的隔离开，必须保证地平面有很好的完整性。一些电源和信号线必须进行有效的电容滤波，并给以足够的关心。

确保RF电源已经很好地滤波。对不同的RF线路使用单独的电源供电。

实际工作中出现过下面这种情况：

在RF部分不工作的时候CPU及其它相关外设工作正常；可是当RF启动工作时候，CPU与RF无关的端口都受到了类似于尖脉冲的干扰。这种情况就是由于RF部分没有很好地与CPU部分隔离造成的。

在射频类PCB设计中一定要处理好不同电路模块的隔离。





## PCB设计与EMI

**RF**端口匹配结果好坏直接影响**RF**信号质量。  
因此要从**PCB**设计方面要小心处理**RF**端口的相关匹配电路，并且尽量减少匹配电路的寄生参数。

嵌入式SOC社区

<http://bbs.51soc.com>



## 电源处理

尽量不要使用**DC-DC** 开关电源，以减少开关电源对**RF**电路的响

可以增加电容来滤除对直流线路的影响，也可以使用针对**RF**线路的专用**LDO**。

去藕电容的摆放及去藕电容的布线。

射频电源布线采用星型拓扑结构。

有关针对开关电源的**EMC/EMI**处理方法和技巧这里将不涉及，如果大家感兴趣的话请关注我们下一课体

《符合**EMC**与**SI**要求的高速**PCB**设计》



## 频率处理模块

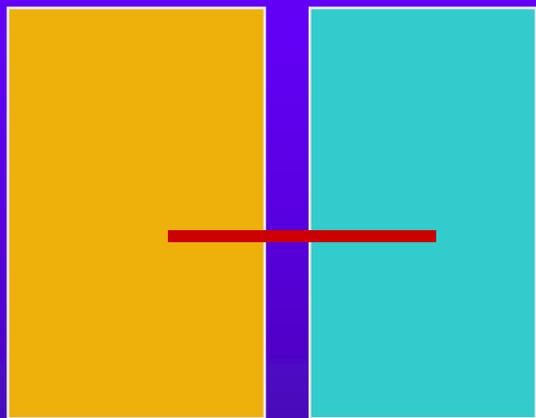
PLL、VCO、VXCO、LO等这些频率处理模块的泄漏干扰对RF电路影响较大，设计中要特别小心。

如果空间允许的话，最好能对这部分设计单独的屏蔽体，把这一部分单独屏蔽起来。



# EMI

在高速信号线过孔附近增加地过孔或小电容提供回流通路  
在高速信号线跨越平面分割沟时采取搭桥或电容提供回流通路



地平面或电源平面分割沟



嵌入式SOC社区

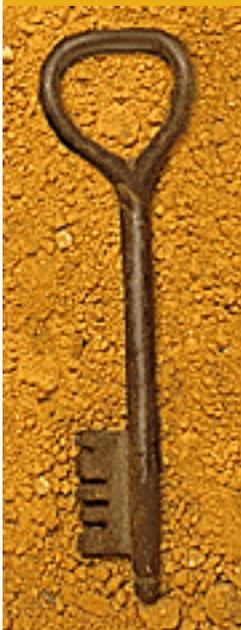
<http://bbs.51soc.com>



## 信号混合电路EMI防治

- 模拟与数位信号须分区布线。
- 所有类比信号要在类比区内布线（包含地，电源及信号线）。
- 所有数位信号要在数位区内布线（包含地，电源及信号线）。
- 严禁模拟或数位信号直接跨区布线。
- AD IC晶片下方严禁布线。

不过现在的AD或DA的肚子下方都有一个散热大焊盘，都有热设计要求，因此做好热设计也非常重要。





## 屏蔽

屏蔽就是利用金属对两个空间区域进行隔离，以阻止电场、磁场和电磁波有一个区域对另一个区域而发生的感应（被干扰）和辐射（干扰源）。

具体来讲，就是利用屏蔽体将元器件、电路、设备或整个系统等干扰源屏蔽起来，以防止电磁场向外扩散，从而对外产生干扰；利用屏蔽体将敏感电路、设备或整个系统屏蔽起来，以防止受到外界电磁场的干扰。

可以看出，屏蔽是我们解决辐射干扰的最好的方法，也是最简单最省事和最有效果的方法。

## 屏蔽

屏蔽体是如何来实现阻止电磁波：

- 吸收电磁波能量（涡流损耗）
- 反射电磁波能量
- 抵消电磁波能量

（反射和抵消电磁波能量，都是利用电磁波在屏蔽体上的界面反射原理，反射电磁场可以抵消部分干扰电磁波。）

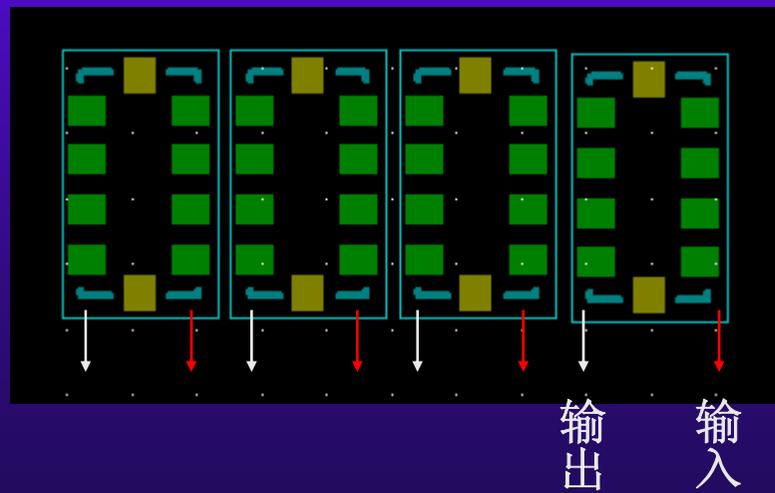
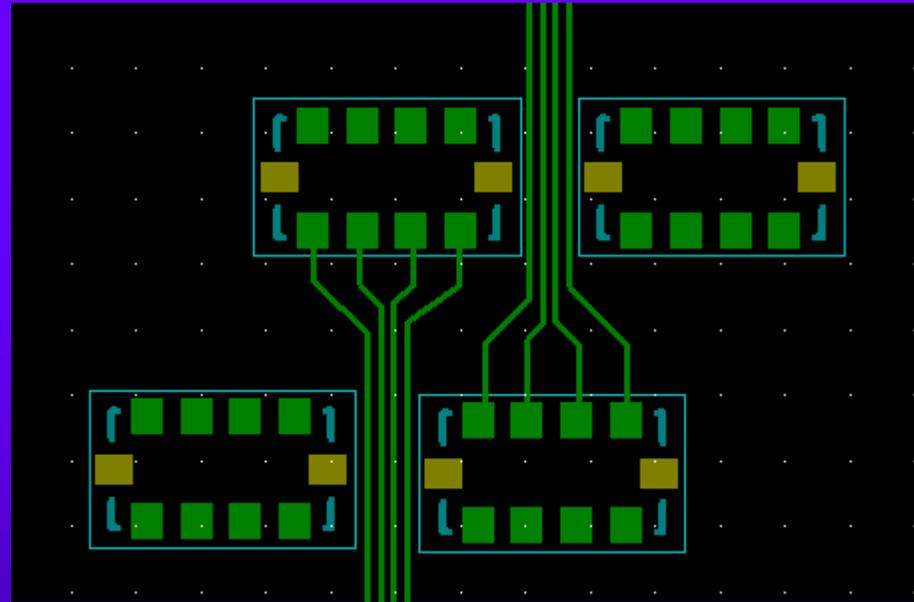
有关屏蔽方面的原理由于时间的关系这里不也不再深入地讲解，在我们另一个课题里再作详细的讨论。





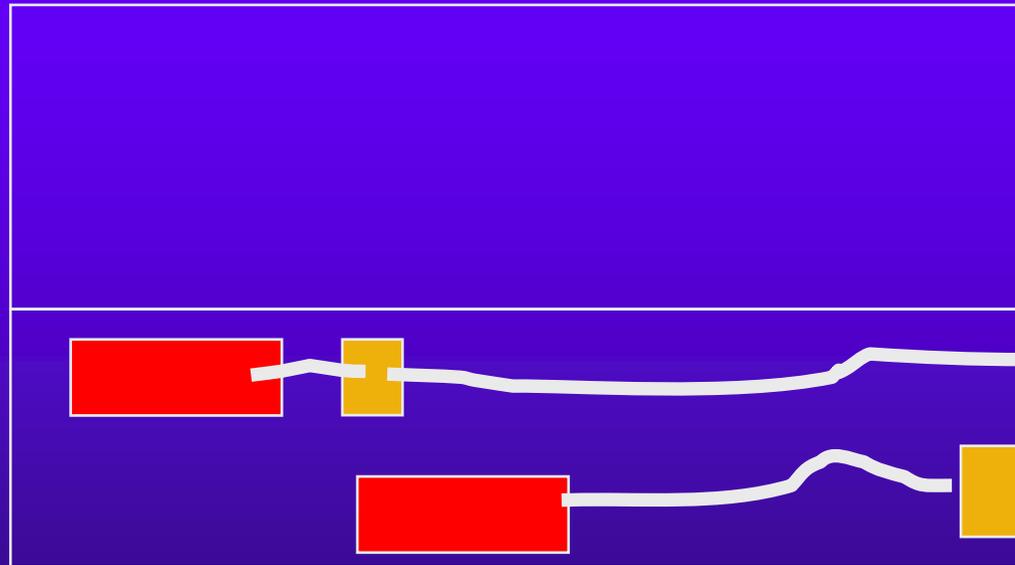
# 滤波

输出与输入远离



# 滤波

## 电源传导测试实验 (FCC)



## 滤波

上面举的实例是一个针对电源传导试验的改善方法，可能有不少人会认为这和PCB设计没啥关系，其实大家在仔细想想，不要非常孤立的看这个实例，所有解决问题的原理是相通的。

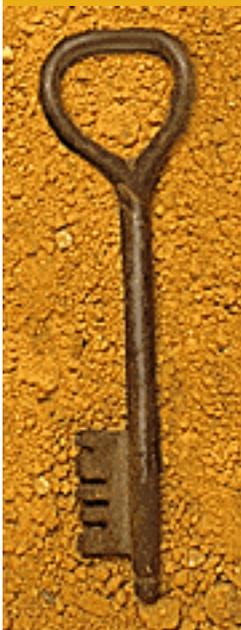
我们从这个例子中至少可以有以下技术可借鉴：

- 多路滤波器设计时滤波器摆放位置，前面我们也有这个问题的实例。
- 已被干扰线或干扰比较强的线按排在内层并且其上下都相邻地平面（屏蔽原理）
- 接地处理
- 输出与输入远离



# EMC工程实例

在看下面实例之前，大家来谈谈时钟布线的注意事项？大家来谈谈自己在实际产品设计中是如何对晶振、时钟布线进行处理和注意事项？



## EMC

有关EMC方面的介绍就不多讲了，如果大家对这一部分非常感兴趣的话请关注我们下面即将推出的课题

---- 《符合EMC与SI要求的高速PCB设计》

在这一课题里将会很详细地进行讲解。



嵌入式SOC社区

<http://bbs.51soc.com>



## 内容小结

减少RF干扰的基本原则是一定要**加强匹配和隔离**。

牢记的关键点

如果可能，尽量使用多层电路板。它们能有效减少环路面积，限制电磁场。另外，去耦电容应靠近电源，电路板上的所有走线应尽可能短。一根长电线会成为传播电磁场的天线。

布局 and 布线考虑得好了，EMC/EMI也会好很多，很多问题不能孤立来看。



嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- **PCB中的DFM 设计**
- FPC柔性PCB设计
- 设计规范的必要性



## DFM 设计

- DFM概念
- DFM的优点和好处
- 不良设计在生产中的危害
- SMT中常出现的问题
- 焊接工艺对PCB设计的要求
- 内容小结



## DFM概念

可制造性设计DFM--Design For Manufacture  
是PCB设计保证符合后续产品可制造性质量的有效方法。  
DFM就是从产品开发设计时起，就考虑到可制造性和可  
测试性，使设计和制造之间紧密联系，实现从设计到  
制造一次成功的目的。

## DFM的优点和好处

### DFM的发展史

创始于70年代初，1991年DFM的应用于美国制造业，并对美国制造竞争优势的形成做出贡献，美国总统布什给创始人G.布斯劳博士和P.德赫斯特博士颁发了美国国家技术奖。从这一点我们就可以看得出DFM在制造业的重要性的优点。

有许多国际知名大公司曾做过相关统计调查，从中发现75%的制造成本取决于设计说明和设计规范，70—80%的生产缺陷是由于设计原因造成的。

许多公司采取规范的DFM设计后，产品制造不良率大幅下降，不难看出DFM具有缩短开发周期、降低成本、提高产品质量等优点，是企业产品取得成功的途径。



## 现代设计DFX系列介绍

1994年SMTA首次提出DFX概念，DFX将不同团队的资源组织在一起，共同参与产品的设计和制造过程。通过发挥团队的共同作用，实现缩短产品开发周期，提高产品质量、可靠性。

- ◆ DFM: Design for Manufacturing 可制造性设计
- ◆ DFT: Design for Test 可测试性设计
- ◆ DFD: Design for Diagnosibility 可分析性设计
- ◆ DFA: Design for Asembly 可装配性设计
- ◆ DFE: Desibn for Enviroment 环保设计
- ◆ DFF: Design for Fabrication of the PCB PCB可加工性设计
- ◆ DFS: Design for Sourcing 物流设计
- ◆ DFR: Design for Reliability 可靠性设计





## 不良设计在生产中的危害

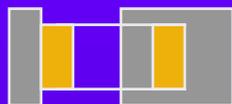
- 造成大量焊接缺陷。
- 增加修板和返修工作量
- 增加工艺流程
- 增加成本
- 返修可能会损坏元器件和印制板。
- 返修后影响产品的可靠性
- 造成可制造性差，增加工艺难度，影响设备利用率，降低生产效率。
- 严重时由于无法实施生产需要重新设计，导致整个产品的实际开发时间延长，失去市场竞争的机会。

# SMT中常出现的问题

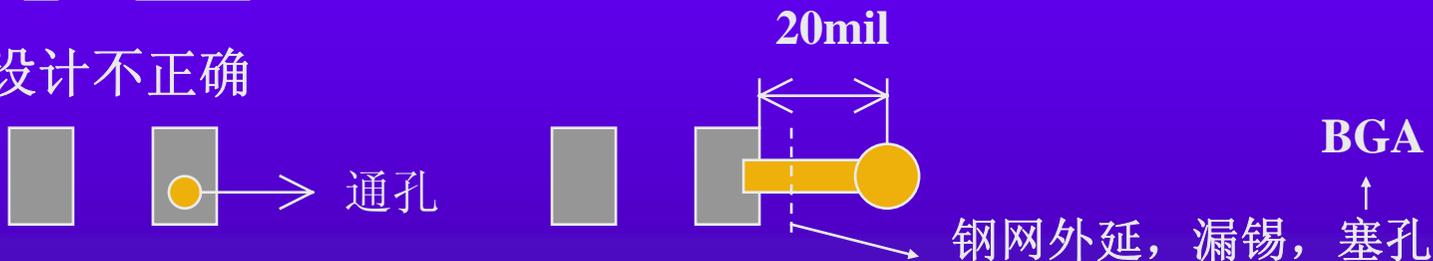
- 焊盘结构尺寸不正确



- 焊盘结构实际尺寸大小不一致（热不平衡，移位立桥）



- 通孔设计不正确

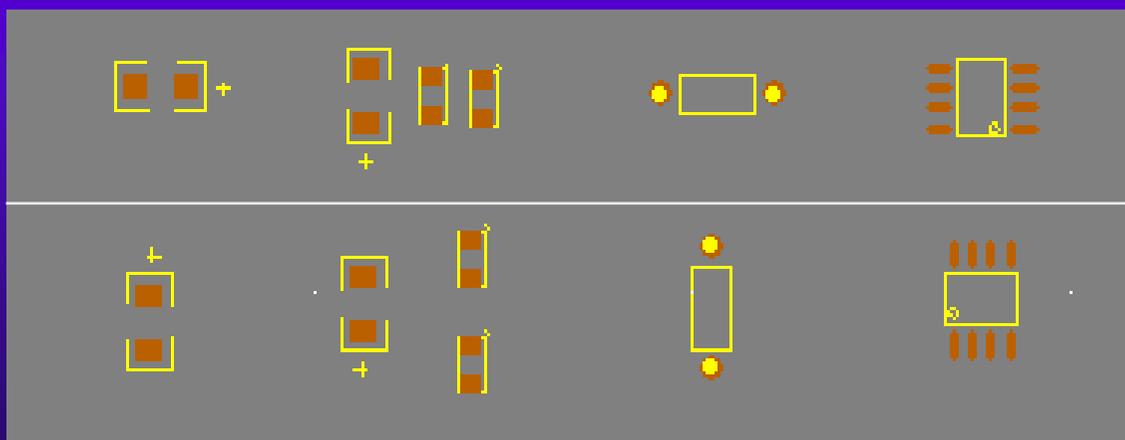
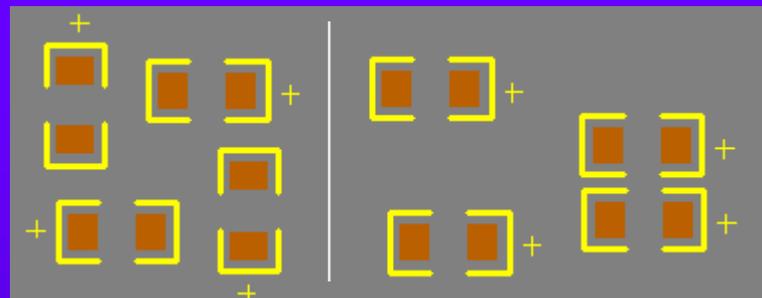
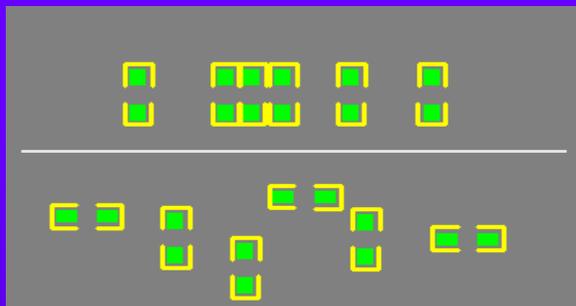


- 阻焊和丝网加工在焊盘上造成焊接不良

可能是设计；可能是PCB制造加工精度差造成的  
在设计中一般都要把阻焊开窗比焊盘大4-5mil

# SMT中常出现的问题

## ■ 元器件布局不合理



波峰焊SMD传送方向



## SMT中常出现的问题

- 基准点(Mark)、PCB外形、尺寸、定位孔和夹持边的设置不正确造成不认Mark、频繁停机，PCB异形、PCB尺寸过大、过小、定位孔不标准，造成无法上板定位孔和夹持边附近有元器件，只能采用人工补贴。拼板槽附近的元器件摆放不正确，裁板时造成损坏元器件。

---

VIA孔厚比设置不合理，会造成VIA电镀不充分、PCB板材Tg偏小造成孔在受热后铜箔断裂等等还有很多方面这里就不讲了，后续的一个课题里面会较为详细的讲解，建议大家有时间去SMT线上看看，了解了解。

---



## 焊接工艺对PCB设计的要求

这里也不多讲，稍微提一下，大家有兴趣回头自己去研究，后续我们将举办的另一课题：

符合EMC与SI要求的高速PCB设计 里面会较详细地介绍

在这一方面，除了上节提到的那些要求正确设计外，尽量能用一种焊接工艺完成得就用一种，能在一面的就在一面完成，就是本着越简单越好

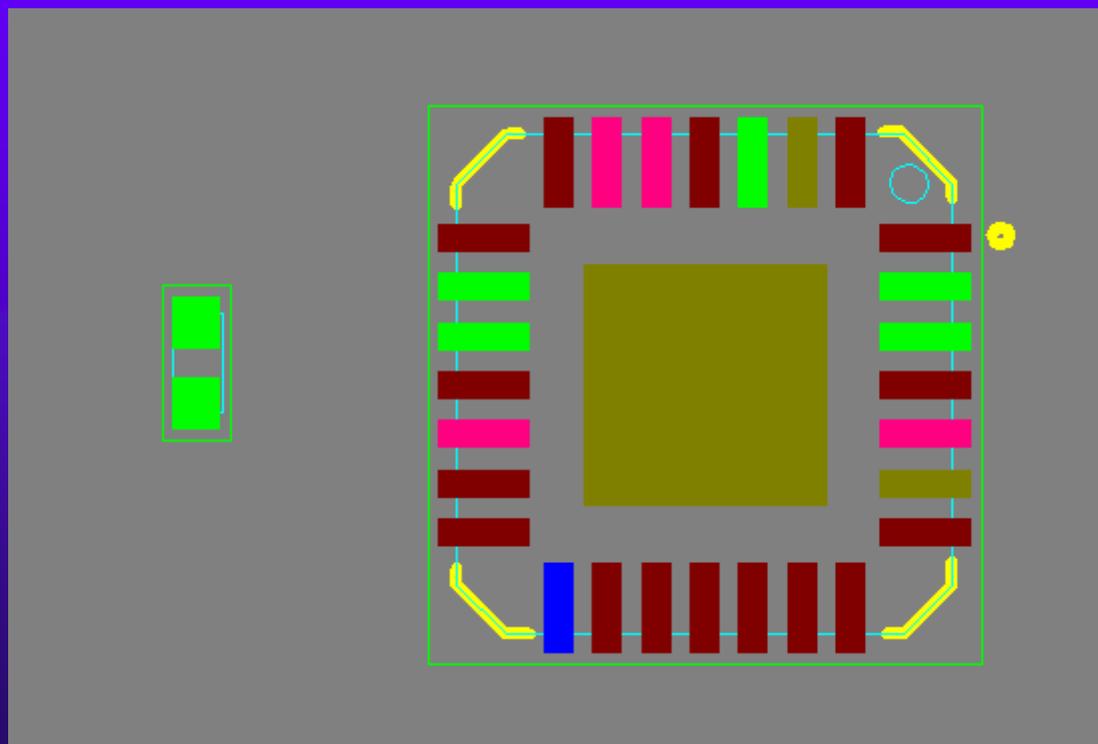
对于焊接反馈意见或问题点要多去了解，多和SMT或工艺工程事交流，这都有助于改善我们的设计

下面我们针对手机PCB设计中如何去兼顾这些DFM设计要求做一些简单的讨论。

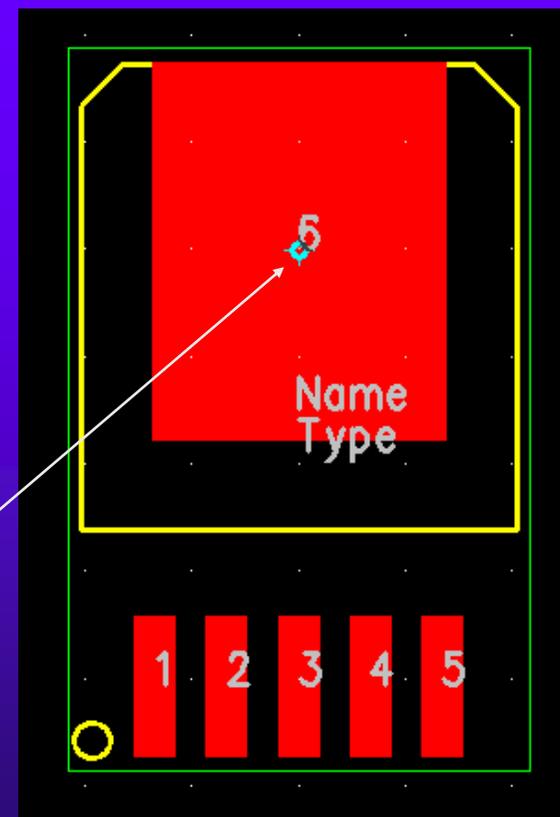
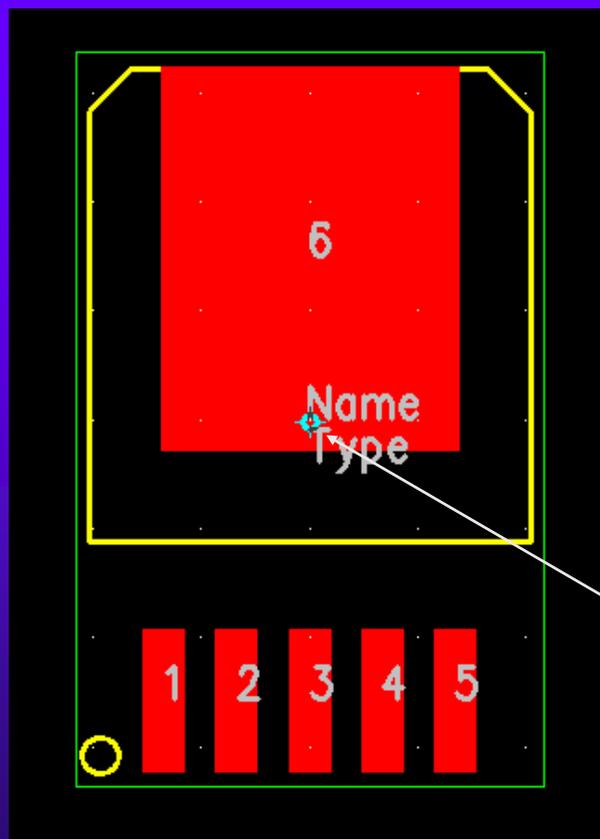


## 手机PCB设计中的DFM探讨

由于手机的可利用面积很小，这就造成许多设计都和常规DFM设计原则有冲突，大家如果见过手机PCB板就会发现元器件既没有丝印，元器件密度又非常的高，但这些又的符合DFM要求，这就要求一切都要从最严格方面来控制设计



# DFM 设计

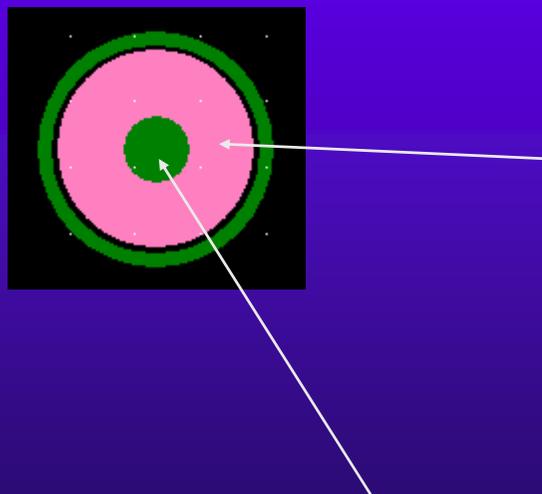


## DFM设计—光学定位点设计

光学定位点又习惯称为Mark点或基准点，其对SMT生产至关重要：

为装配工艺中的所有步骤提供共同的可测量点，保证了装配使用的每个装备能精确地定位电路图案。

### ■ 光学定位点的形状要求



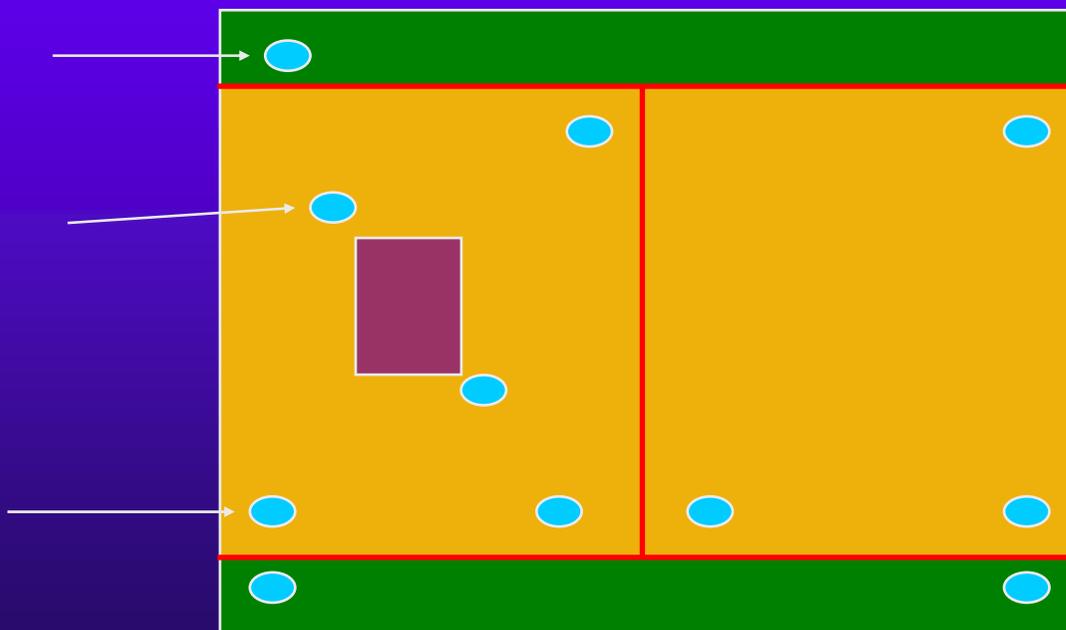
# DFM设计—光学定位点设计

## ■ 光学定位点的种类：

拼板光学定位点---拼板上辅助定位

单板光学定位点---单块板上定位所有电路特征的位置，必不可少。

局部光学定位点----为了提高精度，局部基准点，必不可少。



## DFM设计—光学定位点设计



- 光学定位点设计要求
  - 图形尺寸要求 **1mm/3mm**
  - 尽可能的放在电路板的最长对角线上，尽可能的包络所有元件
  - 单板**PCB**必须至少有一对光学定位点，要求焊接精度高的元器件对角尽可能的放置一对。
  - 拼板时，单板必须至少有一对光学定位点，并且相对位置必须一致，拼板光学定位点起辅助定位。
  - 光学定位点要尽可能的成对放置
  - 同一块**PCB**上的光学定位点大小要一致
  - 光学定位点必须离板边大于等于**5mm**（含工艺边）
  - 光学定位点的**3mm**空旷区内不能有其他任何图形
  - 所有光学定位点的背景设置必须一样

嵌入式SOC社区 **PCB高级设计系列讲座** <http://bbs.51soc.com>

# DFM设计—光学定位点设计不良



## 目前用于DFM设计软件Valor介绍

- **Enterprise 3000: DFM—设计专用**
- **Trilogy 5000: DFM+CAM。设计和装配厂用**



## 内容小结

**DFM**设计规范带给一个企业的益处通过前面的了解可以说是非常巨大的，很多公司为此还成立了专门工艺部门从事这方面的研究和协调工作，以及编写适合公司内部的相关**DFM**设计规范参考标准。

但是有相当一大部分公司没有**DFM**相关研究的部门，这就要求设计工程师必须具备一些相关**DFM**设计知识。

在产品设计完成后可以借助**DFM**分析软件来检查分析设计缺陷，有时也可借助**SMT**厂家来帮忙分析。

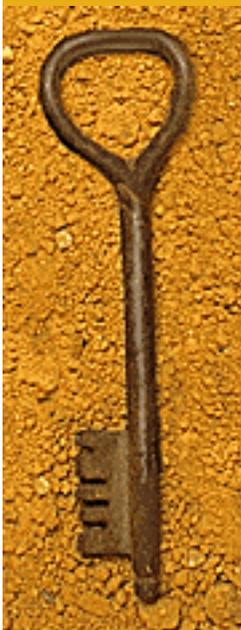


嵌入式SOC社区

<http://bbs.51soc.com>



# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- **FPC柔性PCB简介**
- 设计规范的必要性

嵌入式SOC社区 <http://bbs.51soc.com>

手机PCB设计---实战篇



# FPC柔性PCB简介

嵌入式SOC社区

<http://bbs.51soc.com>



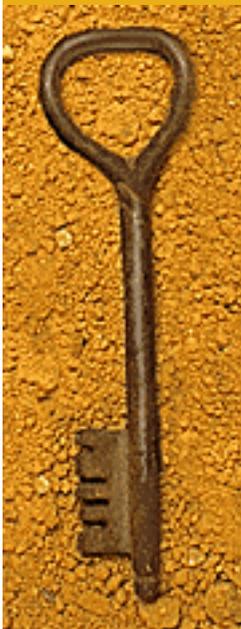
# 射频与数模混合类高速PCB设计



- 理清功能方框图
- 网表导入PCB Layout工具后进行初步处理的技巧
- 射频PCB布局与数模混合类PCB布局
- 无线终端PCB常用HDI工艺介绍
- 信号完整性（SI）的基础概念
- 射频PCB与数模混合类PCB的特殊叠层结构
- 特性阻抗的控制
- 射频PCB与数模混合类PCB的布线规则和技巧
- 射频PCB与数模混合类PCB布线完成后的收尾处理
- PCB板级的ESD处理方法和技巧
- PCB板级的EMC/EMI处理方法和技巧
- PCB中的DFM 设计
- FPC柔性PCB简介
- 设计规范的必要性

嵌入式SOC社区

<http://bbs.51soc.com>



## 设计规范的介绍

嵌入式SOC社区

<http://bbs.51soc.com>

# PCB高级设计系列讲座

谢  
谢  
大  
家

