

DXP 中必记的快捷键及一些参数解释

- 1.编辑原理图时，按右键可以拖动电路。
 - 2.按住 **ctrl** 键，用滚轮可以放大缩小。
 - 3.想同时移动多个元件，要同时选中多个元件，按 **shift** 键即可。
 - 4.拖动一个元件，但不会改变和其他脚的连接关系，连线会跟着延长，快捷键先按 **M** 再按 **D**，再点要移动的元件，即可，当然只有导线会跟着延长，若是直接与电阻或是什么芯片的管脚连接，中间没有导线，那拖动的时候，连接就会断开。
 - 5.可以将元件对折，双击零件，在属性框的 Graphical 选项中，选中 Mirrored 选项。
 - 6.**S+C** 执行这个命令后单击导线、电气结点、端口或网络标号，可以将实际连接在一起的导线、电线结点、端口或网络标号选中，取消这个状态，点按屏幕右下角的 clear 即可。
- 可视网格：可视网格是图样上可以看到的网格，用作视觉参照，一般将它的范围选为和捕获风格同样大，以便捕获网格的使用。两上参数，一般只用到 grid2,表示网格的大小，grid1 是表示一个网格内又有小网格，用细线表示，不知道为什么，软件里老显示不出来，所以基本不用。
- 捕获网格：使用捕获网格，在放置或者移动图样上的实体时，将光标定位在捕获网格上，也就是说定义的捕获风格就是光标移动步伐的大小。
- 电气网络：电气网络用于引导布线，在原理图编辑器中布置导线时，当它落入到另一个实体的电气连接点的电气范围内时，光标会捕获到这个实体，这个实体的电气连接点就会出现热点，此时单击鼠标就可以将两个电气实体连接上了。
- 元件网格：捕获网格是限制鼠标移动位置的网格，它对移动线啊什么的都限制，元件网格是专门针对移动或者放置元件限制的，例如将元件网格设置为 100mil,捕获网格设置为 25mil,这样元件移动时，始终保持元件在 100mil 的网格上，即元件移动都是以 100mil 为单位的，而布线时也总能够从管脚正中间穿过，即布线等是以 25mil 为单位的，即元件移动不受捕获网格的限制。
- 7.丈量两点间的距离，用 **ctrl+M**，拖两点即可。
 - 8.**ctrl+home** 回到绝对原点，**ctrl+end** 回到相对原点。
 - 9.画 PCB 时，按 **L** 将器件翻转到背面，按 ***** 键可以转到背面层。
 - 10.放线错误可以通过 **Backspace** 去掉最后一段线段。
 - 11.**ctrl+z**,撤销上一步。
 - 12.查看一个器件属性时，不要双击，这样很可能移动元器件的位置，而自己又发觉不了，要左键选中，再右键点属性,编辑原理图时，查看器件的属性，可以左键选中，再点回车。
 - 13.画 PCB 时，要调整一根线的长度，拖动时，按住 **space** 键，可以让线一直保持水平，不会有角度。
 - 14.只要画的不是层次原理图，都应该有这样的设置：Project-Project Options-Comparator:Extra Component Classes 项后的 Find Differences 修改为 Ignore Difference.Extra Room Difinitions 的方式修改为 ignore Differences。
 - 15.DXP 使用中，拖动时按 **CTRL** 键，可以保证连接不断，原理图画线时，用退格键的作用。
 - 16.画线时，想让从这个时候起的线长度都变为某一宽度，则在拖线的时候，按 **TAB** 键，修改属性。

Protel DXP 布线规则设置

对于 PCB 的设计，Protel DXP 提供了详尽的10种不同的设计规则，这些设计规则则包括导线放置、导线布线方法、元件放置、布线规则、元件移动和信号完整性等规则。根据这些规则，Protel DXP 进行自动布局和自动布线。很大程度上，布线是否成功和布线的质量的高低取决于设计规则的合理性，也依赖于用户的设计经验。

对于具体的电路可以采用不同的设计规则，如果是设计双面板，很多规则可以采用系统默认值，系统默认值就是对双面板进行布线的设置。

本章将对 Protel DXP 的布线规则进行讲解。

6.1设计规则设置进入设计规则设置对话框的方法是在 PCB 电路板编辑环境下，从 Protel DXP 的主菜单中执行菜单命令 Desing/Rules.....，系统将弹出如图6-1所示的 PCB Rules and Constraints Editor(PCB 设计规则和约束)对话框。

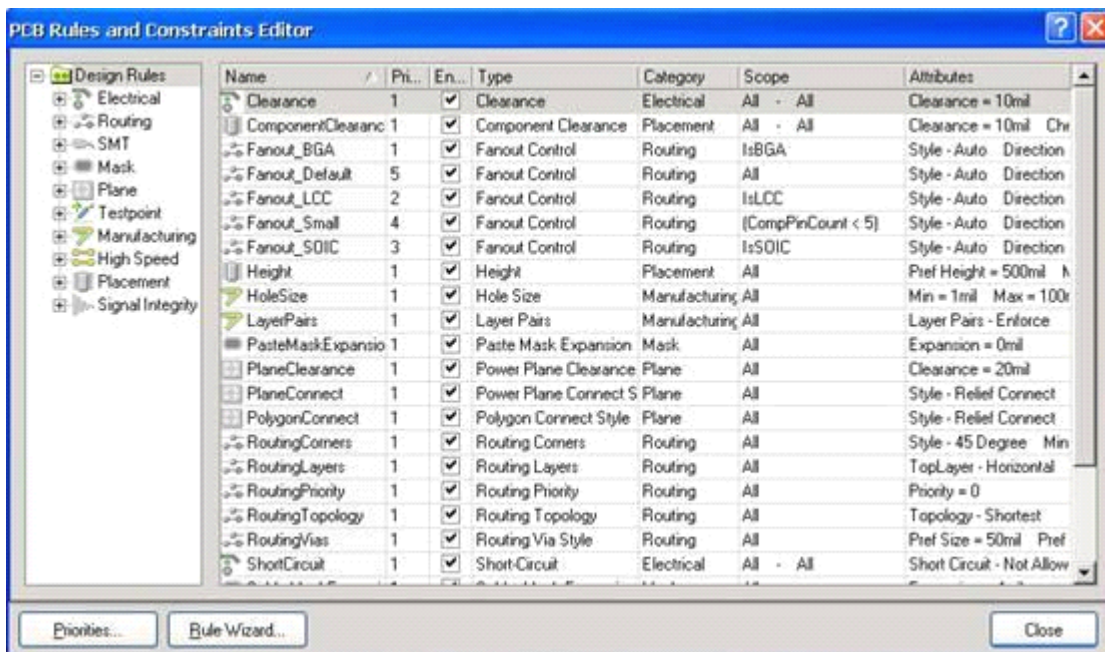


图6-1 PCB 设计规则和约束对话框

该对话框左侧显示的是设计规则的类型，共分10类。左边列出的是 Desing Rules(设计规则)，其中包括 Electrical（电气类型）、Routing（布线类型）、SMT（表面粘着元件类型）规则等等，右边则显示对应设计规则的设置属性。

该对话框左下角有按钮 Priorities，单击该按钮，可以对同时存在的多个设计规则设置优先权的大小。

对这些设计规则的基本操作有：新建规则、删除规则、导出和导入规则等。可以在左边

任一类规则上右击鼠标，将会弹出如图6-2所示的菜单。



在该设计规则菜单中，New Rule 是新建规则；Delete Rule 是删除规则；Export Rules 是将规则导出，将以.rul 为后缀名导出到文件中；Import Rules 是从文件中导入规则；Report.....选项，将当前规则以报告文件的方式给出。图6—2设计规则菜单

下面，将分别介绍各类设计规则的设置和使用方法。

6.2 电气设计规则 Electrical（电气设计）规则是设置电路板在布线时必须遵守，包括安全距离、短路允许等4个小方面设置。

1. Clearance（安全距离）选项区域设置安全距离设置的是 PCB 电路板在布置铜膜导线时，元件焊盘和焊盘之间、焊盘和导线之间、导线和导线之间的最小的距离。

下面以新建一个安全规则为例，简单介绍安全距离的设置方法。

（1）在 Clearance 上右击鼠标，从弹出的快捷菜单中选择 New Rule.....选项，如图6-3所示。

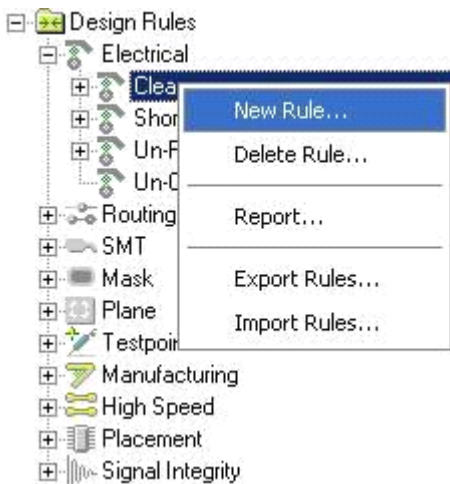


图6-3新建规则

系统将自动当前设计规则为准，生成名为 Clearance_1 的新设计规则，其设置对话框如图6-4所示。

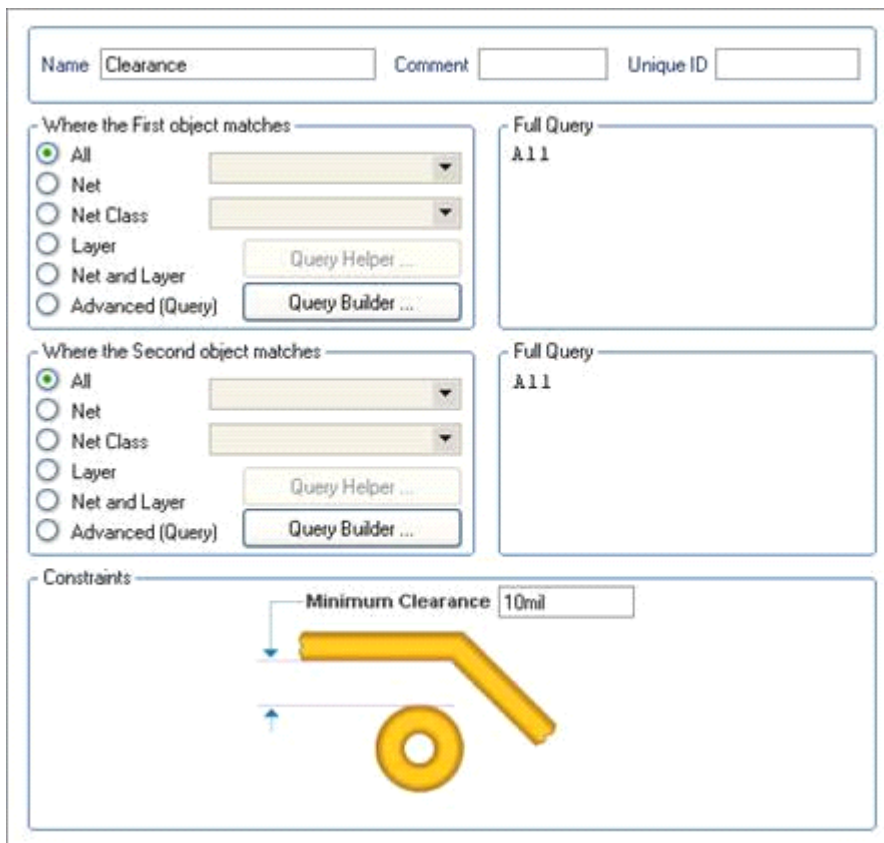


图6-4新建 Clearance_1设计规则

(2) 在 Where the First object matches 选项区域中选定一种电气类型。在这里选定 Net 单选项，同时在下拉菜单中选择在设定的任一网络名。在右边 Full Query 中出现 InNet () 字样，其中括号里也会出现对应的网络名。

(3) 同样的在 where the Second object matches 选项区域中也选定 Net 单选项，从下拉菜单中选择另外一个网络名。

(4) 在 Constraints 选项区域中的 Minimum Clearance 文本框里输入8mil。这里 Mil 为英制单位，1mil=10⁻³ inch, 1inch=2.54cm。文中其他位置的 mil 也代表同样的长度单位。

(5) 单击 Close 按钮，将退出设置，系统自动保存更改。

设计完成效果如图6-5所示。

Name
Comment
Unique ID

Where the First object matches

☐ All

☒ Net

☐ Net Class

☐ Layer

☐ Net and Layer

☐ Advanced (Query)

Full Query

```
InNet ( 'No Net' )
```

Where the Second object matches

☐ All

☒ Net

☐ Net Class

☐ Layer

☐ Net and Layer

☐ Advanced (Query)

Full Query

```
InNet ( )
```

Constraints

图6-5设置最小距离

2. **Short Circuit（短路）**选项区域设置短路设置就是否允许电路中有导线交叉短路。设置方法同上，系统默认不允许短路，即取消 Allow Short Circuit 复选项的选定，如图6-6所示。

Constraints

Allow Short Circuit ☐

图6-6短路是否允许设置

3. **Un-Routed Net（未布线网络）**选项区域设置可以指定网络、检查网络布线是否成功，如果不成功，将保持用飞线连接。

4. **Un-connected Pin**（未连接管脚）选项区域设置对指定的网络检查是否所有元件管脚都连线了。

6.3 布线设计规则 Routing（布线设计）规则主要有如下几种。

1. **Width**（导线宽度）选项区域设置

导线的宽度有三个值可以供设置，分别为 **Max width**（最大宽度）、**Preferred Width**（最佳宽度）、**Min width**（最小宽度）三个值，如图6-7所示。系统对导线宽度的默认值为10mil，单击每个项直接输入数值进行更改。这里采用系统默认值10mil 设置导线宽度。

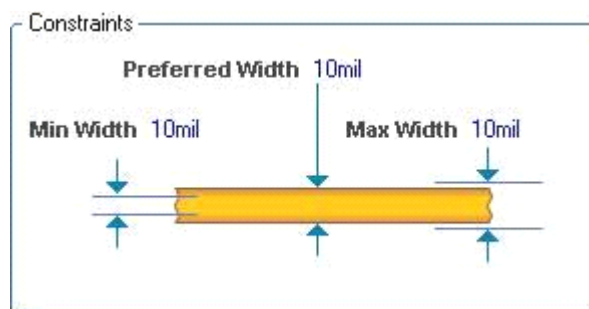
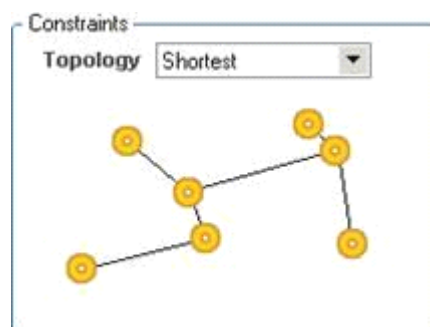


图6-7设置导线宽度

2. **Routing Topology**（布线拓扑）选项区域设置

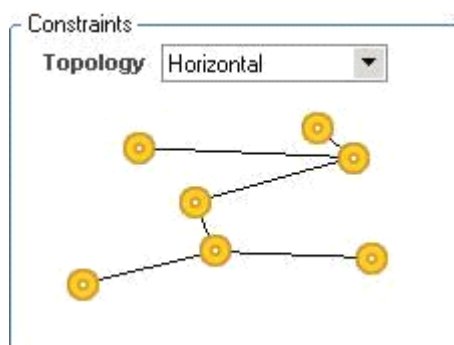
拓扑规则定义是采用的布线的拓扑逻辑约束。**Protel DXP** 中常用的布线约束为统计最短逻辑规则，用户可以根据具体设计选择不同的布线拓扑规则。**Protel DXP** 提供了以下几种布线拓扑规则。

- **Shortest**(最短)规则设置
- 最短规则设置如图6-8所示，从 **Topology** 下拉菜单中选择 **Shortest** 选项，该选项的定义是在布线时连接所有节点的连线最短规则。



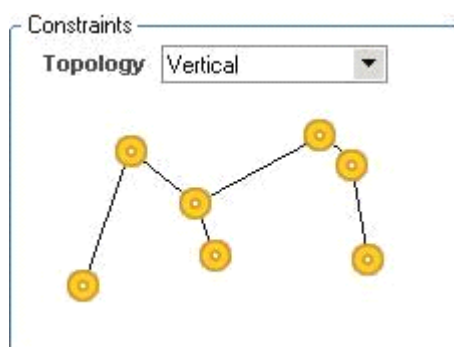
- 图6-8最短拓扑逻辑
- **Horizontal**（水平）规则设置
- 水平规则设置如图6-9所示，从 **Topology** 下拉菜单中选择 **Horizontal** 选基。它

采用连接节点的水平连线最短规则。



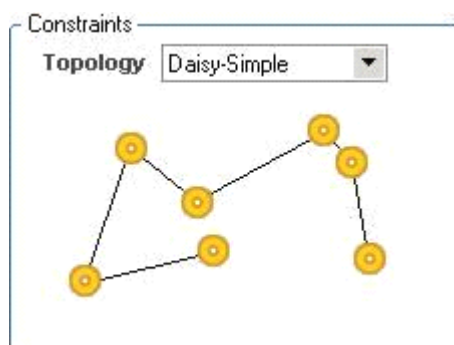
-
- 图6-9水平拓扑规则
- Vertical（垂直）规则设置

垂直规则设置如图6-10所示，从 Tolpoogy 下拉菜单中选择 Vertical 选项。它采用是连接所有节点，在垂直方向连线最短规则。



-
- 图6-10垂直拓扑规则
- Daisy Simple（简单雏菊）规则设置

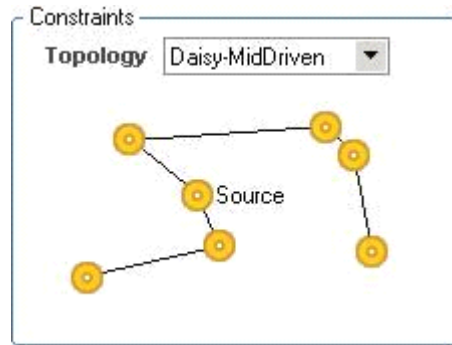
简单雏菊规则设置如图6-11所示，从 Tolpoogy 下拉菜单中选择 Daisy simple 选项。它采用的是使用链式连通法则，从一点到另一点连通所有的节点，并使连线最短。



-
- 图6-11简单雏菊规则

- Daisy-MidDriven（雏菊中点）规则设置

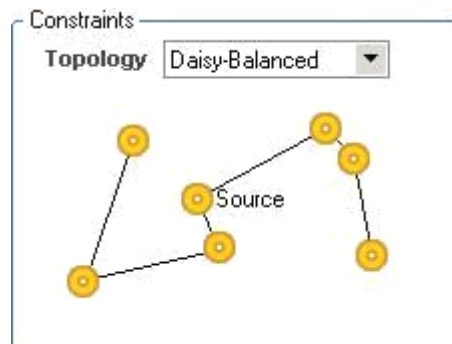
- 雏菊中点规则设置如图6-12所示，从 Tolpoogy 下拉菜单中选择 Daisy_MidDriven 选项。该规则选择一个 Source（源点），以它为中心向左右连通所有的节点，并使连线最短。



- 图6-12雏菊中点规则

- Daisy Balanced（雏菊平衡）规则设置

- 雏菊平衡规则设置如图6-13所示，从 Tolpoogy 下拉菜单中选择 Daisy Balanced 选项。它也选择一个源点，将所有的中间节点数目平均分成组，所有的组都连接在源点上，并使连线最短。



- 图6-13雏菊平衡规则

- Star Burst（星形）规则设置

- 星形规则设置如图6-14所示，从 Tolpoogy 下拉菜单中选择 Star Burst 选项。该规则也是采用选择一个源点，以星形方式去连接别的节点，并使连线最短。

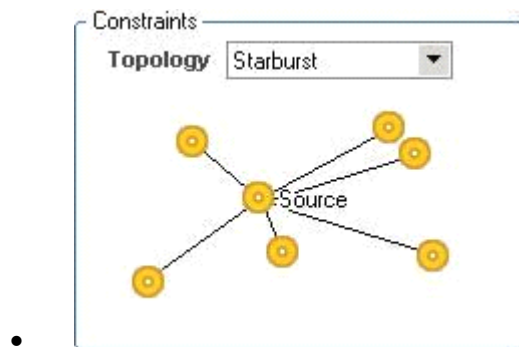


图6-14 Star Burst（星形）规则

3. **Routing Priority（布线优先级别）** 选项区域设置该规则用于设置布线的优先次序，设置的范围从0~100，数值越大，优先级越高，如图6-15所示。

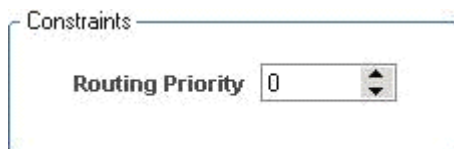


图6-15布线优先级设置

4. **Routing Layers（布线图）** 选项区域设置该规则设置布线板导的导线走线方法。包括顶层和底层布线层，共有32个布线层可以设置，如图6-16所示。

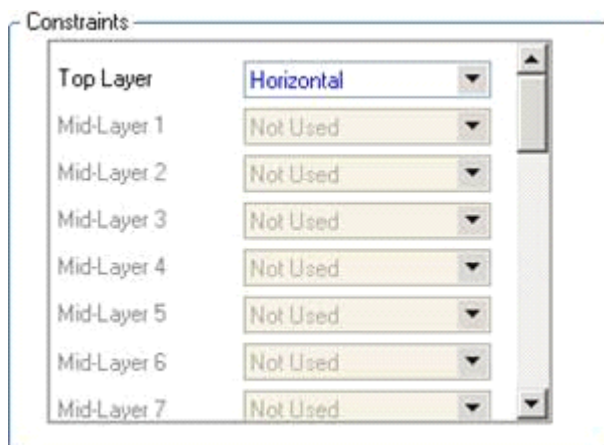


图6-16布线层设置

由于设计的是双层板，故 Mid-Layer 1到 Mid-Layer30都不存在的，该选项为灰色不能使用，只能使用 Top Layer 和 Bottom Layer 两层。每层对应的右边为该层的布线走法。

Prote DXP 提供了11种布线走法，如图6-17所示。

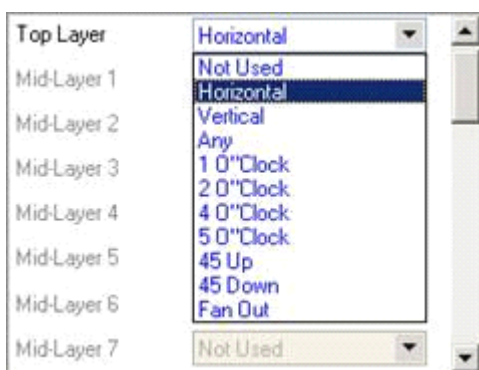


图6-17 11种布线法

各种布线方法为：Not Used 该层不进行布线；Horizontal 该层按水平方向布线；Vertical 该层为垂直方向布线；Any 该层可以任意方向布线；Clock 该层为按一点钟方向布线；Clock 该层为按两点钟方向布线；Clock 该层为按四点钟方向布线；Clock 该层为按五点钟方向布线；45Up 该层为向上45°方向布线、45Down 该层为向下45°方法布线；Fan Out 该层以扇形方式布线。

对于系统默认的双面板情况，一面布线采用 Horizontal 方式另一面采用 Vertical 方式。

5. Routing Corners（拐角）选项区域设置

布线的拐角可以有45°拐角、90°拐角和圆形拐角三种，如图6—18所示。

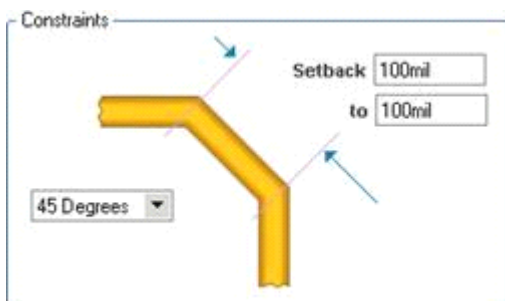


图6—18拐角设置

从 Style 上拉菜单栏中可以选择拐角的类型。如图6—16中 Setback 文本框用于设定拐角的长度。To 文本框用于设置拐角的大小。对于90°拐角如图6—19所示，圆形拐角设置如图6—20所示。

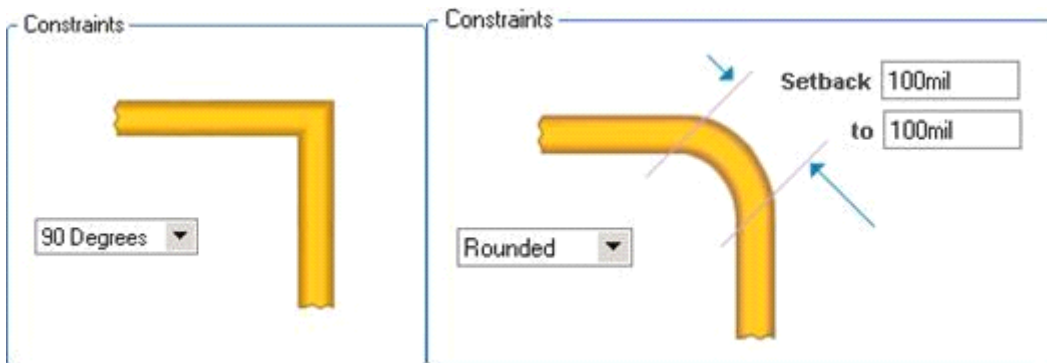


图6—19 90°拐角设置图6—20圆形拐角设置

6. Routing Via Style（导孔）选项区域设置该规则设置用于设置布线中导孔的尺寸，其界面如图6—21所示。

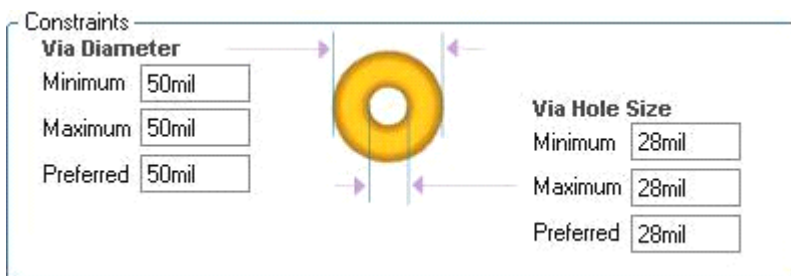


图6—21 导孔设置

可以调协的参数有导孔的直径 via Diameter 和导孔中的通孔直径 Via Hole Size，包括 Maximum（最大值）、Minimum（最小值）和 Preferred（最佳值）。设置时需注意导孔直径和通孔直径的差值不宜过小，否则将不宜于制板加工。合适的差值在10mil 以上。

6.4阻焊层设计规则

Mask（阻焊层设计）规则用于设置焊盘到阻焊层的距离，有如下几种规则。

1. Solder Mask Expansion（阻焊层延伸量）选项区域设置该规则用于设计从焊盘到阻碍焊层之间的延伸距离。在电路板的制作时，阻焊层要预留一部分空间给焊盘。这个延伸量就是防止阻焊层和焊盘相重叠，如图6—22所示系统默认值为4mil,Expansion 设置预为设置延伸量的大小。

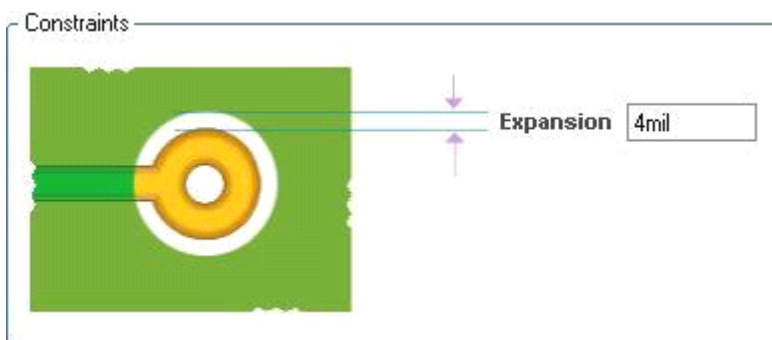


图6—22阻焊层延伸量设置

2. **Paste Mask Expansion**（表面粘着元件延伸量）选项区域设置该规则设置表面粘着元件的焊盘和焊锡层孔之间的距离，如图6—23所示，图中的 **Expansion** 设置项为设置延伸量的大小。

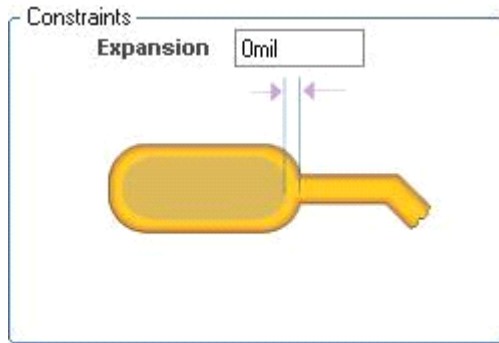


图6—23表面粘着元件延伸量设置

6.5内层设计规则 Plane（内层设计）规则用于多层板设计中，有如下几种设置规则。

1. **Power Plane Connect Style**（电源层连接方式）选项区域设置电源层连接方式规则用于设置导孔到电源层的连接，其设置界面如图6—24所示。

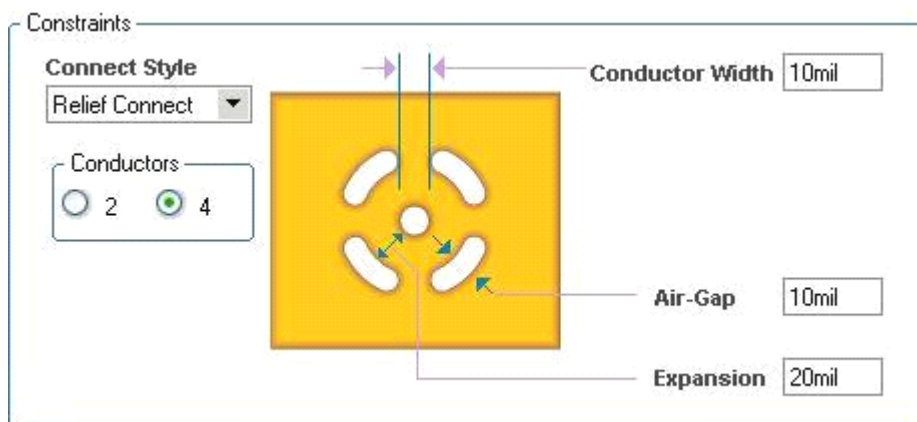


图6—24电源层连接方式设置

图中共有5项设置项，分别是：

- **Conner Style** 下拉列表：用于设置电源层和导孔的连接风格。下拉列表中有3个选项可以选择：**Relief Connect**（发散状连接）、**Direct connect**（直接连接）和 **No Connect**（不连接）。工程制板中多采用发散状连接风格。
- **Condctor Width** 文本框：用于设置导通的导线宽度。
- **Conductors** 复选项：用于选择连通的导线的数目，可以有2条或者4条导线供选择。

- Air-Gap 文本框：用于设置空隙的间隔的宽度。
- Expansion 文本框：用于设置从导孔到空隙的间隔之间的距离。

2. **Power Plane Clearance**（电源层安全距离）选项区域设置该规则用于设置电源层与穿过它的导孔之间的安全距离，即防止导线短路的最小距离，设置界面如图6—25所示，系统默认值20mil。

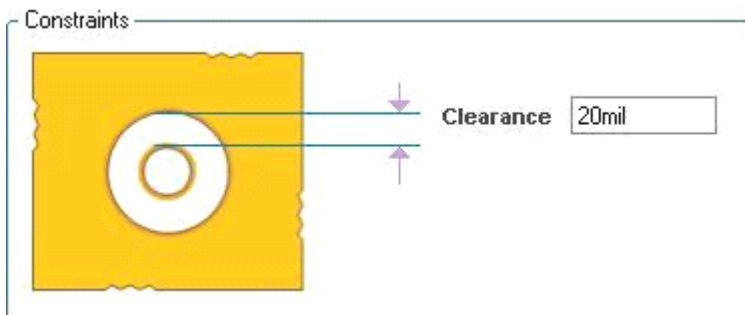


图6—25电源层安全距离设置

3. **Polygon Connect style**（敷铜连接方式）选项区域设置该规则用于设置多边形敷铜与焊盘之间的连接方式，设置界面如图6—26所示。

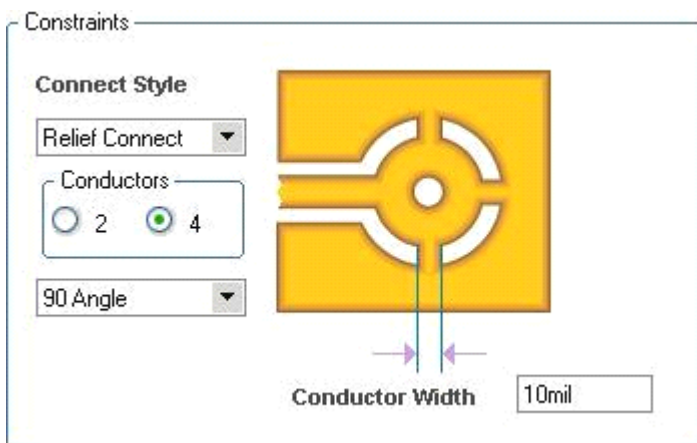


图6—26敷铜连接方式设置

该设置对话框中 Connect Style、Conductors 和 Conductor width 的设置与 Power Plane Connect Style 选项设置意义相同，在此不同志赘述。

最后可以设定敷铜与焊盘之间的连接角度，有90angle(90°)和45Angle（45°）角两种方式可选。

6.6测试点设计规则 Testpoint（测试点设计）规则用于设计测试点的形状、用法等，有如下几项设置。

1. **Testpoint Style**（测试点风格）选项区域设置该规则中可以指定测试点的大小和格点大小等，设置界面如图6—27所示。

图6—27测试点风格设置

该设置对话框有如下选项：

- Size 文本框为测试点的大小，Hole Size 文本框为测试点的导孔的大小，可以指定 Min（最小值）、Max（最大值）和 Preferred（最优值）。
- Grid Size 文本框：用于设置测试点的网格大小。系统默认为1mil 大小。
- Allow testpoint under component 复选项：用于选择是否允许将测试点放置在元件下面。复选项 Top、Bottom 等选择可以将测试点放置在哪些层面上。

右边多项复选项设置所允许的测试点的放置层和放置次序。系统默认为所有规则都选中。

2. Testpoint Usage（测试点用法）选项区域设置测试点用法设置的界面如图6—28所示。

图6—28测试点用法设置

该设置对话框有如下选项：

- Allow multiple testpoints on same net 复选项：用于设置是否可以在同一网络上允许多个测试点存在。
- Testpoint 选项区域中的单选项选择对测试点的处理，可以是 Required(必须处理)、Invalid（无效的测试点）和 Don't care（可忽略的测试点）。

6.7 电路板制板规则

Manufacturing（电路板制板）规则用于对电路板制板的设置，有如下几类设置：

1. **Minimum annular Ring（最小焊盘环宽）** 选项区域设置电路板制作时的最小焊盘宽度，即焊盘外直径和导孔直径之间的有效期值，系统默认值为10 mil。

2. **Acute Angle（导线夹角设置）** 选项区域设置对于两条铜膜导线的交角，不小于90°。

3. **Hole size（导孔直径设置）** 选项区域设置该规则用于设置导孔的内直径大小。可以指定导孔的内直径的最大值和最小值。

Measurement Method 下拉列表中有两种选项：**Absolute** 以绝对尺寸来设计，**Percent** 以相对的比例来设计。采用绝对尺寸的导孔直径设置对话框如图6—29所示（以 mil 为单位）。

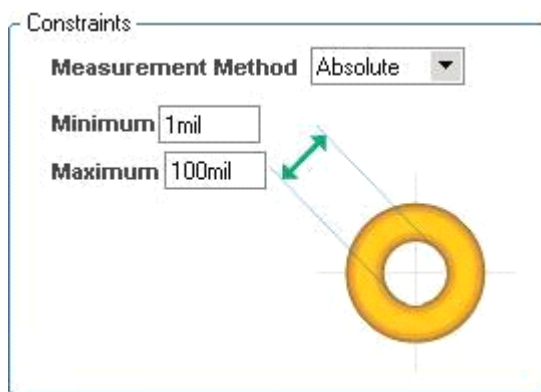


图6—29 导孔直径设置对话框

4. **Layers Pairs（使用板层对）** 选项区域设置在设计多层板时，如果使用了盲导孔，就要在这里对板层对进行设置。对话框中的复选选项用于选择是否允许使用板层对（layers pairs）设置。

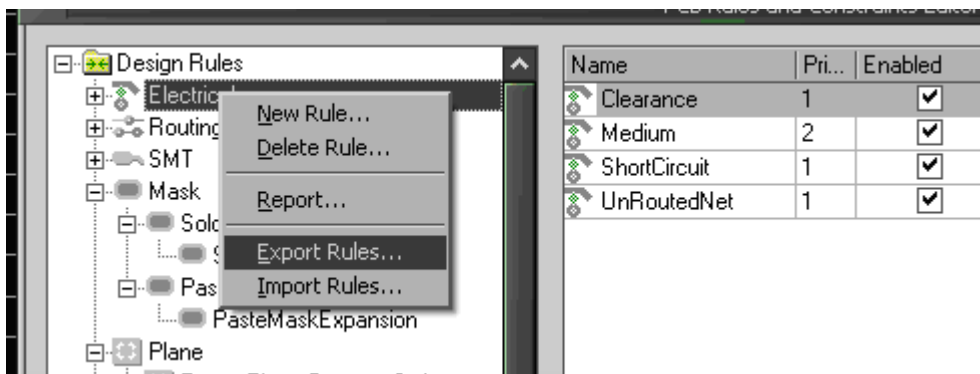
小结本章中，对 Protel DXP 提供的 10 种布线规则进行了介绍，在设计规则中介绍了每条规则的功能和设置方法。这些规则的设置属于电路设计中的较高级的技巧，它设计到很多算法的知识。掌握这些规则的设置，就能设计出高质量的 PCB 电路

PCB 板设计规则的导入导出

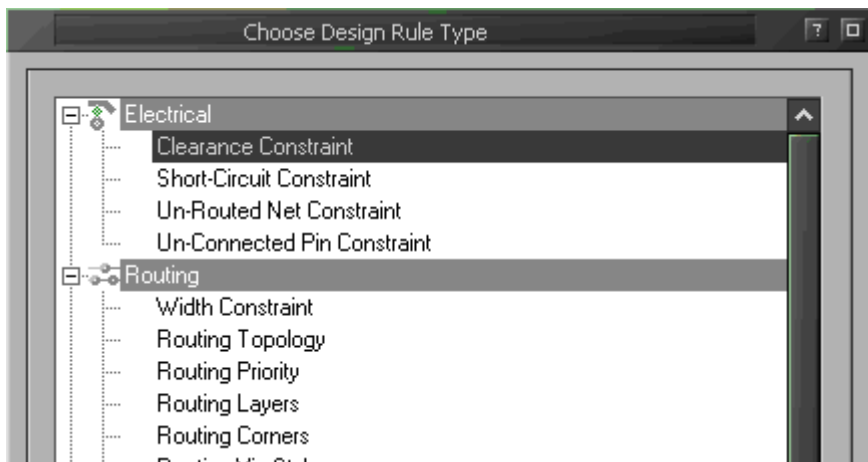
一般设计 PCB 都会设置一些自己喜欢的规则，例如，线与器件可以允许的最小距离，一般连线的宽度，有些网络例如电源，地的线的宽度。当我们设计好这些规则后，希望以后新建的板子布线都用这同一套规则，这时我们就可以把设计好的规则导出来，就和模板一样，又新建一个 PCB 板时，把这个规则导进去，我们就不需要重新设置了，下面是导入导出的方法。

导出：

点菜单 design->rules,再如下图:

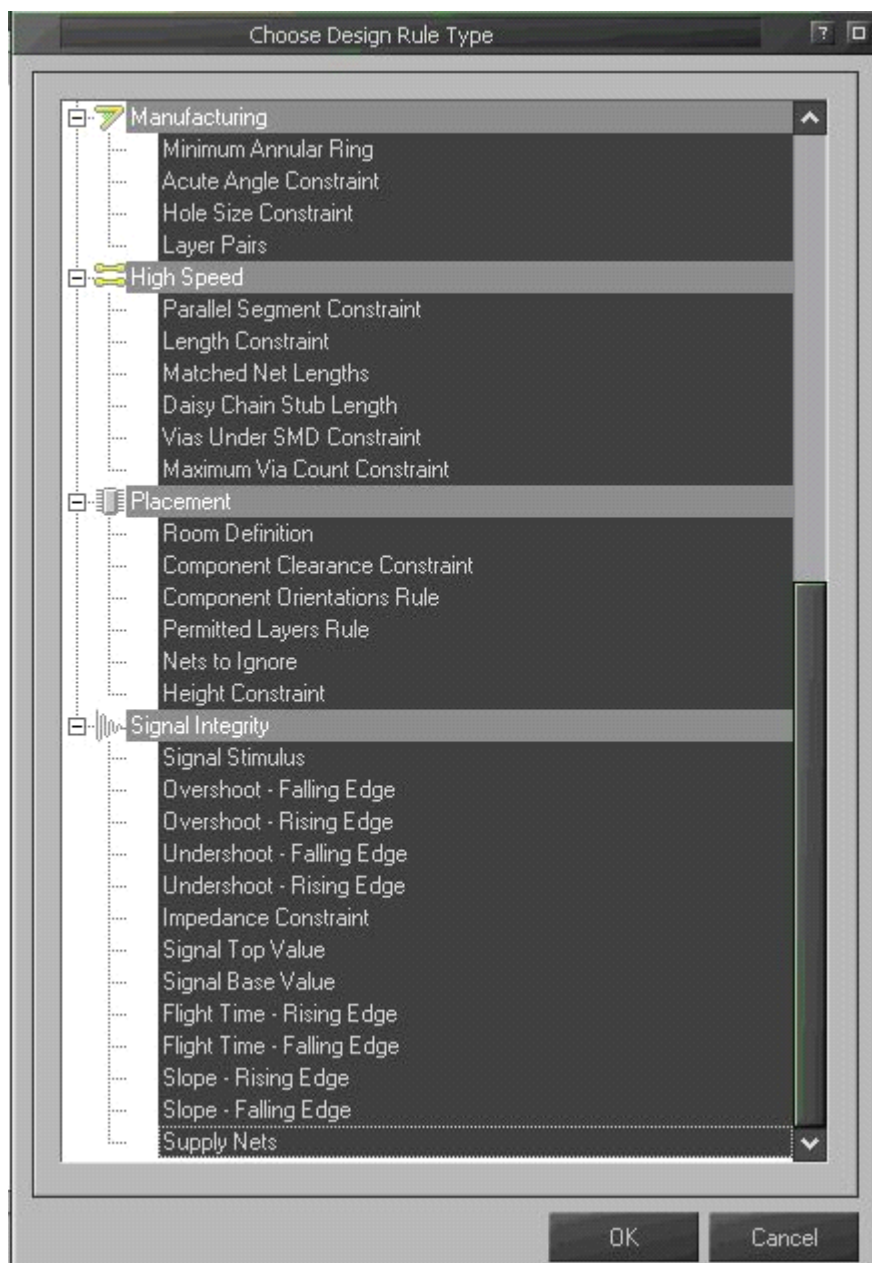


界面如下图:



让你选择你需要导出的规则

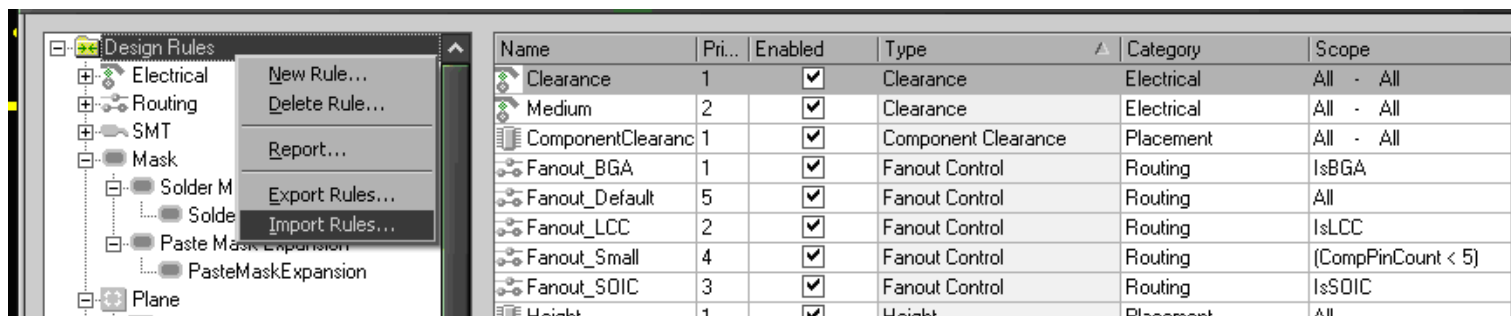
这里选择所有规则，方法是，拖动滑条到最后一条，按住 shift 键点最后一条，结果如下图：



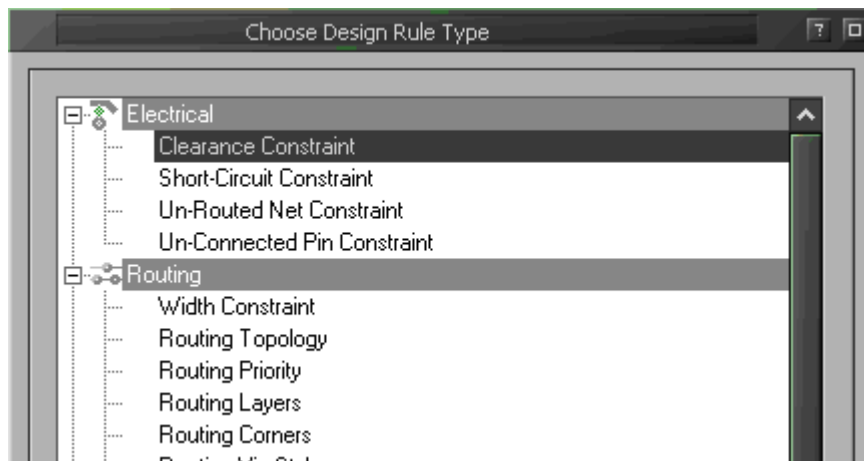
点 OK 按钮

即可保存下来，导出规则完成。

导入过程：



出现如下界面，选择需要导入的规则：



这里全选，方面与上面相同

然后弹出一对话框，点 YES 或 NO 都可以

画电路板心得

1. 坚持正面横向走，反面纵向走的原则。
2. 把最主的线先连好，再管其他的，这里主要的线一般是指线都围绕那个器件布开，例如单片机。

制版参数：线宽 8mil,线距 8mil,过孔内径 0.4mm,外径 0.8mm。

PROTEL DXP2004 DRC 规则英文对照

在 PROTEL DXP2004 中的 DRC 规则检查项目,对于一些英文水平较薄弱的朋友是一个大难题,特和同事对其进行整理一下,英文水平有限,仅供参考:

PROTEL DXP2004 DRC 规则英文对照

一、Error Reporting 错误报告

A: Violations Associated with Buses 有关总线电气错误的各类型 (共 12 项)

bus indices out of range 总线分支索引超出范围

Bus range syntax errors 总线范围的语法错误

Illegal bus range values 非法的总线范围值

Illegal bus definitions 定义的总线非法

Mismatched bus label ordering 总线分支网络标号错误排序

Mismatched bus/wire object on wire/bus 总线/导线错误的连接导线/总线

Mismatched bus widths 总线宽度错误

Mismatched bus section index ordering 总线范围值表达错误

Mismatched electrical types on bus 总线上错误的电气类型

Mismatched generics on bus(first index)总线范围值的首位错误

Mismatched generics on bus(second index)总线范围值末位错误

Mixed generics and numeric bus labeling 总线命名规则错误

B: Violations Associated Components 有关元件符号电气错误 (共 20 项)

Component Implementations with duplicate pins usage 元件管脚在原理图中重复被使用

Component Implementations with invalid pin mappings 元件管脚在应用中和 PCB 封装中的焊盘不符

Component Implementations with missing pins in sequence 元件管脚的序号出现序号丢失

Component containing duplicate sub-parts 元件中出现了重复的子部分

Component with duplicate Implementations 元件被重复使用

Component with duplicate pins 元件中有重复的管脚

Duplicate component models 一个元件被定义多种重复模型

Duplicate part designators 元件中出现标示号重复的部分

Errors in component model parameters 元件模型中出现错误的参数

Extra pin found in component display mode 多余的管脚在元件上显示

Mismatched hidden pin component 元件隐藏管脚的连接不匹配

Mismatched pin visibility 管脚的可视性不匹配

Missing component model parameters 元件模型参数丢失

Missing component models 元件模型丢失

Missing component models in model files 元件模型不能在模型文件中找到

Missing pin found in component display mode 不见的管脚在元件上显示

Models found in different model locations 元件模型在未知的路径中找到

Sheet symbol with duplicate entries 方框电路图中出现重复的端口

Un-designated parts requiring annotation 未标记的部分需要自动标号

Unused sub-part in component 元件中某个部分未使用

C: violations associated with document 相关的文档电气错误 (共 10 项)

conflicting constraints 约束不一致的

duplicate sheet symbol name 层次原理图中使用了重复的方框电路图
duplicate sheet numbers 重复的原理图图纸序号
missing child sheet for sheet symbol 方框图没有对应的子电路图
missing configuration target 缺少配置对象
missing sub-project sheet for component 元件丢失子项目
multiple configuration targets 无效的配置对象
multiple top-level document 无效的顶层文件
port not linked to parent sheet symbol 子原理图中的端口没有对应到总原理图上的端口
sheet enter not linked to child sheet 方框电路图上的端口在对应子原理图中没有对应端口
D: violations associated with nets 有关网络电气错误 (共 19 项)
adding hidden net to sheet 原理图中出现隐藏网络
adding items from hidden net to net 在隐藏网络中添加对象到已有网络中
auto-assigned ports to device pins 自动分配端口到设备引脚
duplicate nets 原理图中出现重名的网络
floating net labels 原理图中有悬空的网络标签
global power-objects scope changes 全局的电源符号错误
net parameters with no name 网络属性中缺少名称
net parameters with no value 网络属性中缺少赋值
nets containing floating input pins 网络包括悬空的输入引脚
nets with multiple names 同一个网络被附加多个网络名
nets with no driving source 网络中没有驱动
nets with only one pin 网络只连接一个引脚
nets with possible connection problems 网络可能有连接上的错误
signals with multiple drivers 重复的驱动信号
sheets containing duplicate ports 原理图中包含重复的端口
signals with load 信号无负载
signals with drivers 信号无驱动
unconnected objects in net 网络中的元件出现未连接对象
unconnected wires 原理图中有没连接的导线

E: Violations associated with others 有关原理图的各种类型的错误(3 项)

No Error 无错误

Object not completely within sheet boundaries 原理图中的对象超出了图纸边框

Off-grid object 原理图中的对象不在格点位置

F: Violations associated with parameters 有关参数错误的各种类型

same parameter containing different types 相同的参数出现在不同的模型中

same parameter containing different values 相同的参数出现了不同的取值

二、**Comparator** 规则比较

A: Differences associated with components 原理图和 PCB 上有关的不同(共 16 项)

Changed channel class name 通道类名称变化

Changed component class name 元件类名称变化

Changed net class name 网络类名称变化

Changed room definitions 区域定义的变化

Changed Rule 设计规则的变化

Channel classes with extra members 通道类出现了多余的成员

Component classes with extra members 元件类出现了多余的成员

Difference component 元件出现不同的描述

Different designators 元件标示的改变

Different library references 出现不同的元件参考库

Different types 出现不同的标准

Different footprints 元件封装的改变

Extra channel classes 多余的通道类

Extra component classes 多余的元件类

Extra component 多余的元件

Extra room definitions 多余的区域定义

B: Differences associated with nets 原理图和 PCB 上有关网络不同 (共 6 项)

Changed net name 网络名称出现改变

Extra net classes 出现多余的网络类

Extra nets 出现多余的网络

Extra pins in nets 网络中出现多余的管脚

Extra rules 网络中出现多余的设计规则

Net class with Extra members 网络中出现多余的成员

C: Differences associated with parameters 原理图和 PCB 上有关的参数不同 (共 3 项)

Changed parameter types 改变参数类型

Changed parameter value 改变参数的取值

Object with extra parameter 对象出现多余的参数

【Violations Associated with Buses】栏——总线电气错误类型

(1) **【Bus indices out of range】**: 总线分支索引超出范围。总线和总线分支线共同完成电气连接, 每个总线分支线都有自己的索引, 当分支线索引超出了总线的索引范围时, 将违反该规则。

(2) **【Bus range syntax errors】**: 总线范围的语法错误。总线的命名通常是由系统缺省设置的, 但用户也可以自己命名总线, 当用户的命名违反总线的命名规则时, 将违反该规则。

(3) **【Illegal bus definition】**: 非法的总线定义。例如, 总线与导线相连时, 将违反该规则。

(4) **【Illegal bus range values】**: 非法的总线范围值。总线的范围及总线分支线的数目, 当两者不相等时, 将违反该规则。

(5) **【Mismatched bus label ordering】**: 总线分支线的网络标号的错误排列。通常总线分支线是按升序或降序排列, 不符合此条件时将违反该规则。

(6) **【Mismatched bus widths】**: 总线宽度的不匹配。

(7) **【Mismatched Bus-Section index ordering】**: 总线索引的错误排序。

(8) **【Mismatched Bus/Wire object in Wire/Bus】**: 导线与总线间的不匹配。

(9) **【Mismatched electrical types on bus】**: 总线上电气类型的错误。

(10) **【Mismatched Generics on bus(First Index)】**: 总线范围值的首位错误。总线首位英语总线分支线的首位对应, 如果不满足, 将违反该规则。

(11) **【Mismatched Generics on bus(Second Index)】**: 总线范围值的末位错误。

(12) **【Mixed generic and numeric bus labeling】**: 总线网络标号的错误。采用了数字和符号的混合编号。

Violations Associated with Components】栏——元件电气错误类型

(1) **【 Component Implementation with duplicate pins usage】**: 原理图中元件的管脚被重复使用了。

(2) **【 Component Implementation with invalid pin mappings】**: 出现了非法的元件管脚封装。元件的管脚应与管脚的封装一一对应, 不匹配时将违反该规则。

(3) **【 Component Implementation with missing pins in sequence】**: 元件管脚序号丢失。元件管脚的命名出现不连贯的序号, 将违反该规则。

(4) **【 Component containing duplicate sub-parts】**: 元件中包含了重复的子元件。

(5) **【 Component with duplicate Implementations】**: 在一个原理图中元件被重复使用了, 该错误通常出现在层次原理图的设计中。

(6) **【 Component with duplicate pins】**: 元件中出现了重复的管脚

(7) **【 Duplicate Component Models】**: 一个元件被定义多种重复模型。

(8) **【 Duplicate Part Designator】**: 存在重复的元件标号。

(9) **【 Errors in Component Model Parameters】**: 元件模型中出现参数错误。

(10) **【 Extra pin found in component display mode】**: 元件显示模型中出现多余的管脚。

(11) **【 Mismatched hidden pin connections】**: 隐藏管脚的电气连接错误。

(12) **【 Mismatched pin visibility】**: 管脚的显示与用户的设置不匹配。

(13) **【 Missing Component Model Parameters】**: 元件模型参数丢失。

(14) **【 Missing Component Models】**: 元件模型丢失。

(15) **【 Missing Component Models in Model Files】**: 元件模型在模型文件中找不到。

(16) **【 Missing pin found in component display mode】**: 元件的显示中缺少某一管脚。

(17) **【 Models Found in Different Model Locations】**: 元件模型在另一路径而不是在指定路径中找到。

(18) **【 Sheet Symbol with duplicate entries】**: 方块电路图中出现了重复的端口。为防止该规则被违反, 建议用户在进行层次原理图的设计时, 在单张原理图上采用网络标号的形式建立电气连接, 而不同的原理图间采用端口建立电气连接。

(19) **【 Un-Designated parts requiring annotation】**: 未被标号的元件需要自动标号。

(20) **【 Unused sub-part in component】**: 集成元件的某一部分在原理图中未被使用。通常对未被使用的部分采用管脚悬空的方法, 即不进行任何的电气连接。

Violations Associated with documents】 栏——文档电气连接错误类型

(1) **【 Conflicting Constraints】**: 互相矛盾的制约属性。

(2) **【 Duplicate sheet numbers】**: 重复的图纸编号。

(3) **【 Duplicate sheet Symbol names】**: 层次原理图中出现了重复的方块电路图。

(4) **【 Missing child sheet for sheet symbol】**: 方块电路图中缺少对应的子原理图。

(5) **【 Missing Configuration Target】**: 缺少任务配置。

(6) **【 Missing sub-Project sheet for component】**: 元件丢失子项目。有些元件可以定义子项目, 当定义的子项目在固定的路径中找不到时将违反该规则。

(7) **【 Multiple Configuration Targets】**: 出现多重任务配置。

(8) **【 Multiple Top-Level Documents】**: 多重一级文档。

(9) **【 Port not linked to parent sheet symbol】**: 子原理图中电路端口与主方块电路中端口间的电气连接错误。

(10) **【 Sheet Entry not linked child sheet】** 电路端口与子原理图间存在电气连接错误。

Violations Associated with Nets】 栏——网络电气连接错误类型

(1) **【 Adding hidden net to sheet】**: 原理图中出现隐藏的网络。

(2) **【 Adding Items from hidden net to net】**: 从隐藏网络中添加对象到已有网络中。

- (3) **【 Auto-Assigned Ports To Device Pins】**:
- (4) **【 Duplicate Nets】**: 原理图中出现了重复的网络。
- (5) **【 Floating net labels】**: 原理图中出现了悬空的网络标号。
- (6) **【 Floating power objects】**: 原理图中出现了悬空的电源符号。
- (7) **【 Global Power-Object scope changes】**: 全局的电源符号错误。
- (8) **【 Net Parameters with no name】**: 网络属性中缺少名字。
- (9) **【 Net Parameters with no value】**: 网络属性中缺少赋值。
- (10) **【 Nets containing floating input pins】**: 网络中包含悬空的输入管脚。
- (11) **【 Nets with multiple names】**: 同一个网络被附加多个网络名。
- (12) **【 Nets with no driving source】**: 网络中没有驱动源。
- (13) **【 Nets with only one pin】**: 一个网络只存在一个管脚。
- (14) **【 Nets with possible connection problems】**: 网络中存在连接错误。
- (15) **【 Sheets containing duplicate ports】**: 原理图中包含重复的端口。
- (16) **【 Signals with multiple drivers】**: 信号存在多个驱动源。
- (17) **【 Signals with no driver】**: 信号没有驱动源。
- (18) **【 Signals with no load】**: 信号缺少负载。
- (19) **【 Unconnected objects in net】**: 网络中的元件出现未连接的对象。
- (20) **【 Unconnected wires】**: 原理图中存在没有电气连接的导线。

Violations Associated with Others】 栏——其他的电气连接错误

- (1) **【 No Error】**: 没有连接错误。
- (2) **【 Object not completely within sheet boundaries】**: 对象超出了原理图的范围，可以通过改变图纸大小的设置来解决。
- (3) **【 Off-grid object(0.05grid)】**: 对象没有处在格点的位置上。使元件处在格点的位置有利于元件电气连接特性的完成。

Violations Associated with Parameters】 栏——参数错误类型

- (1) **【 Same parameter containing different types】**: 相同的参数被设置了不同的类型。
- (2) **【 Same parameter containing different values】**: 相同的参数被设置了不同的值。

