

郑重声明：本文为 WWW.EDACN.COM 特约作者提供之原创文章。由于目前已经被专业期刊录用，而未正式发表，故仅供本站内部技术讨论使用，不得转载。一切未经作者允许的拷贝、转载、使用等行为都被视为违法行为。

实用 FPGA 的调试工具——ChipScope Pro

钟信潮、王诚、薛小刚

〔摘要〕：ChipScope Pro 应用于 FPGA 调试阶段，它具有传统逻辑分析仪的功能，可以观察 FPGA 内部的任何信号，触发条件、数据宽度和深度等的设置也非常方便，而且价格便宜，在实际工作中应用得很广泛。

〔关键词〕：现场可编程门阵列 在线逻辑分析仪

REAL-TIME SYSTEM DEBUGGING TOOLS——CHIPSOCPE PRO

〔ABSTRACT〕：ChipScope Pro is a kind of real-time system debugging and verification tools. By ChipScope Pro, user can easily capture and view signal activity inside any of Xilinx FPGAs through the JTAG port.

〔KEY WORDS〕：FPGA CHIPSOCPE PRO

一 引言

在 FPGA 调试阶段，传统的信号分析手段是用逻辑分析仪分析信号，设计时要求 FPGA 和 PCB 设计人员保留一定数量 FPGA 管脚作为测试管脚，编写 FPGA 代码时将需要观察的信号作为模块的输出信号，在综合实现时再把这些输出信号锁定到测试管脚上，然后连接逻辑分析仪的探头到这些测试脚，设定触发条件，进行观测。这个过程比较复杂、灵活性差，PCB 布线后测试脚的数量就固定了，不能灵活增加，当测试脚不够用时影响测试，如果测试脚太多又影响 PCB 布局布线。另外，一台逻辑分析仪要几万到几十万元，每个公司拥有的数量有限，在研发高峰期往往供不应求，影响进度。使用 ChipScope Pro 能较好地解决这些问题。

二 ChipScope Pro 综述

ChipScope Pro 是针对 Xilinx Virtex-II Pro/Virtex/Virtex-II/Virtex-E/Virtex-EM Spartan-II E/Spartan-II E 系列 FPGA 的在线片内信号分析工具，它的主要功能是通过 JTAG 口，在线、实时地读出 FPGA 的内部信号。ChipScope Pro 的基本原理是利用 FPGA 中未使用的 BlockRam，根据用户设定的触发条件将信号实时地保存到这些 BlockRam 中，然后通过 JTAG 口传送到计算机，最后在计算机屏幕上显示出时序波形。

使用 ChipScope Pro 观察 FPGA 内部信号具有以下优点：

- (1) 成本低廉。只要用这套软件加上一根 JTAG 电缆就可进行信号分析。
- (2) 灵活性大。观察信号的数量和存储深度由器件剩余的 BlockRam 数量决定，剩余

BlockRam 越多，可观察信号的数量和存储深度就越大。

- (3) 使用方便。ChipScope Pro 可以自动读取设计网表（NGC、EDF、EDN 文件），自动将其 IP 核的网表插入到原设计的网表中。可以方便地选择待观测信号，也可以设置复杂的触发条件。ChipScope Pro 的 IP 核只使用少量的查找表资源和寄存器资源，对原设计的影响很小。
- (4) 使 FPGA 不再是黑匣子。ChipScope Pro 可以十分方便地观测 FPGA 内部的所有信号，对 FPGA 内部逻辑调试非常方便。

ChipScope Pro 系统框图如图 1 所示，其中 ILA、ICON、IBA 是为了使用 ChipScope Pro 观察信号而插入的核。一般来说，ChipScope Pro 工作时需要在用户设计中实例化两种核，一是集成逻辑分析仪核（ILA Pro core, Integrated Logic Analyzer Pro core），提供触发和跟踪捕获的功能。二是集成控制器核（ICON Pro core, Integrated Controller Pro core），负责 ILA Pro core 和边界扫描端口的通信，一个 ICON Pro core 可以连接 1~15 个 ILA Pro core。ChipScope Pro 工作时，ILA Pro core 根据用户设置的触发条件捕获数据，然后在 ICON Pro core 的控制下，通过边界扫描端口上传到计算机，最后用 ChipScope Pro Analyzer 显示出信号波形。

ChipScope Pro 还集成了 ILA/ATC core（Integrated Logic Analyzer with Agilent Trace Core），这种 core 是 Xilinx 和 Agilent 合作开发的，它把要调试的 FPGA 和 Agilent E5904B Option 500 Trace Port Analyzer（Agilent TPA，需要单独购置）连接起来，可以提供更大的捕获深度、更复杂的触发设置，并支持网络远程调试，功能十分强大。使用时数据由 Agilent TPA 捕获，与单独使用 ChipScope Pro 相比，可以减少用于调试的 FPGA 片内 RAM，使这种珍贵资源尽可能地用于设计中。Agilent TPA 可以为每个信号提供 2M 的捕获深度，这是 ILA Pro 的最大捕获深度（32k）的 60 倍，大的捕获深度对于查找原因和症状相隔时间较长的故障非常有用。

如果设计中用到 PowerPC 405 核或 MicroBlaze 软核（这两种核使用的外围总线都是 IBM CoreConnect On-Chip Peripheral Bus），可以实例化 IBA/OPB（Integrated Bus Analyzer for On-Chip Peripheral Bus）核用于观察总线上的信号。

ChipScope Pro 5.2i 版新增加了 IBA/PLB（Integrated Bus Analyzer for Processor Local Bus）用于监测和调试 CoreConnect Processor Local Bus，还提供了 VIO（Virtual I/O Core），可以在任何 ChipScope Pro core 中加入虚拟输入，如 DIP 开关、按钮等，可以输出 Agilent Fast Binary Data Format (FBDF) 格式的数据文件，以便用 Agilent 16700 逻辑分析仪进行调试。ChipScope Pro 5.2i 整合到 ISE Project Navigator 中，更加方便易用。ChipScope Pro 和 Virtex-II Pro 器件、ISE 软件结合可以提供最强大的设计和实时调试解决方案，缩短验证周期并降低项目的研发费用。

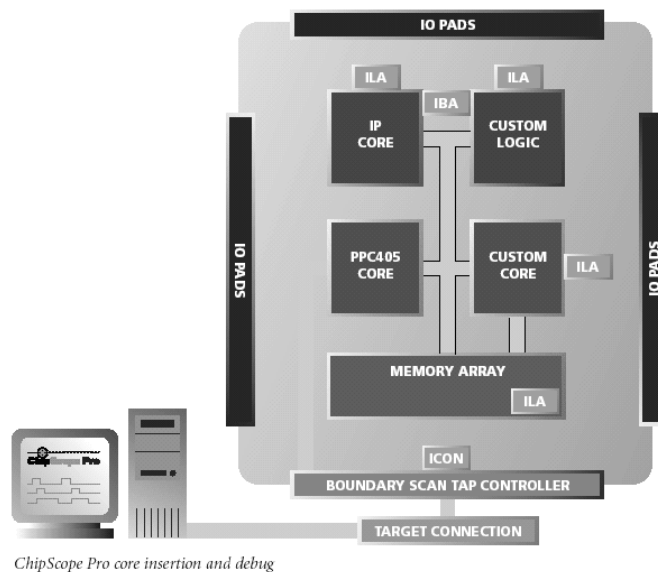


图 1 ChipScope Pro 系统框图

ChipScope Pro 工具箱包含 3 个工具：ChipScope Pro Core Generator、ChipScope Pro Core Inserter 和 ChipScope Pro Analyzer。ChipScope Core Generator 的作用是根据设定条件生成在线逻辑分析仪的 IP 核，包括 ICON Pro core、ILA Pro core、ILA/ATC core 和 IBA/OPB core 等，设计人员在原 HDL 代码中实例化这些核，然后进行布局布线、下载配置文件，就可以利用 ChipScope Pro Analyzer 设定触发条件、观察信号波形。ChipScope Pro Core Inserter 除了不能生成 IBA/OPB core 和 ILA/ATC core 以外，功能与 ChipScope Core Generator 类似，可以生成 ICON Pro core 和 ILA Pro core，但是它能自动完成在设计网表中插入这些核的工作，不用手工在 HDL 代码中实例化，在实际工作中用得最多，因此下面将详细介绍 ChipScope Pro Core Inserter 的使用方法。

三 ChipScope Pro Core Inserter

ChipScope Pro Core Inserter 的用户界面主要由标题栏、菜单栏、常用工具栏、项目浏览器、参数设置对话框和信息显示窗口组成。菜单栏由一系列常用处理命令的下拉菜单组成。项目浏览器列出了插入到设计中的所有 ICON Pro core 和 ILA Pro core，选中一个 ILA Pro core 后，可以在参数设置对话框查看或修改其参数。信息显示窗口用于显示 ChipScope Pro Core Inserter 的工作状态信息。如图 2 所示。

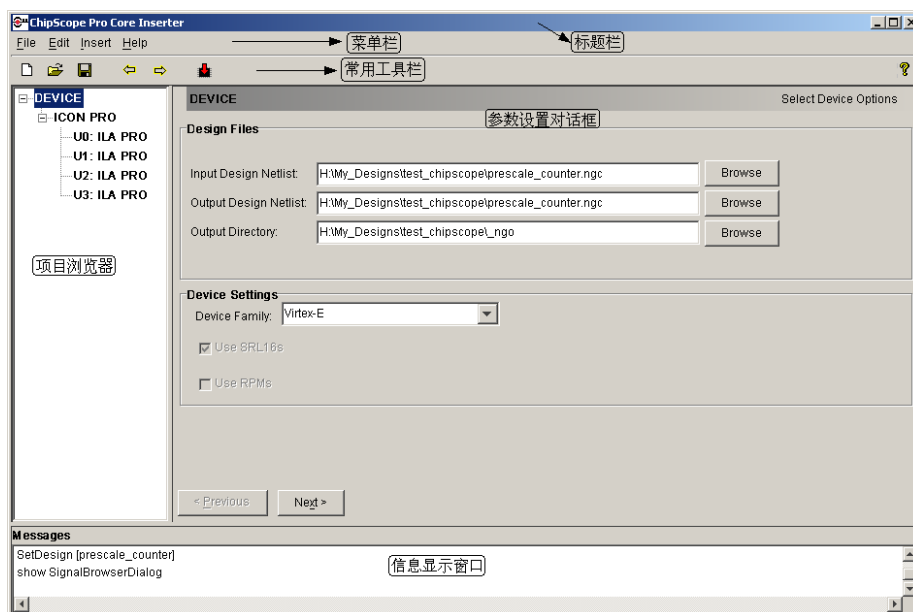


图 2 ChipScope Pro Core Inserter 的用户界面

下面说明使用 ChipScope Pro Core Inserter 插入在线逻辑分析仪网表的步骤。首先在 ISE Navigator 中完成 translate（翻译逻辑网表）步骤，然后启动 ChipScope Pro Core Inserter，在【Input Design Netlist】文本框中输入设计网表的路径，【Output Design Netlist】和【Output Directory】将会自动指定。在【Device Family】下拉列表框中选取设计所用的 FPGA 的系列，单击 **Next >** 按钮，弹出【Select Integrated Controller Options】对话框，如图 3 所示。

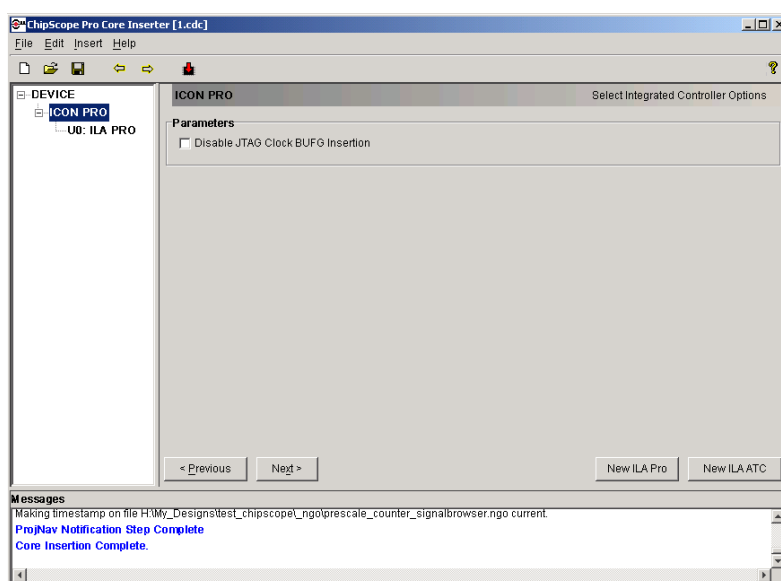


图 3 “Select Integrated Controller Options”对话框

图 3 的对话框用于指定是否禁止在 JTAG 时钟上插入 BUFG。如果选中此项，JTAG 时钟将使用普通布线资源，而不是全局时钟布线，这样会在 JTAG 时钟线上产生较大的布线延时差别（skew），破坏待分析信号之间的时序关系，因此在全局时钟资源足够的情况下，应该尽量使 JTAG 时钟使用 BUFG 资源，即使由于全局时钟资源不够而不得不禁用 BUFG 时，也必须附加相应的约束（如 MAXSKEW 等约束属性），使 JTAG 时钟线上的延迟抖动尽量小。这里不选中此项，使用 BUFG 资源。单击 **Next >** 按钮，弹出【Select Integrated Logic Analyzer Options】对话框，如图 4 所示。

【Select Integrated Logic Analyzer Options】对话框包含 3 个选项卡，分别为【Trigger Parameters】（触发参数）、【Capture Parameters】（捕获参数）和【Net Connections】（网线连接）。

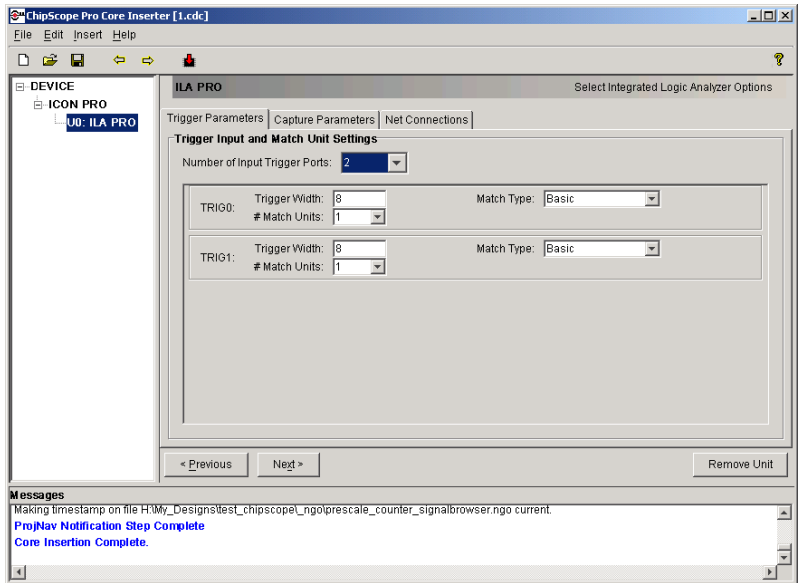


图 4 【Select Integrated Logic Analyzer Options】对话框

【Trigger Parameters】选项卡用于设置触发输入和触发条件判断单元。在【Number of Input Trigger Ports】（输入触发端口数）下拉列表框中可以选择 ILA Pro core 输入触发端口的数目，每个 ILA Pro core 最多可以有 4 个输入触发端口。各个触发端口的参数将在下方分别列出，包括触发宽度、触发条件判断单元的类型和数目。

触发端口由一根或多根信号线组成，信号线的总数称为触发宽度。触发条件判断单元是一个比较器，它和触发端口相连，用于检测触发端口是否发生了特定事件。一个触发端口可以有 1~4 个触发条件判断单元，这些触发条件判断单元可以组合起来构成逻辑分析仪的触发条件，用于捕获数据。触发条件判断单元越多，占用的逻辑资源越多，因此在满足设定触发条件要求的情况下，应尽量减少触发条件判断单元的数目。触发条件判断单元的类型如表 1 所示。

表 1 触发条件判断单元的类型

类型	匹配功能	Bits/Slice	说明
Basic	=, <>	8	用于数据信号的比较，这种类型在一个 Slice 中可以实现最多的比特数
Basic (w/trans)	=, <>, transition detection	4	用于控制信号的比较，可以检测跳变的发生
Extended	=, <>, >, >=, <, <=	2	用于比较地址和数据信号，可以进行数值大小的比较
Extended (w/trans)	=, <>, >, >=, <, <=, transition detection	2	用于比较地址和数据信号，可以比较数值大小和检测跳变的发生
Range	=, <>, >, >=, <, <=, in Range, not in Range	1	用于比较地址和数据信号，可以检测其数值是否在特定范围内。
Range (w/trans)	=, <>, >, >=, <, <=, in Range, not in Range, transition detection	1	用于比较地址和数据信号，可以检测其数值是否在特定范围内，也可以检测跳变的发生

触发参数设置完毕后，单击 **Next >** 按钮，参数设置对话框切换为【Capture Parameters】选项卡，如图 5 所示。

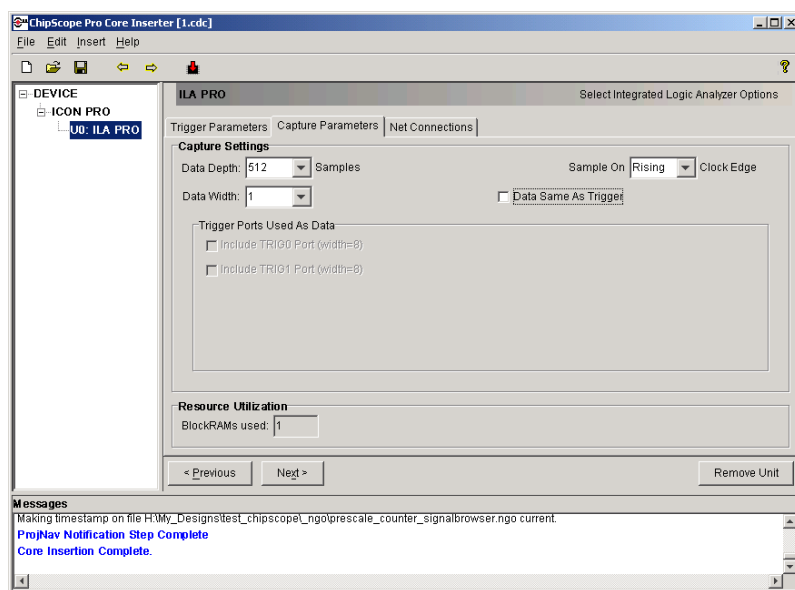


图 5 【Capture Parameters】选项卡

在【Capture Parameters】选项卡中可以对存储深度、数据位宽、采样时刻等参数进行设置。ChipScope Pro 的最大存储深度为 16384，最大数据位宽为 256bit。数据的存储深度和位宽由 FPGA 内部剩余的 Block Ram 的数量决定，例如 Xilinx Virtex 系列 FPGA 的一个 Block Ram 为 4096bit，则采集数据的深度和宽度要满足：采集数据的深度×采集数据的宽度≤4096×剩余的 Block Ram 块数。

如果选中【Data Same As Trigger】选项，那么数据与触发信号相同，在【Trigger Ports Used As Data】表单中可以选取哪些触发端口作为数据。数据与触发信号相同是很常用的模式，因为用户可以捕获和采集触发逻辑分析仪的任何数据。在这种模式下，ILA Pro Core 省略了数据输入端口，因此可以减小 CLB 和布线资源的占用，但是总的的数据宽度不能大于 256bit。不选中【Data Same As Trigger】选项时，数据和触发信号完全独立，当采样的数据位宽小于触发宽度时，这种模式能减少采集的数据，节省 Block RAM 资源。

完成捕获参数的设置后，可以在选项卡的下方看到占用 Block RAM 的数量。

捕获参数设置完毕后，单击 **Next >** 按钮，参数设置对话框切换为【Net Connections】选项卡，准备把在线逻辑分析仪的输入信号和设计中的网线连接起来，如图 6 所示。

单击 **Modify Connections** 按钮，弹出【Select Net】对话框，如图 7 所示。

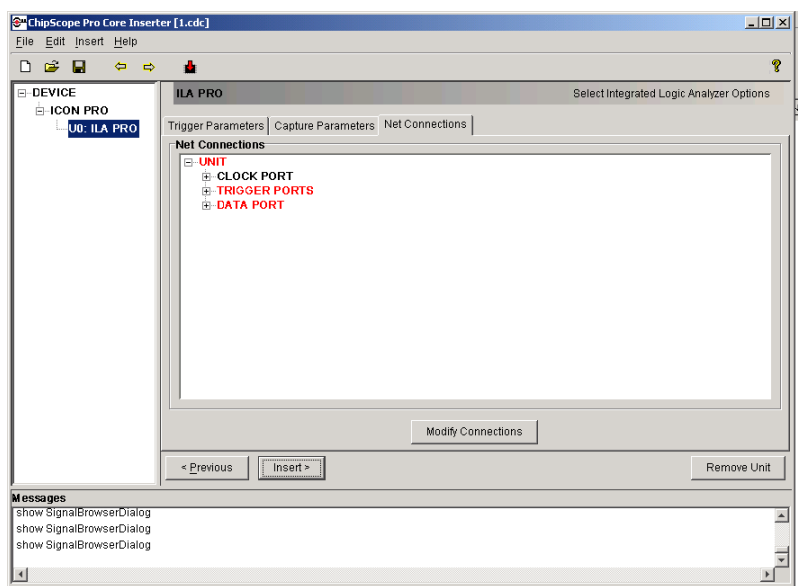


图 6 准备连接在线逻辑分析仪和网线

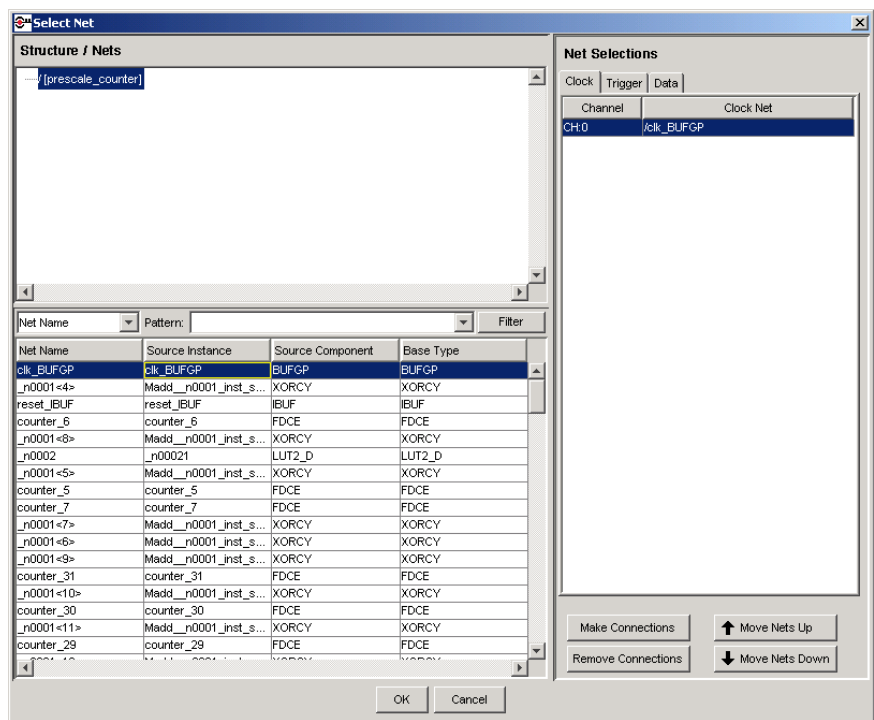


图 7 连接在线逻辑分析仪和网线

利用【Select Net】对话框可以把在线逻辑分析仪的工作时钟、触发信号、数据信号与设计中的网线连接起来，方法是在对话框的右侧选中在线逻辑分析仪的信号，在对话框的左下方选中需要连接的网线，单击 **Make Connections** 按钮，即可完成一条信号线的连接。在线逻辑分析仪的所有信号都连接好之后，单击 **OK** 按钮，弹出【Select Integrated Logic Analyzer Options】对话框，如图 8 所示。

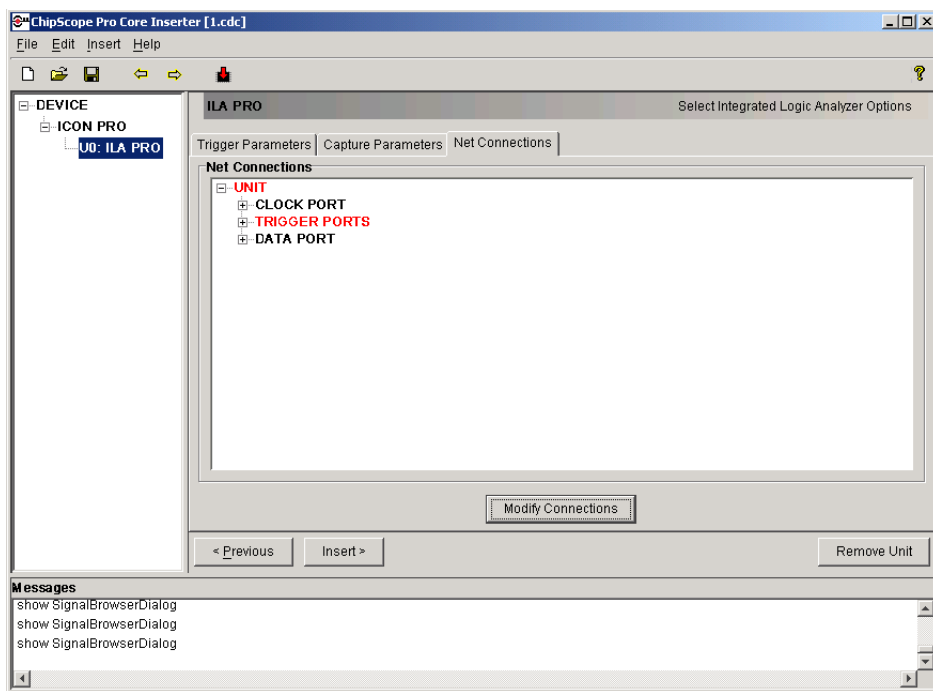


图 8 【Select Integrated Logic Analyzer Options】对话框

在线逻辑分析仪包括 3 类端口，即时钟端口（CLOCK PORT）、触发端口（TRIGGER PORTS）和数据端口（DATA PORT），使用时应保证所有端口信号都已经连接，否则插入核时将提示错误信息。当端口中的信号全部连接时端口名字为黑色，否则为红色。

完成信号连接后，单击  按钮，ChipScope Pro Core Inserter 提示“是否插入 core”，单击  按钮后，在线逻辑分析仪的网表将被插入到原来的设计网表中，然后在 ISE Navigator 中重新执行 translate（翻译逻辑网表）步骤，设计完成布局布线并生成 BIT 文件后，就可以下载到 FPGA 中，利用 ChipScope Pro Core Analyzer 分析信号波形。

四 ChipScope Pro Analyzer

ChipScope Pro Analyzer（以下简称 Analyzer）的用户界面主要由菜单栏、常用工具栏、项目浏览器（Project Tree）、信号浏览器（Signal Browser）、主窗口（Main Window）和信息显示窗口（Message Pane）组成，如图 9 所示。

菜单栏由一系列常用处理命令的下拉菜单组成。其中比较有特点的命令有：文件（File）菜单中包含的 Import 的命令用于从文件中引入信号名，Export 命令用于导出捕获的数据，以便以后观察和处理。电缆（Cable）菜单包含了下载电缆相关的命令，主要有连接 Xilinx 并行电缆（Parallel Cable）、连接安捷伦 E5904 电缆（Agilent E5904 Cable）、关闭电缆（Close Cable）、获取电缆信息（Get Cable Information）、打开自动核状态查询（Auto Core Status Poll）等。器件（Device）菜单包含边界扫描链设置（JTAG Device Chain Setup）、配置器件（Configure）、显示器件识别码（Show IDCODE）、显示用户码（Show USERCODE）等命令。项目浏览器在边界扫描链正确初始化之后会列出扫描链上的所有能识别的器件，在配置下载完成后，同时项目浏览器会自动更新，显示 core 的数目，并为每个 core 创建一个包含了 Trigger Setup、Waveform、Listing 等项目的文件夹，分别用于触发条件的设置和观察信号波形。在项目浏览器中选中某一个 core 时，信号浏览器会显示该 core 的所有相关信号。在信号浏览器中还可以进行增加或删除视图中的信号、对信号进行重新命名、组合为总线等

操作。主窗口用于显示“Trigger Setup”、“Waveform”、“Listing”和“Bus Plot”等窗口。信息显示窗口用于显示 Analyzer 的工作状态信息。

使用 Analyzer 观察信号主要分为配置器件、设置触发参数、观察波形 3 个步骤，下面简要说明。

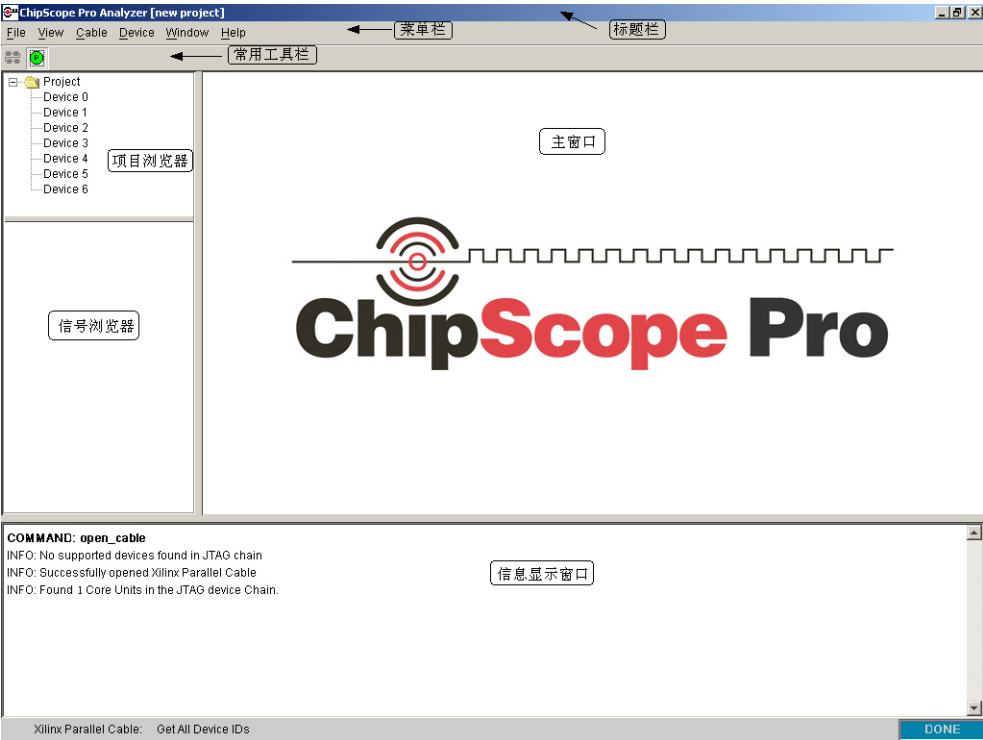


图 9 ChipScope Pro Analyzer 的用户界面

● 1 配置器件。

使用 Analyzer 观察信号时，首先需要配置器件。启动 Analyzer，在常用工具栏中初始化边界扫描链，这时项目浏览器会列出边界扫描链上的器件，如图 10 所示。Analyzer 能自动识别扫描链上的 Virtex/-E/-EM/-II/-II Pro、Spartan-II/-IIE、Spartan-XL、9500/XL/XV、4000XL/XLA、18V00 PROM、CoolRunner、CoolRunner-II 和 System ACE 等器件。

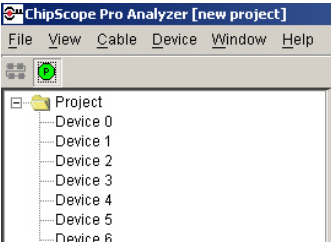


图 10 边界扫描链上的器件

然后选中【Device】/【Configure】菜单进行器件的配置，如图 11 所示。

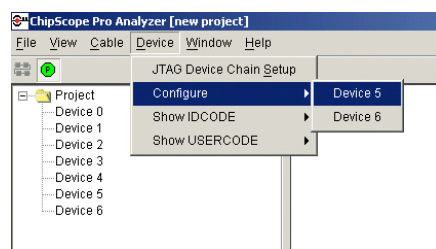


图 11 器件配置

在图 11 中，选中【Device】/【Configure】/【Device 5】后，Analyzer 会弹出【JTAG Configuration】对话框，让设计者选择要下载的配置文件，如图 12 所示。

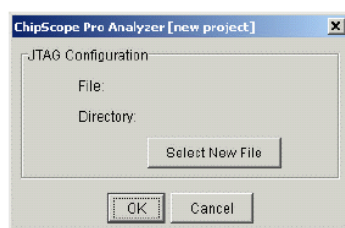


图 12 【JTAG Configuration】对话框

选择 BIT 配置文件，单击 **OK** 按钮，进行器件配置。下载 BIT 文件过程中，FPGA 的配置状态信息显示在 Analyzer 窗口的右下角，配置正确时会显示“DONE”状态，同时项目浏览器会自动更新，显示 core 的数目，并为每个 core 创建一个文件夹，其中包含了 Trigger Setup、Waveform、Listing 等项目。配置不正确时将会弹出对话框，说明遇到的问题。

特别需要注意的是：ChipScope Pro 采用 JTAG 方式观测 FPGA/CPLD 内部信号，这就要求在生成下载文件（BitGen）步骤时，启动时钟（Start-Up Clock）选项必需设置为 JTAG 时钟方式(JTAG Clock)。如果“Start-Up Clock”选项设置为“CCLK”方式，ChipScope Pro Analyzer 将不能正确配置器件。

● 2 设置触发参数。

为了设置 ChipScope Pro core 的触发条件，需要在【Window】/【New Unit Windows】选中某一个 ChipScope Pro core，这时会弹出【New Window Selection】对话框，如图 13 所示，从中可以选择打开“Trigger Setup”、“Waveform”、“Listing”、“Bus Plot”4 中窗口的一个或多个。为了设置触发条件，选中“Trigger Setup”选项，打开触发条件设置窗口。这个操作也可以在“Project Tree”窗口中双击相应器件和 ILA core 下面的“Trigger Setup”项实现。

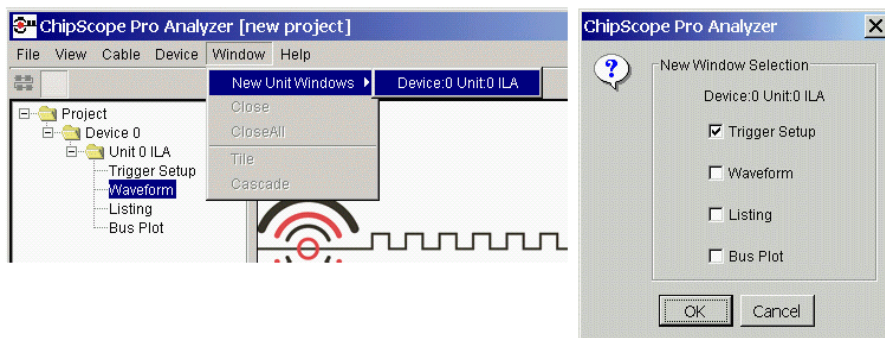


图 13 打开触发参数设置窗口

元的触发条件函数的逻辑与，如果希望改变设置，可以点击该域，这时会弹出“Trigger Condition”对话框，如图 15 所示。

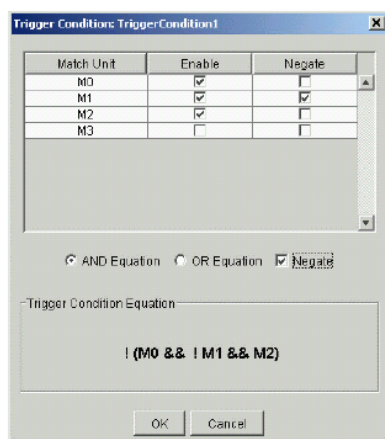


图 15 设置触发条件等式

设计者可以根据需要进行设置，设置好的触发条件等式显示在对话框的下方。触发条件可以在运行时更改，更改后不需要重新综合实现。选择【Trigger Setup】/【Save Trigger Setup】可以把触发设置保存到后缀为 ctj 的文件中，方便下次使用。选择【Trigger Setup】/【Read Trigger Setup】可以从 ctj 文件中读入触发设置。

触发条件设置好之后，选中【Trigger Setup】/【Run】使 ChipScope Pro core 进入 arm（伺机捕获）状态，当触发条件满足时，core 根据捕获设置捕获数据，并在缓冲区填满后停止捕获数据，然后上传数据，由 Waveform 和 Listing 窗口显示出来。ChipScope Pro core 在触发并采样数据后退出 arm 状态，通过选中【Trigger Setup】/【Stop Acquisition】命令也可以使 core 退出 arm 状态，如果之前触发条件曾经满足过，那么 Analyzer 会上传并显示捕获的数据。

● 3 观察信号波形。

为了观察特定 core 的信号波形，需要打开波形观察窗口，方法是在【Window】/【New Unit Windows】中选择某一个 ChipScope Pro core，这时会弹出【New Window Selection】对话框，选择打开“Waveform”窗口。这个操作也可以在“Project Tree”窗口中双击相应器件和 ILA core 下面的“Waveform”项实现。波形观察窗口把采样缓冲区的数据显示出来，显示的方式和很多仿真器或逻辑分析仪类似。包含 ChipScope Pro core 的 BIT 文件下载到 FPGA/CPLD 并设置好触发条件后，选中【Trigger Setup】/【Run】，ChipScope Pro core 触发后会把采样到的数据显示在波形观察窗口中，如图 16 所示。

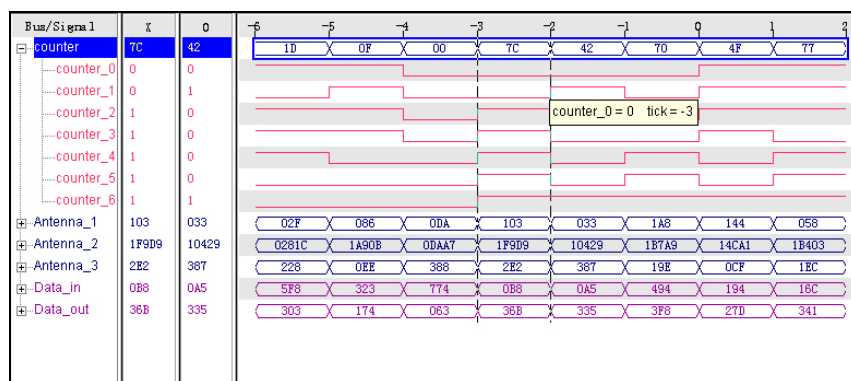


图 16 在波形观察窗口观察采集的数据波形

设计者可以在波形观察窗口中进行信号波形重新排序、光标测量、简单波形变换等操作，这些操作都比较简单，与实际使用逻辑分析仪非常相似，这里不再赘述。

五 结论

使用 ChipScope Pro，通过 JTAG 可以方便的读出 FPGA 内部的任何信号（包括寄存器和网线），在一定程度上提高了 FPGA 设计效率，降低研发成本。

郑重声明：本文为 WWW.EDACN.COM 特约作者提供之原创文章。由于目前已经被专业期刊录用，而未正式发表，故仅供本站内部技术讨论使用，不得转载。一切未经作者允许的拷贝、转载、使用等行为都被视为违法行为。

[www.EDACN.com](http://WWW.EDACN.COM)
Make EDA serve you!