

88E1111 数据手册

Integrated 10/100/1000 Ultra Gigabit Ethernet
Transceiver

Younger.li
2013/1/12

一. 概览

88E1111 吉比特以太网收发器是一个物理层器件，用于 1000BASE-T、100BASE-TX 和 10BASE-T 类型的以太网，它是使用标准数字 CMOS 工艺制造，并且包含所有所需的有源电路来实现物理层功能，以便在标准的 CAT-5 类非屏蔽双绞线上发送和接收数据。

88E1111 器件集成了 Marvell 的虚拟电缆测试仪® (VCT™) 功能，虚拟电缆测试仪®使用了时域反射计 (TDR) 技术，它可以远程识别潜在的电缆故障。从而减少设备的回厂调试和服务的次数。使用 VCT, Alaska 的 88E1111 器件可以检测并报告潜在的布线问题，诸如线对交换反掉了、线对极性性和过多的线对歪斜。器件还可以在电缆上检测电缆断开、短路或任何的阻抗不匹配，以及准确报告在一米以内距离的故障。

88E1111 支持用于直接连接到 MAC/Switch 接口的吉比特介质无关接口 (GMII)、精简的 GMII (RGMII)、串行吉比特介质无关接口 (SGMII)、10 比特接口 (TBI)、精简的 10 比特接口 (RTBI)。

88E1111 器件集成了一个可选的 1.25GHz 的 SERDES 接口 (串行器/解串器)，这个串行接口可直接连接到光纤收发器，用于 1000BASE-T/1000BASE-X 介质转换的应用。此外，88E1111 可以被用于实现 1000BASE-T 千兆接口转换器 (GBIC) 或小型可插拔 (SFP) 模块。

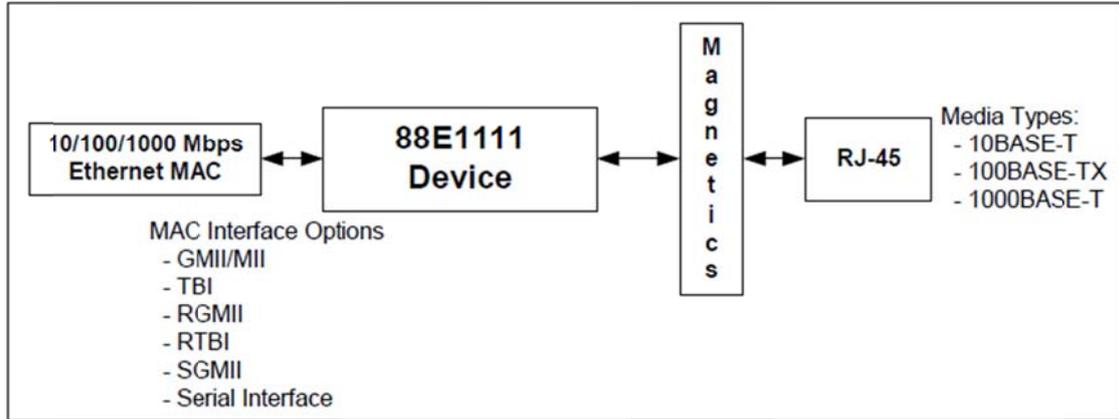
88E1111 器件采用了先进的混合信号进程来均衡执行、消除回声合传音、数据恢复和错误校正。该器件具有强劲的性能，运行在高噪的环境中时也会消耗非常低的功耗。

88E1111 器件提供三种不同的封装选项，包括：117 引脚的 TFBGA 封装、整体尺寸只有 9mm×9mm 的 96 引脚的 BCC 封装和 128 引脚的 PQFP 封装。

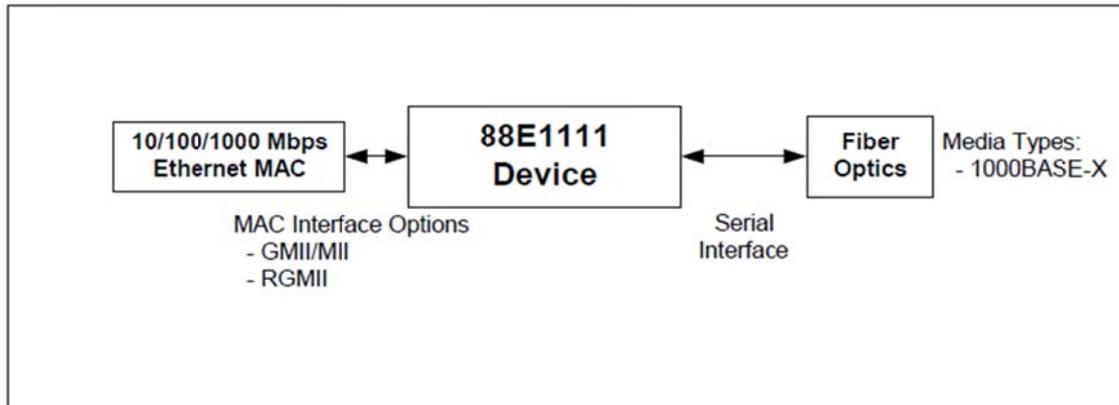
二. 特点

- 10/100/1000BASE-T 兼容 IEEE 802.3
- 支持 GMII、TBI、RGMII、RTBI、SGMII 接口
- 集成用于 1000BASE-X 光纤应用的 1.25GHz 的 SERDES 接口
- 四种 RGMII 时序模式
- 能量检测和能量检测+低功耗模式
- 用于诊断的三种环回模式
- 用于两对电缆装置的“下移”模式
- 完全集成的数字自适应均衡器，回声消除器和串音消除器
- 先进的数字基线漂移校正
- 在所有的运行速率下都可以实现自动 MDI/MDIX 交叉
- 自动极性校正
- 兼容 IEEE 802.3u 的自动协商
- 包括 LED 测试的软件可编程 LED 模式
- 自动检测光纤或铜线工作模式
- 支持 IEEE 1149.1 JTAG
- 两线串行接口 (TWSI) 和 MDC/MDIO
- CRC 检查和包计数器
- 数据包生成
- 虚拟电缆测试 (VCT)
- MAC 接口输出的自动校准
- 只需要两个电源：2.5V 和 1.0V (也可以不用 1.0V，而使用 1.2V)
- I/O 可以为 3.3V

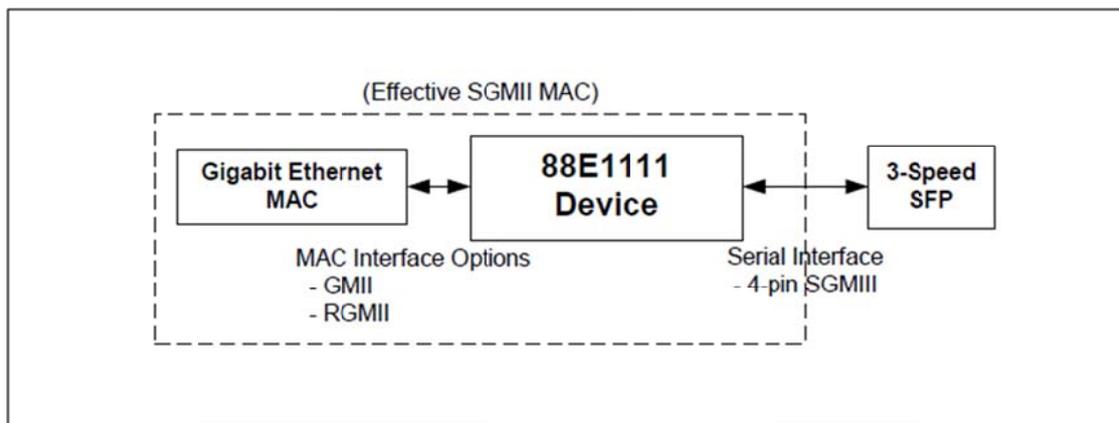
- 低功耗，只有 0.75W
- 0.13 微米数字 CMOS 工艺
- 可选三种封装：117 引脚的 TFBGA 封装、96 引脚的 BCC 封装和 128 PQFP 封装
- 117 引脚的 TFBGA 封装和 96 引脚的 BCC 封装有商业级和工业级
- 可选 RoHS6/6 兼容包装



88E1111 在电口方面的应用



88E1111 在光口方面的应用



88E1111 RGMII/GMII MAC 到 SGMII MAC 转换

目 录

一.	信号描述.....	1
1.1	117 引脚的 TFBGA 封装	1
1.2	96 引脚的 BBC 封装	2
1.3	128 引脚的 PQFP 封装	3
1.4	引脚描述.....	3
1.4.1	引脚类型描述	3
1.5	在各种测试或复位模式下 I/O 口状态.....	13
1.6	TFBGA-117 封装引脚分配列表	14
1.7	BCC-96 封装引脚分配列表	15
1.8	PQFP-128 封装引脚分配列表	16
二.	功能描述.....	17
2.1	88E1111 器件的接口描述	17
2.1.1	介质接口.....	17
2.1.2	MAC 接口	18
2.2	MAC 接口	19
2.2.1	千兆网介质无关接口 (GMII/MII)	19
2.2.2	10 位接口	20
2.2.3	简化管脚数的 GMII (RGMII)	21
2.2.4	简化管脚数的 TBI (RTBI)	22
2.2.5	SGMII 接口	23
2.2.6	串行 MAC 接口.....	24
2.3	88E1111 器件的运行模式	25
2.3.1	用于铜介质的运行模式.....	25
2.3.2	光纤接口的运行模式.....	27
2.3.3	GMII/MII 到 SGMII 模式和 RGMII 到 SGMII 模式	27

一. 信号描述

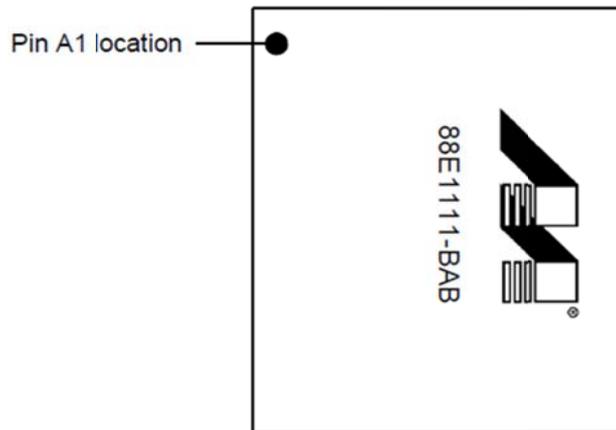
88E1111 是一个 10/100/1000BASE-T/1000BASE-X 的吉比特以太网收发器器件。

1.1 117 引脚的 TFBGA 封装

图 1: 88E1111 器件的 117 引脚的 TFBGA 封装 (顶视图)

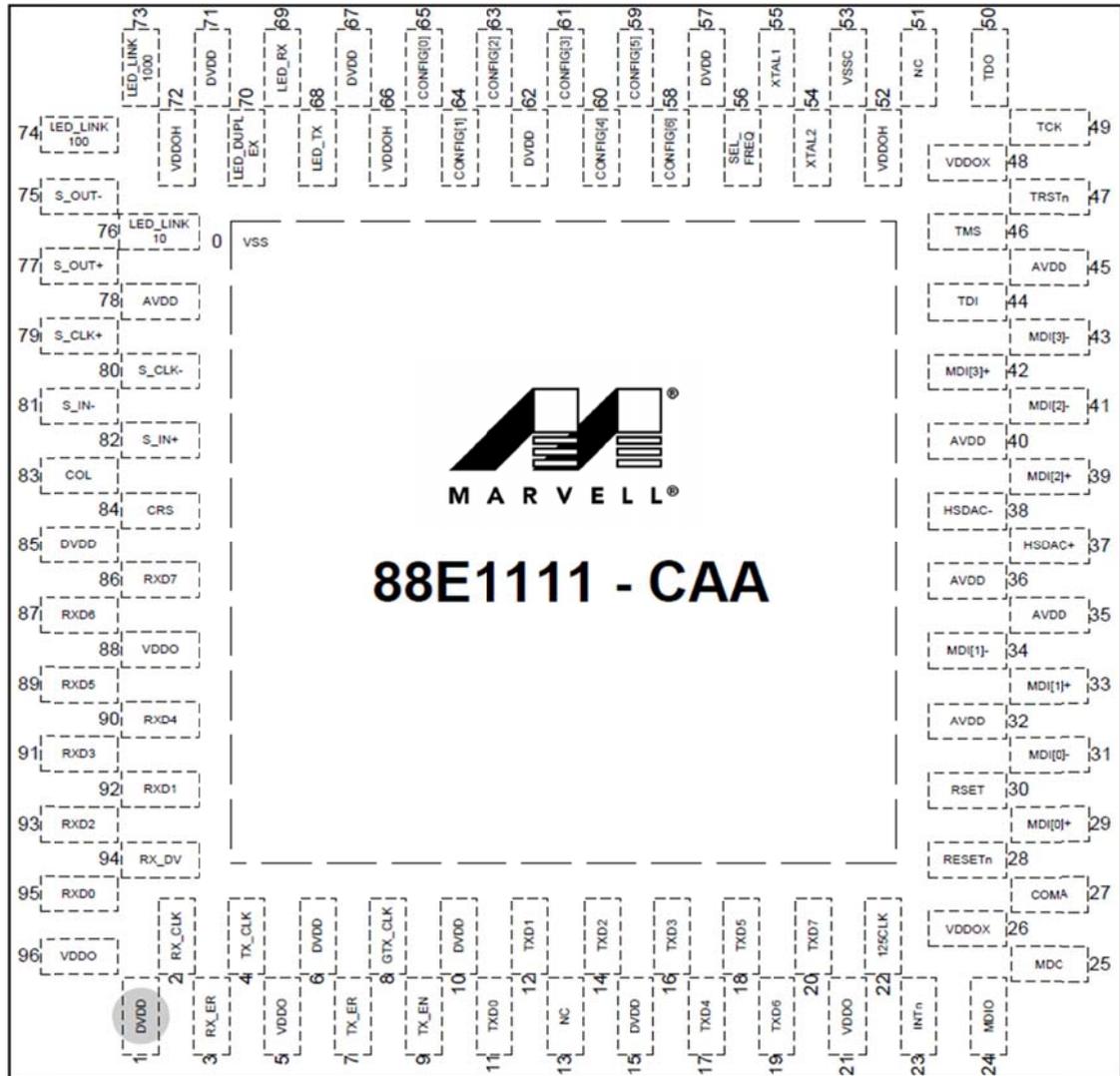
	1	2	3	4	5	6	7	8	9	
A	RXD5	RXD6	S_IN+	S_IN-	S_CLK+	S_CLK-	S_OUT+	S_OUT	LED_LINK1000	A
B	RX_DV	RXD0	RXD3	VDD0	CRS	COL	AVDD	LED_LINK100	VDDOH	B
C	RX_CLK	VDD0	RXD2	RXD4	RXD7	DVDD	DVDD	LED_LINK10	LED_RX	C
D	TX_CLK	RX_ER	RXD1	VSS	VSS	VSS	DVDD	CONFIG[0]	LED_TX	D
E	TX_EN	GTX_CLK	DVDD	VSS	VSS	VSS	DVDD	LED_DUPLEX	CONFIG[1]	E
F	TXD0	TX_ER	DVDD	VSS	VSS	VSS	VDDOH	CONFIG[2]	CONFIG[4]	F
G	NC	TXD1	TXD2	VSS	VSS	VSS	CONFIG[3]	CONFIG[6]	CONFIG[5]	G
H	TXD4	TXD3	TXD5	VSS	VSS	VSS	VSSC	SEL_FREQ	XTAL1	H
J	TXD6	TXD7	DVDD	VSS	VSS	VSS	DVDD	VDDOH	XTAL2	J
K	VDD0	125CLK	RESETn	VSS	VSS	VSS	NC	TDO	VDDOX	K
L	INTn	VDDOX	MDC	COMA	VSS	VSS	TDI	TMS	TCK	L
M	MDIO	RSET	AVDD	AVDD	HSDAC+	HSDAC-	AVDD	AVDD	TRSTn	M
N	MDI[0]+	MDI[0]-	MDI[1]+	MDI[1]-	AVDD	MDI[2]+	MDI[2]-	MDI[3]+	MDI[3]-	N
	1	2	3	4	5	6	7	8	9	

图 2: 引脚 A1 的位置



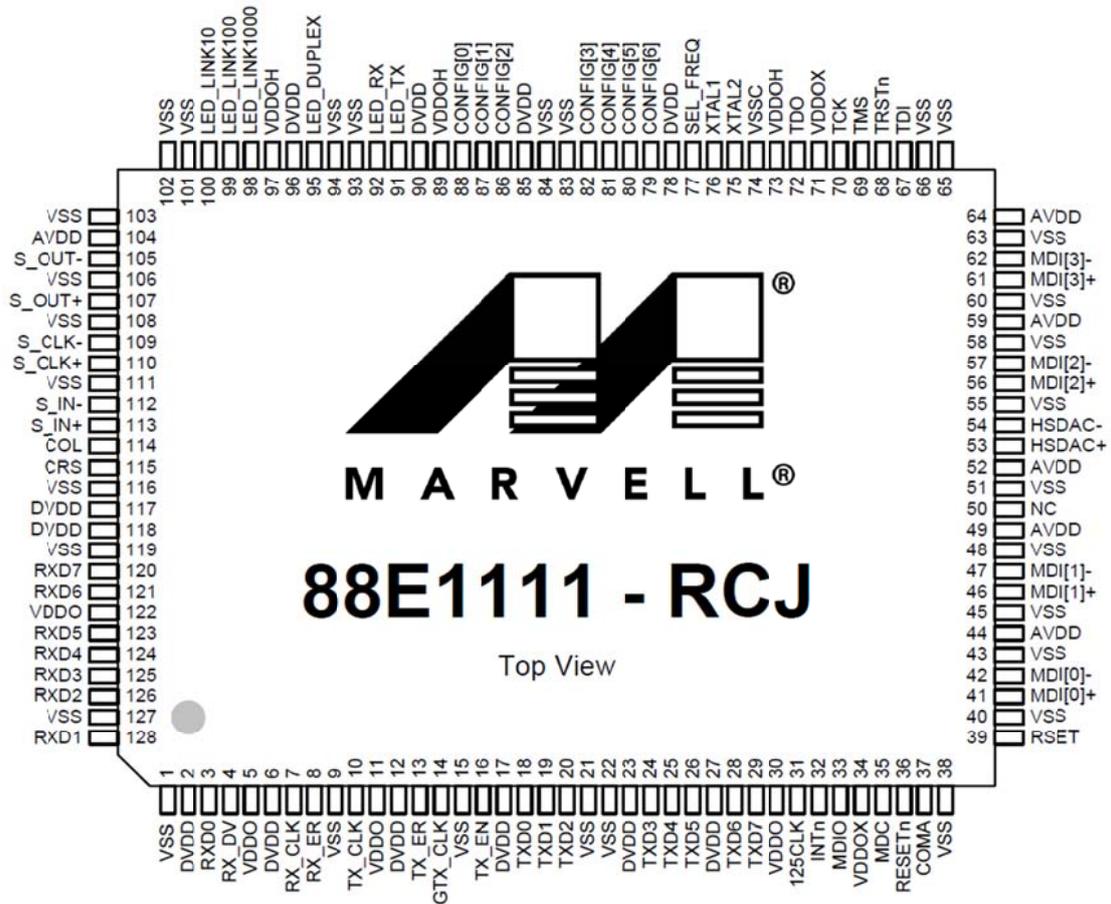
1. 296 引脚的 BBC 封装

图 3: 88E1111 器件的 96 引脚的 BBC 封装 (顶视图)



1.3 128 引脚的 PQFP 封装

图 4：88E1111 器件的 128 引脚的 PQFP 封装（顶视图）



1.4 引脚描述

1.4.1 引脚类型描述

引脚类型	描述
H	带迟滞的输入
I/O	输入输出
I	输入
O	输出
PU	内部上拉
PD	内部下拉
D	开漏输出
Z	三态输出
mA	DC 吸收能力

表 1: 介质相关接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
N1 N2	29 31	41 42	MDI[0]+ MDI[0]-	I/O, D	介质相关接口[0] 在MDI配置下的1000BASE-T模式时, MDI[0] _± 连接到BI_DA _± 上, 在MDIX配置下, MDI[0] _± 连接到BI_DB _± 上。 在MDI配置下的100BASE-TX模式和10BASE-T模式时, MDI[0] _± 被用于发送线对, 在MDIX配置下, MDI[0] _± 被用于接收线对。 在不使用MDI[0] _± 时, 它应该被连接到GND。 参见“MDI/MDIX交叉”
N3 N4	33 34	46 47	MDI[1]+ MDI[1]-	I/O, D	介质相关接口[1] 在MDI配置下的1000BASE-T模式时, MDI[1] _± 连接到BI_DA _± 上, 在MDIX配置下, MDI[1] _± 连接到BI_DB _± 上。 在MDI配置下的100BASE-TX模式和10BASE-T模式时, MDI[1] _± 被用于发送线对, 在MDIX配置下, MDI[1] _± 被用于接收线对。 在不使用MDI[1] _± 时, 它应该被连接到GND。 参见“MDI/MDIX交叉”
N6 N7	39 41	56 57	MDI[2]+ MDI[2]-	I/O, D	介质相关接口[2] 在MDI配置下的1000BASE-T模式时, MDI[2] _± 连接到BI_DA _± 上, 在MDIX配置下, MDI[2] _± 连接到BI_DB _± 上。 在100BASE-TX模式和10BASE-T模式, MDI[2] _± 没有使用。 在不使用MDI[2] _± 时, 它应该被连接到GND。 参见“MDI/MDIX交叉”
N8 N9	42 43	61 62	MDI[3]+ MDI[3]-	I/O, D	介质相关接口[3] 在MDI配置下的1000BASE-T模式时, MDI[3] _± 连接到BI_DA _± 上, 在MDIX配置下, MDI[3] _± 连接到BI_DB _± 上。 在100BASE-TX模式和10BASE-T模式, MDI[3] _± 没有使用。 在不使用MDI[3] _± 时, 它应该被连接到GND。 参见“MDI/MDIX交叉”

GMII 接口支持 1000BASE-T 和 1000BASE-X 两种运行模式, GMII 接口引脚是与 TBI 接口引脚复用的。表 3 为 TBI 接口引脚的定义, MAC 接口引脚的工作电压是 3.3V 容限的, 详细参见“数字引脚”。

表 2: GMII/MII 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
E2	8	14	GTX_CLK	I	GMII发送时钟 GTX_CLK提供了一个125MHz的参考时钟给TX_EN, TX_ER, 和TXD[7:0]。当器件工作在10/100BASE-T模式时, 例如在自动协商期间, 这个时钟可以被停止。
D1	4	10	TX_CLK	0, Z	MII发送时钟 在100BASE-TX模式时, TX_CLK提供了一个25MHz的参考时钟给TX_EN, TX_ER, 和TXD[3:0], 在10BASE-T模式时, TX_CLK提供了一个2.5MHz的参考时钟。 在1000Mbps有效连接期间、自动协商期间或失去连接状态期间, TX_CLK提供了一个25MHz、2.5MHz或0MHz的时钟。 具体是什么频率可以由寄存器20.6:4来设置。 2.5MHz时钟是默认的速率设置, 通过修改寄存器20.6:4, 可以被修改成其他的频率。
E1	9	16	TX_EN	I	GMII和MII发送使能 在GMII/MII模式下, 当TX_EN有效时, 在TXD[7:0]上的数据以及TX_ER被编码并发送到线缆上。 TX_EN是同步于GTX_CLK的, 但在100BASE-TX和10BASE-T模式时, TX_EN是同步于TX_CLK的。
F2	7	13	TX_ER	I	GMII和MII发送错误 在GMII/MII模式下, 当TX_EN和TX_ER同时有效时, 发送错误的包就会被发送到线缆上。当TX_ER有效, 但TX_EN无效时, 载波扩展包就会被发送到线缆上。 TX_ER是同步于GTX_CLK的, 但在100BASE-TX和10BASE-T模式时, TX_ER是同步于TX_CLK的。

表 2: GMII/MII 接口 (续)

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
J2 J1 H3 H1 H2 G3 G2 F1	20 19 18 17 16 14 12 11	29 28 26 25 24 20 19 18	TXD[7] TXD[6] TXD[5] TXD[4] TXD[3]/TXD[3] TXD[2]/TXD[2] TXD[1]/TXD[1] TXD[0]/TXD[0]	I	GMII和MII发送的数据 在GMII模式下, 1000BASE-T模式时, 应该在TXD[7:0]上放置一个字节的数据, 然后通过PHY传输到线缆上。 在MII模式下, 100BASE-TX和10BASE-T模式时, 应该在TXD[3:0]上放置半个字节的数据, 然后通过PHY传到线缆上, 此时TXD[7:4]被忽略, 但应该被驱动为低电平或高电平, 这些引脚不能够被悬空。 TXD[7:0]是同步于GTX_CLK的, 但在100BASE-TX和10BASE-T 模式下时, TXD[7:0]是同步于TX_CLK的。 如果不使用输入引脚TXD[7:4], 那它应该被拉低 (例如在RGMII模式下)
C1	2	7	RX_CLK	0, Z	GMII和MII接收时钟 在1000BASE-T模式下时, RX_CLK提供了一个125MHz的参考时钟给RX_DV, RX_ER和RXD[7:0]。在100BASE-TX模式下时, 提供一个25MHz的参考时钟。在10BASE-T模式下时, 提供一个2.5MHz的参考时钟。 TX_TCLK来自于RX_CLK, 它被用于抖动测试, 参见用于抖动测试模式的寄存器9。
B1	94	4	RX_DV	0, Z	GMII和MII接收数据有效 当RX_DV有效时, 在线缆上所接收的数据被解码并且放置在RXD[7:0]和RX_ER上。 RX_DV是同步于RX_CLK的。
D2	3	8	RX_ER	0, Z	GMII和MII接收错误 当RX_ER和RX_DV同时有效时, 这个信号表明在线缆上发现了一个错误的包。 当RX_ER有效, 但RX_DV无效时, 表明在线缆上发现了一个错误的载波或发现了一个载波扩展包。 RX_ER是同步于RX_CLK的。
C5 A2 A1 C4 B3 C3 D3 B2	86 87 89 90 91 93 92 95	120 121 123 124 125 126 128 3	RXD[7] RXD[6] RXD[5] RXD[4] RXD[3]/RXD[3] RXD[2]/RXD[2] RXD[1]/RXD[1] RXD[0]/RXD[0]	0, Z	GMII和MII接收的数据 在1000BASE-T模式下, 在线缆上接收到的数据包被解码并放置到RXD[7:0]上。 在MII模式下, 100BASE-TX和10BASE-T模式时, 只有RXD[3:0]被使用, RXD[7:4]会被驱动为低。 RXD[7:0]是同步于RX_CLK的。
B5	84	115	CRS	0, Z	GMII和MII载波侦听 当接收媒介是非空闲的时候, CRS变为有效。半双工模式下时, 在传输过程中, CRS也会变为有效。可以通过把寄存器16.11设置为0来使在半双工模式下时, CRS无效。 CRS同步于RX_CLK, GTX_CLK和TX_CLK。
B6	83	114	COL	0, Z	GMII和MII冲突 在10/100/1000BASE-T的全双工模式下时, COL一直为低电平。在10/100/1000BASE-T的半双工模式下时, 尽当发送和接收介质都为非空闲时, COL变为有效。 在10BASE-T半双工模式下, COL变为有效表明信号品质错误 (SQE)。可以通过把寄存器16.2清零来禁止SQE功能。 COL同步于RX_CLK, GTX_CLK和TX_CLK。

TBI 接口支持 1000BASE-T 模式。TBI 接口的引脚是与 GMII 接口引脚复用的，MAC 接口引脚的工作电压是 3.3V 容限的，详细参见“数字引脚”。

表 3: TBI 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
E2	8	14	GTX_CLK/ TBI_TXCLK	I	TBI 发送时钟 在 TBI 模式下，GTX_CLK 被用于 TBI_TXCLK，TBI_TXCLK 是一个 125MHz 的发送时钟。 TBI_TXCLK 提供一个 125MHz 的参考时钟给 TX_EN，TX_ER 和 TXD[7:0]。
D1	4	10	TX_CLK/ RCLK1	0, Z	TBI 62.5MHz 参考时钟—even code group 在 TBI 模式下，TX_CLK 被用于 RCLK1。
J2	20	29	TXD[7]	I	TBI 发送的数据 应该在 TXD[7:0] 上放置一个字节的的数据，然后通过 PHY 传输到线缆上。 TXD[9:0] 是同步于 GTX_CLK 的。 如果不使用输入引脚 TXD[7:4]，那它应该被拉低（例如在 RTBI 模式下）
J1	19	28	TXD[6]		
H3	18	26	TXD[5]		
H1	17	25	TXD[4]		
H2	16	24	TXD[3]		
G3	14	20	TXD[2]		
G2	12	19	TXD[1]		
F1	11	18	TXD[0]		
E1	9	16	TX_EN/ TXD8	I	TBI 发送的数据 在 TBI 模式下，TX_EN 被用于 TXD8。 TXD[9:0] 是同步于 GTX_CLK 的。
F2	7	13	TX_ER/ TXD9	I	TBI 发送的数据 在 TBI 模式下，TX_ER 被用于 TXD9。 TXD[9:0] 是同步于 GTX_CLK 的。
C1	2	7	RX_CLK/ RCLK0	0, Z	TBI 62.5MHz 参考时钟—odd code group 在 TBI 模式下，RX_CLK 被用于 RCLK0。
C5	86	120	RXD[7]	0, Z	TBI 接收的数据代码组 [7:0] 在 TBI 模式下，字节数据被放置到 RXD[7:0] 上来传输给 MAC。 在线缆上接收到的数据包被解码并放置到 RXD[7:0] 上。 RXD[7:0] 同步于 RCLK0 和 RCLK1。
A2	87	121	RXD[6]		
A1	89	123	RXD[5]		
C4	90	124	RXD[4]		
B3	91	125	RXD[3]		
C3	93	126	RXD[2]		
D3	92	128	RXD[1]		
B2	95	3	RXD[0]		
B1	94	4	RX_DV/ RXD8	0, Z	TBI 接收的数据代码组的第 8 位，在 TBI 模式下，RX_DV 被用于 RXD8。 RXD[9:0] 是同步于 RCLK0 和 RCLK1。
D2	3	8	RX_ER/ RXD9	0, Z	TBI 接收的数据代码组的第 9 位，在 TBI 模式下，RX_ER 被用于 RXD9。 RXD[9:0] 是同步于 RCLK0 和 RCLK1。
B5	84	115	CRS/ COMMA	0, Z	TBI 有效间隔侦测 在 TBI 模式时，CRS 被用于 COMMA 功能。
B6	83	114	COL/LPBK	I	TBI 模式环回 在 TBI 模式下，COL 被用于指示在 TBI 上的环回。 在这个引脚上当检测到上升沿时，位 0.14 被置成 1。 在这个引脚上当检测到下降沿时，位 0.14 被置成 0。 当这个功能没有使用时，在电路板上 COL 引脚应该被拉低，在 TBI 模式时，这个引脚应该保持悬空。

RGMII 接口支持 10/100/1000BASE-T 和 1000BASE-X 模式，RGMII 接口引脚是和 RTBI 接口引脚复用的，详见表 5 中关于 RTBI 引脚的定义。MAC 接口引脚的工作电压是 3.3V 容限的，详细参见“数字引脚”。

表 4: RGMII 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
E2	8	14	GTX_CLK/ TXC	I	RGMII发送时钟 依据不同的速度，提供一个125MHz/25MHz/2.5MHz的容限为50PPM的时钟给它。RGMII模式下，GTX_CLK用作TXC功能。
H2 G3 G2 F1	16 14 12 11	24 20 19 18	TXD[3]/TD[3] TXD[2]/TD[2] TXD[1]/TD[1] TXD[0]/TD[0]	I	RGMII发送的数据 在RGMII模式下，TXD[3:0]被用于TD[3:0]功能。 在RGMII模式下，TXD[3:0]工作在双速数据速率下，在GTX_CLK的上升沿所采到的数据为bit[3:0]，在GTX_CLK的下降沿所采到的数据为bit[7:4]。在这种模式下TXD[7:4]被忽略。 在RGMII 10/100BASE-T模式下，在TXD[3:0]上发送的半字节数据在GTX_CLK的上升沿时被采样。
E1	9	16	TX_EN/ TX_CTL	I	RGMII发送控制 在RGMII模式下，TX_EN被用于TX_CTL功能，TX_EN在GTX_CLK的上升沿时被采样。 TX_EN和TX_ER的衍生逻辑在TX_CLK的下降沿被采样。
C1	2	7	RX_CLK/ RXC	0, Z	RGMII接收时钟 依据不同的速度，从接收数据流中恢复得到一个125MHz/25MHz/2.5MHz的容限为50PPM的时钟，并由它输出。 RGMII模式下，RX_CLK被用于RXC功能。
B1	94	4	RX_DV/ RX_CTL	0, Z	RGMII接收控制 在RGMII模式下，RX_DV被用于RX_CTL功能，RX_DV在RX_CLK的上升沿时被采样。 RX_DV和RX_ER的衍生逻辑在RX_CLK的下降沿被采样。
B3 C3 D3 B2	91 93 92 95	125 126 128 3	RXD[3]/RD[3] RXD[2]/RD[2] RXD[1]/RD[1] RXD[0]/RD[0]	0, Z	RGMII接收数据 在RGMII模式下，RXD[3:0]被用于RD[3:0]功能。 在RGMII模式下，RXD[3:0]工作在双速数据速率下，在RX_CLK的上升沿所采到的数据为bit[3:0]，在RX_CLK的下降沿所采到的数据为bit[7:4]。在这种模式下RXD[7:4]被忽略。 在RGMII 10/100BASE-T模式下时，在RXD[3:0]上发送的半字节数据在RX_CLK的上升沿时被采样。 RXD[3:0]同步于RX_CLK。

RTBI 接口支持 1000BASE-T 模式，RTBI 接口引脚是与 RGMII 接口引脚复用的，MAC 接口引脚的工作电压是 3.3V 容限的，详细参见“数字引脚”。

表 5: RGMII 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
E2	8	14	GTX_CLK/ TXC	I	RTBI发送时钟 依据不同的速度，提供一个125MHz的容限为50PPM的时钟给它。 RTBI模式下，GTX_CLK用作TXC功能。
H2 G3 G2 F1	16 14 12 11	24 20 19 18	TXD[3]/TD[3] TXD[2]/TD[2] TXD[1]/TD[1] TXD[0]/TD[0]	I	RTBI发送的数据 在RTBI模式下，TXD[3:0]被用于TD[3:0]功能。 TD[3:0]工作在双速数据速率下，在GTX_CLK的上升沿所采到的数据为bit[3:0]，在GTX_CLK的下降沿所采到的数据为bit[7:4]。在这种模式下TXD[7:4]被忽略。
E1	9	16	TX_EN/ TD4_TD9	I	RTBI发送的数据 在RGMII模式下，TX_EN被用于TD4_TD9功能，TD4_TD9工作在双速数据速率下，在GTX_CLK的上升沿所采到的数据为bit4，在GTX_CLK的下降沿所采到的数据为bit9。
C1	2	7	RX_CLK/ RXC	0, Z	RTBI接收时钟 从接收数据流中恢复得到一个125MHz的容限为50PPM的时钟，并由它输出。 RTBI模式下，RX_CLK被用于RXC功能。
B3 C3 D3 B2	91 93 92 95	125 126 128 3	RXD[3]/RD[3] RXD[2]/RD[2] RXD[1]/RD[1] RXD[0]/RD[0]	0, Z	RTBI接收数据 在RTBI模式下，RXD[3:0]被用于RD[3:0]功能。 RD[3:0]工作在双速数据速率下，在RX_CLK的上升沿所采到的数据为bit[3:0]，在RX_CLK的下降沿所采到的数据为bit[7:4]。 在这种模式下RXD[7:4]被忽略。
B1	94	4	RX_DV/ RD4_RD9	0, Z	RTBI接收数据 在RTBI模式下，RX_DV被用于RD4_RD9功能，RD4_RD9工作在双速数据速率下，在RX_CLK的上升沿所采到的数据为bit4，在RX_CLK的下降沿所采到的数据为bit9。

表 6: SGMII 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
A3 A4	82 81	113 112	S_IN+ S_INI	I	SGMII发送的数据 1. 25G波特率输入-正和负。 在S_IN±引脚上的输入阻抗可以通过配置寄存器26.6来设置为50ohm或75ohm。可以通过75/50 OHM配置引脚来决定输入阻抗的默认值。详见“硬件配置”
A5 A6	79 80	110 109	S_CLK+ S_CLK-	I/O	SGMII 625MH接收时钟 对于串行接口模式 (HWCFG_MODE[3:0] = 1x00), S_CLK±引脚作为SD+输入引脚使用。
A7 A8	77 75	107 105	S_OUT+ S_OUT-	0, Z	SGMII接收的数据 1. 25G波特率输出-正和负。 在S_OUT±引脚上的输出阻抗可以通过配置寄存器26.5来设置为50ohm或75ohm。输出幅度可以通过寄存器26.2来调整。可以通过75/50 OHM配置引脚来决定输出阻抗的默认值。详见“硬件配置”

表 7: 1.25GHz 串行高速接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
A3 A4	82 81	113 112	S_IN+ S_INI	I	1. 25GHz输入-正和负。 当这个接口被用作MAC接口时, MAC发送器的正极输出连接到S_IN+, MAC发送器的负极输出连接到S_IN-。当这个接口被用作光接口时, 光模块发送器的正极输出连接到S_IN+, 光模块发送器的负极输出连接到S_IN-。 S_IN±引脚的输入阻抗可以通过寄存器26.6被设置为50ohm或75ohm。可以通过75/50 OHM配置引脚来设置默认的输入阻抗。详见“硬件配置”。
A5 A6	79 80	110 109	S_CLK+ S_CLK-	I/O	信号侦测输入 对于串行接口模式 (HWCFG_MODE[3:0] = 1x00), S_CLK±引脚作为SD+输入引脚使用。
A7 A8	77 75	107 105	S_OUT+ S_OUT-	0, Z	1. 25GHz输入-正和负。 当这个接口被用作MAC接口时, MAC接收器的正极输入连接到S_OUT+, MAC接收器的负极输入连接到S_OUT-。当这个接口被用作光接口时, 光模块接收器的正极输入连接到S_OUT+, 光模块接收器的负极输入连接到S_OUT-。 S_OUT±引脚的输入阻抗可以通过寄存器26.6被设置为50ohm或75ohm。可以通过75/50 OHM配置引脚来设置默认的输入阻抗。详见“硬件配置”。
B3	91	125	RXD[3]	0, Z	串行MAC接口铜链路状态[1]连接 1 = 铜链路连接 0 = 铜链路未连 详见“串行MAC接口”
C3	93	126	RXD[2]	0, Z	串行MAC接口铜链路状态[0]连接 1 = 铜链路连接 0 = 铜链路未连 详见“串行MAC接口”
D3	92	128	RXD[1]	0, Z	串行MAC接口PHY_SIGDET[1]连接 1 = S_OUT±有效的代码组, 根据第36条 0 = S_OUT±无效 详见“串行MAC接口”
B2	95	3	RXD[0]	0, Z	串行MAC接口PHY_SIGDET[0]连接 1 = S_OUT±无效 0 = S_OUT±有效的代码组, 根据第36条 详见“串行MAC接口”

表 8: 管理接口和中断

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
L3	25	35	MDC	I 3.3V 容限	MDC是用于串行管理接口的管理数据参考时钟，这个时钟信号不需要一直存在，最大频率为8.3MHz。
M1	24	33	MDIO	I/O 3.3V 容限	MDIO是数据管理接口，MDIO同步于MDC，用于输入或输出管理数据。这个引脚需要一个阻值为1.5K-10K的上拉电阻。
L1	23	32	INTn	D	INTn引脚的极性，可以在硬件复位期间通过通过设置INT_POL位来设置。 极性： 0 = 高电平有效 1 = 低电平有效 详见“硬件配置”和“可编程中断”

表 9: 两线串行接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
L3	25	35	MDC	I 3.3V 容限	两线串行接口（TWSI）的串行时钟线，当88E1111被连接到这个总线上时，MDC连接到串行时钟线上（SCL）。 数据在SCL的上升沿被输入，在下降沿被输出。 详见“两线串行接口”
M1	24	33	MDIO	I/O 3.3V 容限	两线串行接口（TWSI）的串行数据线，当88E1111被连接到这个总线上时，MDIO连接到串行数据线上（SDA）。 这个引脚为漏极开路的，并且可以与任何数量的开漏器件进行线与。 详见“两线串行接口”

表 10: LED 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
C8	76	100	LED_LINK10	0, mA	并行LED输出，用于10BASE-T的link或速度。这个低电平有效的LED引脚可以通过修改寄存器LED_LINK控制寄存器24.4:3来直接驱动LED模式或组合LED模式。 在直接驱动LED模式时，这个引脚指示10Mbps连接或者断开。 在组合LED模式时，LED_LINK10、LED_LINK100和LED_LINK1000的输出，必须一起被读来决定link和速度的状态。 LED_LINK10是一个多功能的引脚，在硬件复位无效时，用于配置88E1111器件。 详见“LED接口”
B8	74	99	LED_LINK100	0, mA	并行LED输出，用于100BASE-TX的link或速度。这个低电平有效的LED引脚可以通过修改寄存器LED_LINK控制寄存器24.4:3来直接驱动LED模式或组合LED模式。 在直接驱动LED模式时，这个引脚指示100Mbps连接或者断开。 在组合LED模式时，LED_LINK10、LED_LINK100和LED_LINK1000的输出，必须一起被读来决定link和速度的状态。 LED_LINK100是一个多功能的引脚，在硬件复位无效时，用于配置88E1111器件。 详见“LED接口”
A9	73	98	LED_LINK1000	0, mA	并行LED输出，用于1000BASE-TX的link/速度或速度的指示。这个低电平有效的LED引脚可以通过修改寄存器LED_LINK控制寄存器24.4:3来直接驱动LED模式或组合LED模式。 在直接驱动LED模式时，这个引脚指示1000Mbps连接或者断开。 在组合LED模式时，LED_LINK1000的输出表示link的状态。 LED_LINK1000是一个多功能的引脚，在硬件复位无效时，用于配置88E1111器件。 详见“LED接口”

表 10: LED 接口 (续)

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
E8	70	95	LED_DUPLEX	0, mA	并行LED全双工或全双工/冲突模式。通过设置寄存器24.2位, 可以把LED_DUPLEX引脚定义为模式1或模式2。 模式1 低: 全双工 高: 半双工 闪: 冲突 模式2 低: 全双工 高: 半双工 模式3 低: 光纤连接 高: 光纤断开 LED_DUPLEX是一个多功能的引脚, 在硬件复位无效时, 用于配置88E1111器件。 详见“LED接口”
C9	69	92	LED_RX	0, mA	并行LED接收活跃或接收活跃/link模式。可以通过修改寄存器24.1位来把LED_RX设置为模式1或模式2。 模式1: 低: 接收 高: 没有接收 模式2: 低: 连接 高: 没有连接 闪: 接收 LED_RX是一个多功能的引脚, 在硬件复位无效时, 用于配置88E1111器件。 详见“LED接口”
D9	68	91	LED_TX	0, mA	并行LED发送活跃或收发活跃/link模式。可以通过修改寄存器24.0位来把LED_TX设置为模式1或模式2。 模式1: 低: 发送 高: 没有发送 模式2: 低: 连接 高: 没有连接 闪: 接收或发送 LED_TX是一个多功能的引脚, 在硬件复位无效时, 用于配置88E1111器件。 详见“LED接口”

表 11: JTAG 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
L7	44	67	TDI	I, PU	边界扫描测试数据输入 TDI包含一个内部150K的上拉电阻。
L8	46	69	TMS	I, PU	边界扫描测试模式选择输入 TMS包含一个内部150K的上拉电阻。
L9	49	70	TCK	I, PU	边界扫描测试时钟输入 TCK包含一个内部150K的上拉电阻。
M9	47	68	TRSTn	I, PU	边界扫描测试复位输入 低电平有效, TRSTn包含一个内部150K的上拉电阻, 遵循1149.1规范。在上电以后, 通过在此引脚施加一个低电平信号来复位JTAG状态机, 或者保持TMS有5个TCK周期的高电平来复位JTAG状态机, 也可以通过一个4.7K电阻把这个引脚拉低来复位JTAG状态机。
K8	50	72	TD0	0, Z	边界扫描测试数据输出

表 12: JTAG 接口

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
K2	22	31	125CLK	0	器件产生的用于MAC器件的通用的125MHz参考时钟。可以通过把DIS_125连接到CONFIG[3]来禁止这个输出。
D8	65	88	CONFIG[0]	I	CONFIG[0]引脚用于配置物理地址的PHY_ADR[2:0]位。每一个LED引脚都被硬连接到一个固定的值，与CONFIG[0]相关联的值在硬件复位有效期间被锁存。CONFIG[0]必须被连接到表28所示的引脚中的一个，来选择一个基本的配置选项。这个引脚不可以被悬空。对于两线串行接口（TWSI）器件的地址，低5位是PHYADR[4:0]，这个在硬件复位期间被锁存，器件的地址[6:5]被固定为'10' 详见“硬件配置”
E9	64	87	CONFIG[1]	I	CONFIG[1]引脚用于配置物理地址的PHY_ADR[4:3]位和ENA_PAUSE选项。每一个LED引脚都被硬连接到一个固定的值，与CONFIG[1]相关联的值在硬件复位有效期间被锁存。CONFIG[1]必须被连接到表28所示的引脚中的一个，来选择一个基本的配置选项。这个引脚不可以被悬空。对于两线串行接口（TWSI）器件的地址，低5位是PHYADR[4:0]，这个在硬件复位期间被锁存，器件的地址[6:5]被固定为'10' 详见“硬件配置”
F8	63	86	CONFIG[2]	I	CONFIG[2]引脚用于配置ANEG[3:1]。每一个LED引脚都被硬连接到一个固定的值，与CONFIG[2]相关联的值在硬件复位有效期间被锁存。CONFIG[2]必须被连接到表28所示的引脚中的一个，来选择一个基本的配置选项。这个引脚不可以被悬空。详见“硬件配置”
G7	61	82	CONFIG[3]	I	CONFIG[3]引脚用于配置ANEG[0]、ENA_XC和DIS_125选项。每一个LED引脚都被硬连接到一个固定的值，与CONFIG[3]相关联的值在硬件复位有效期间被锁存。CONFIG[3]必须被连接到表28所示的引脚中的一个，来选择一个基本的配置选项。这个引脚不可以被悬空。详见“硬件配置”
F9	60	81	CONFIG[4]	I	CONFIG[4]引脚用于配置HWCFG_MODE[2:0]选项。详见“硬件配置”
G9	59	80	CONFIG[5]	I	CONFIG[5]引脚用于配置DIS_FC、DIS_SLEEP和HWCFG_MODE[3]选项。详见“硬件配置”
G8	58	79	CONFIG[6]	I	CONFIG[6]引脚用于配置SEL_TWSI、INT_POL和75/50_OHM选项。详见“硬件配置”
H8	56	77	SEL_FREQ	I	用于XTAL1输入的频率选择 悬空：选择25MHz时钟输入。 拉低：选择125MHz时钟输入，内部分频为25MHz。 SEL_FREQ内部有上拉电阻。
H9	55	76	XTAL1	I	参考时钟 25MHz±50ppm或125MHz±50ppm的晶振输入，不推荐使用PLL时钟 详见“XTAL1输入时钟时序”
J9	54	75	XTAL2	0	参考时钟 25MHz±50ppm容限的晶体参考。当XTAL2没有使用，应该保持悬空。这里没有用于125MHz晶体的选项。 详见“晶体振荡器应用手册”，来获取详情。
K3	28	36	RESETn	I	硬件复位 低电平有效，在RESETn的上升沿来临之前，XTAL1至少要活跃10个时钟周期。在正常运行时，RESETn被续杯拉高。
L4	27	37	COMA	I	COMA禁止所有活跃的电路，来进入到一个绝对最小功耗模式，通过拉高COMA引脚来激活COMA功耗模式，拉低COMA引脚来禁用COMA功耗模式。一旦停止COMA功耗模式，88E1111器件将继续正常运行 在硬件复位有效的时候，COMA功耗模式是不能被启用的。 在COMA功耗模式下，当CAT5电缆上检测到有数据的时候PHY不能自醒。

表 13: 测试

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
M5	37	53	HSDAC+	Analog	测试引脚 这个引脚可以被悬空，但应该被引出来用于测试。
M6	38	54	HSDAC-	PD	

表 14: 控制和参考

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
M2	30	39	REST	Analog I	恒定参考电压 这个引脚应该在外部通过4.99K-1%的电阻连接到VSS

表 15: 电源和地

TFBGA	BCC	PQFP	引脚名称	引脚类型	描述
B7 M3 M4 M7 M8 N5	32 35 36 40 45 78	44 49 52 59 64 104	AVDD	Power	模拟电源 2.5V
C6 C7 D7 E3 E7 F3 J3 J7	1 6 10 15 57 62 67 71 85	2 6 12 17 23 27 78 85 90	DVDD	Power	数字电源 1.0V (1.0V和1.2V都可以使用)
B9 F7 J8	52 66 72	73 89 97	VDDOH	Power	用于LED和CONFIG引脚的2.5V供电电源
K9 L2	26 48	34 71	VDDOX	Power	用于MDC/MDIO、INTn、125CLK、RESEn和JTAG引脚的2.5V供电电源
B4 C2 K1	5 21 88 96	5 11 30 122	VDDO	Power	用于MAC接口引脚的2.5V I/O供电电源
D4 D5 D6 E4 E5 E6 F4 F5 F6 G4 G5	G6 H4 H5 H6 J4 J5 J6 K4 K5 K6 L5 L6	1 9 15 21 22 38 40 43 45 48 51 55 58 60 63	VSS	GND	全局地
H7	53	74	VSSC	GND	XTAL1和XTAL2引脚的参考地，这个引脚必须连接到全局地。
G1 K7	13 51	50	NC	NC	没有连接，不要把这些引脚连接到任何位置。

1.5 在各种测试或复位模式下 I/O 口状态

引脚	悬空	环回/正常模式	软件复位	硬件复位	掉电	COMA	掉电且悬空
MDI[3:0]±	活跃	活跃	三态	三态	三态	三态	三态
TX_CLK	三态	活跃	REG. 16.3 0=低 1=活跃	低	REG. 16.3 0=低 1=活跃	REG. 16.3 0=低 1=静态, 但 既可能是高 也可能是低	三态
RXD[0], RXD[2]	三态	活跃	高	高	高	高	三态
RXD[7:3, 1], RX_DV, RX_ER, CRS	三态	活跃	低	低	低	低	三态
COL	三态	TBI模式-输入否 则活跃	三态	三态	TBI模式- 输入否则 低	TBI模式-输 入否则低	三态
RX_CLK	三态	活跃	REG. 16.3 0=低 1=活跃	低	REG. 16.3 0=低 1=活跃	REG. 16.3 0=低 1=静态, 但 既可能是高 也可能是低	三态
S_CLK± S_OUT±	活跃	活跃	三态	三态	REG. 16.3 0=三态 1=活跃	三态	活跃
MDIO	活跃	活跃	活跃	三态	活跃	三态	活跃
INT	活跃	活跃	三态	三态	三态	三态	三态
LED ***	活跃	活跃	高	高	高	高	高
TDO	三态	三态	三态	三态	三态	活跃	三态
125CLK	REG. 16.4 0=切换 1=低	REG. 16.4 0=切换 1=低	REG. 16.4 0=切换 1=低	切换	REG. 16.4 0=切换 1=低	REG. 16.3 0=静态, 但 既可能是高 也可能是低 1=低	REG. 16.4 0=切换 1=低

1.6 TFBGA-117 封装引脚分配列表

引脚标号	引脚名	引脚标号	引脚名	引脚标号	引脚名
A1	RXD5	E4	VSS	J7	DVDD
A2	RXD6	E5	VSS	J8	VDDOH
A3	S_IN+	E6	VSS	J9	XTAL2
A4	S_IN	E7	DVDD	K1	VDDO
A5	S_CLK+	E8	LED_DUPLEX	K2	125CLK
A6	S_CLK	E9	CONFIG[1]	K3	RESETn
A7	S_OUT+	F1	TXD0	K4	VSS
A8	S_OUT-	F2	TX_ER	K5	VSS
A9	LED_LINK1000	F3	DVDD	K6	VSS
B1	RX_DV	F4	VSS	K7	NC
B2	RXD0	F5	VSS	K8	TDO
B3	RXD3	F6	VSS	K9	VDDOX
B4	VDDO	F7	VDDOH	L1	INTn
B5	CRS	F8	CONFIG[2]	L2	VDDOX
B6	COL	F9	CONFIG[4]	L3	MDC
B7	AVDD	G1	NC	L4	COMA
B8	LED_LINK100	G2	TXD1	L5	VSS
B9	VDDOH	G3	TXD2	L6	VSS
C1	RX_CLK	G4	VSS	L7	TDI
C2	VDDO	G5	VSS	L8	TMS
C3	RXD2	G6	VSS	L9	TCK
C4	RXD4	G7	CONFIG[3]	M1	MDIO
C5	RXD7	G8	CONFIG[6]	M2	RSET
C6	DVDD	G9	CONFIG[5]	M3	AVDD
C7	DVDD	H1	TXD4	M4	AVDD
C8	LED_LINK10	H2	TXD3	M5	HSDAC+
C9	LED_RX	H3	TXD5	M6	HSDAC-
D1	TX_CLK	H4	VSS	M7	AVDD
D2	RX_ER	H5	VSS	M8	AVDD
D3	RXD1	H6	VSS	M9	TRSTn
D4	VSS	H7	VSSC	N1	MDI[0]+
D5	VSS	H8	SEL_FREQ	N2	MDI[0]-
D6	VSS	H9	XTAL1	N3	MDI[1]+
D7	DVDD	J1	TXD6	N4	MDI[1]-
D8	CONFIG[0]	J2	TXD7	N5	AVDD
D9	LED_TX	J3	DVDD	N6	MDI[2]+
E1	TX_EN	J4	VSS	N7	MDI[2]-
E2	GTX_CLK	J5	VSS	N8	MDI[3]+
E3	DVDD	J6	VSS	N9	MDI[3]-

1. 7BCC-96 封装引脚分配列表

引脚标号	引脚名	引脚标号	引脚名	引脚标号	引脚名
1	DVDD	33	MDI[1]+	65	CONFIG[0]
2	RX_CLK	34	MDI[1]-	66	VDDOH
3	RX_ER	35	AVDD	67	DVDD
4	TX_CLK	36	AVDD	68	LED_TX
5	VDD0	37	HSDAC+	69	LED_RX
6	DVDD	38	HSDAC-	70	LED_DUPLEX
7	TX_ER	39	MDI[2]+	71	DVDD
8	GTX_CLK	40	AVDD	72	VDDOH
9	TX_EN	41	MDI[2]-	73	LED_LINK1000
10	DVDD	42	MDI[3]+	74	LED_LINK100
11	TXD0	43	MDI[3]-	75	S_OUT-
12	TXD1	44	TDI	76	LED_LINK10
13	NC	45	AVDD	77	S_OUT+
14	TXD2	46	TMS	78	AVDD
15	DVDD	47	TRSTn	79	S_CLK+
16	TXD3	48	VDDOX	80	S_CLK-
17	TXD4	49	TCK	81	S_IN
18	TXD5	50	TDO	82	S_IN+
19	TXD6	51	NC	83	COL
20	TXD7	52	VDDOH	84	CRS
21	VDD0	53	VSSC	85	DVDD
22	125CLK	54	XTAL2	86	RXD7
23	INTn	55	XTAL1	87	RXD6
24	MDIO	56	SEL_FREQ	88	VDD0
25	MDC	57	DVDD	89	RXD5
26	VDDOX	58	CONFIG[6]	90	RXD4
27	COMA	59	CONFIG[5]	91	RXD3
28	RESETn	60	CONFIG[4]	92	RXD1
29	MDI[0]+	61	CONFIG[3]	93	RXD2
30	RSET	62	DVDD	94	RX_DV
31	MDI[0]-	63	CONFIG[2]	95	RXD0
32	AVDD	64	CONFIG[1]	96	VDD0
0	VSS				

1.8PQFP-128 封装引脚分配列表

引脚标号	引脚名	引脚标号	引脚名	引脚标号	引脚名	引脚标号	引脚名
1	VSS	33	MDIO	65	VSS	97	VDDOH
2	DVDD	34	VDDOX	66	VSS	98	LED_LINK1000
3	RXD0	35	MDC	67	TDI	99	LED_LINK100
4	RX_DV	36	RESETn	68	TRSTn	100	LED_LINK10
5	VDDO	37	COMA	69	TMS	101	VSS
6	DVDD	38	VSS	70	TCK	102	VSS
7	RX_CLK	39	RSET	71	VDDOX	103	VSS
8	RX_ER	40	VSS	72	TDO	104	AVDD
9	VSS	41	MDI[0]+	73	VDDOH	105	S_OUT-
10	TX_CLK	42	MDI[0]-	74	VSSC	106	VSS
11	VDDO	43	VSS	75	XTAL2	107	S_OUT+
12	DVDD	44	AVDD	76	XTAL1	108	VSS
13	TX_ER	45	VSS	77	SEL_FREQ	109	S_CLK-
14	GTX_CLK	46	MDI[1]+	78	DVDD	110	S_CLK+
15	VSS	47	MDI[1]-	79	CONFIG[6]	111	VSS
16	TX_EN	48	VSS	80	CONFIG[5]	112	S_IN-
17	DVDD	49	AVDD	81	CONFIG[4]	113	S_IN+
18	TXD0	50	NC	82	CONFIG[3]	114	COL
19	TXD1	51	VSS	83	VSS	115	CRS
20	TXD2	52	AVDD	84	VSS	116	VSS
21	VSS	53	HSDAC+	85	DVDD	117	DVDD
22	VSS	54	HSDAC-	86	CONFIG[2]	118	DVDD
23	DVDD	55	VSS	87	CONFIG[1]	119	VSS
24	TXD3	56	MDI[2]+	88	CONFIG[0]	120	RXD7
25	TXD4	57	MDI[2]-	89	VDDOH	121	RXD6
26	TXD5	58	VSS	90	DVDD	122	VDDO
27	DVDD	59	AVDD	91	LED_TX	123	RXD5
28	TXD6	60	VSS	92	LED_RX	124	RXD4
29	TXD7	61	MDI[3]+	93	VSS	125	RXD3
30	VDDO	62	MDI[3]-	94	VSS	126	RXD2
31	125CLK	63	VSS	95	LED_DUPLEX	127	VSS
32	INTn	64	AVDD	96	DVDD	128	RXD1

二. 功能描述

88E1111 是一个 10/100/1000BASE-T/1000BASE-X 的吉比特以太网收发器器件。

图 5: 88E1118 功能模块框图

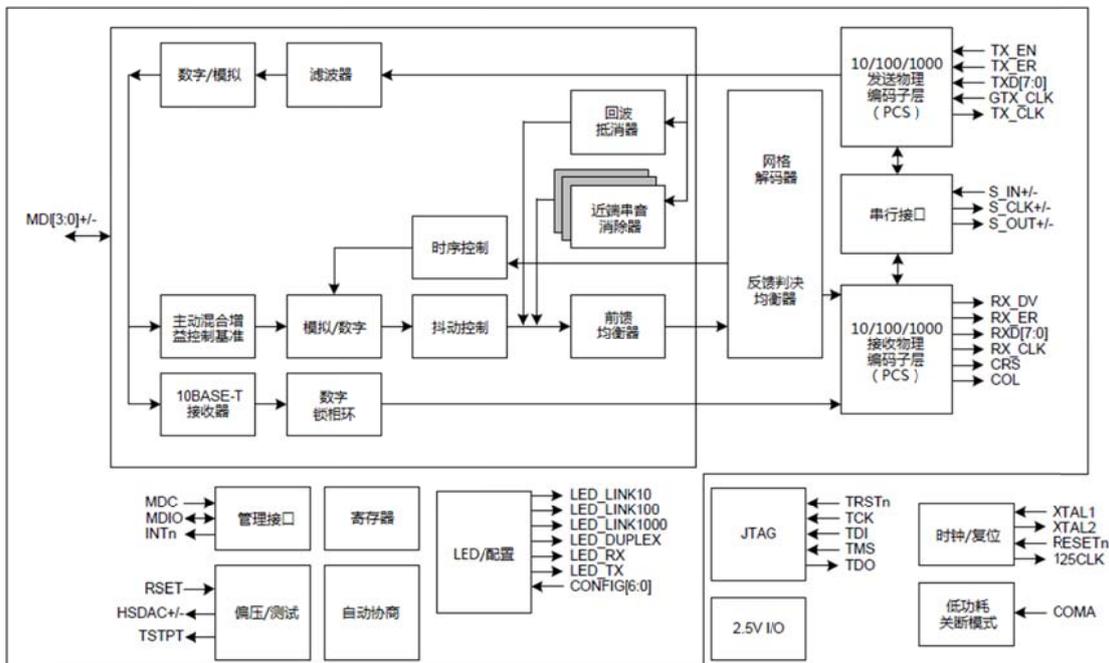


图 5 显示了 88E1118 器件的功能模块框图。有关于发送器、发送物理编码子层和物理介质接入层的更全面的描述请参见 2.6.1 的“发送侧网络接口”。有关于接收器、接收物理编码子层和物理介质接入层的更全面的描述请参见 2.6.3 的“接收侧网络接口”。

2.1 88E1111 器件的接口描述

88E1111 器件即支持双绞线铜介质又支持光纤介质，详见本章更进一步的连接图。

2.1.1 介质接口

2.1.1.1 铜介质接口

铜介质接口由 MDI[3:0]± 引脚组成，由这些引脚连接到物理介质，它支持 1000BASE-T、100BASE-TX 和 10BASE-T 三种工作模式。MDI 引脚在外部应该加 100 欧姆的差分终端匹配电阻，并且通过以太网变压器连接到 RJ-45 连接器。

5 类（CAT5）非屏蔽双绞线（UTP）接口在外部需要 100 欧姆的差分终端匹配电阻。详见“Alaska Ultra 参考设计原理图”来获得更详细的信息。

2.1.1.2 光纤接口

光缆连接到光收发器，光收发器通过串行接口引脚连接到 PHY 器件，然后 PHY 器件通过 GMII 或 RGMII 接口连接到 MAC。串行接口由 S_IN±、S_OUT± 和 SD± 引脚组成。

SERDES 接口的输入和输出缓冲器在内部是有终端匹配电阻的，可以配置为 75/50 欧姆阻抗。75/50 OHM 配置位可以用于选择输入或输出的阻抗。参见表 98“PHY 扩展特定控制寄存器 2”中的寄存器 26.5 和寄存器 26.6 的详细描述。外部的终端匹配电阻是不需要的。SERDES 的 I/O 是电流模式逻辑（CML）缓冲器。CML I/O 可以连接到其他兼容的 I/O 口，如

PECL I/Os 或 LVDS I/Os。详细请参见“参考设计原理图”和“光接口”应用手册。

图 6: CML I/Os

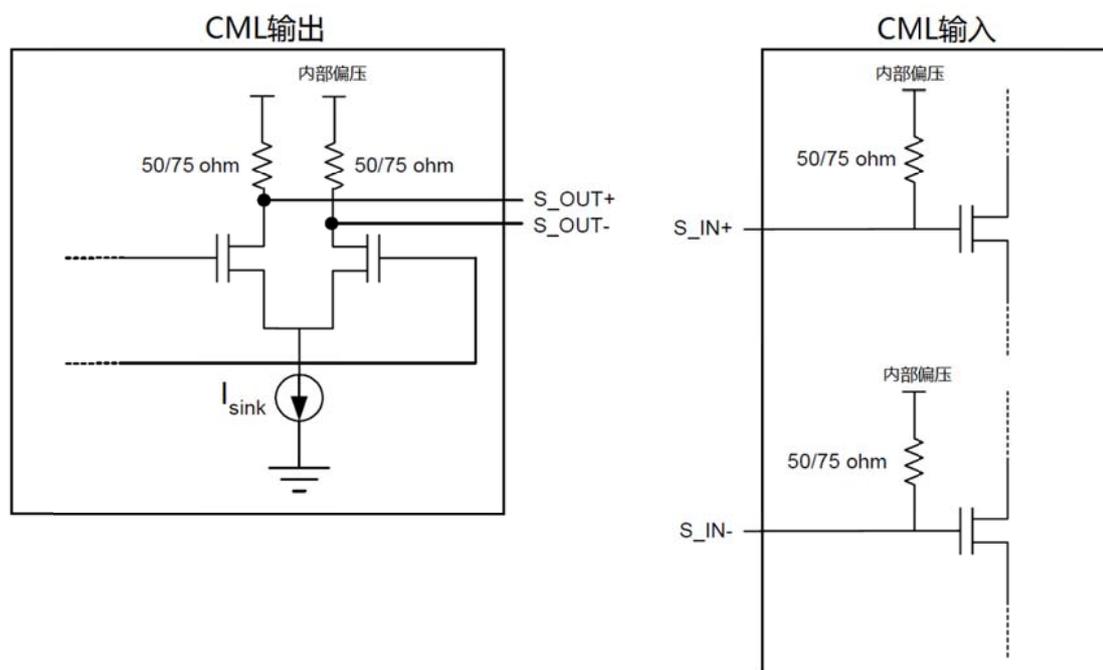


表 16: 光纤收发器的串行接口映射

88E1111 器件	描述
S_OUT±	1. 25G波特率发送输出-正极或负极
S_IN±	1. 25G波特率接收输入-正极或负极
SD±	来自于光纤收发器的信号侦测输入

用于光纤模式的信号侦测输入

光纤收发器信号侦测输出被典型的直接连接到 MAC, PHY 是没有信号侦测输入的 (例如 SERDES PHY), 在这种情况下, 88E1111 的 PHY 会一直默认信号侦测是一直有效的, 即认为光口一直连接。如果希望使用光纤收发器的信号侦测输出作为 88E1118 器件的输入, 那么, 信号侦测的状态将由监测到的信号侦测输入所决定, 为了使用这种运行模式, 寄存器 26.7 应该被置为 1。为什么可能需要信号侦测输入呢? 举一个例子: 当自动协商被禁用, 并且没有光纤电缆连接时, 使用信号侦测输入可以防止 LEDs 虚假地指示接收或在 S_IN± 引脚上接收了一个由于噪声所引发的误认为外部有发送行为到此接口。

2.1.2 MAC 接口

MAC 接口支持 GMII/MII、RGMII/修改的 MII、SGMII 和串行接口连接。这些接口连接到一个 10/100/1000Mbps 的介质访问控制器 (MAC)。

表 17: 88E1111 器件 MAC 接口引脚

88E1111 器件引脚			
GTX_CLK	TXD[7:0]	RXD[7:0]	S_CLK±
TX_CLK	RX_CLK	CRS	S_OUT±
TX_ER	RX_ER	COL	
TX_EN	RX_DV	S_IN±	

2.2 MAC 接口

这一部分将会描述 88E1111 器件的 MAC 接口的详细信息。

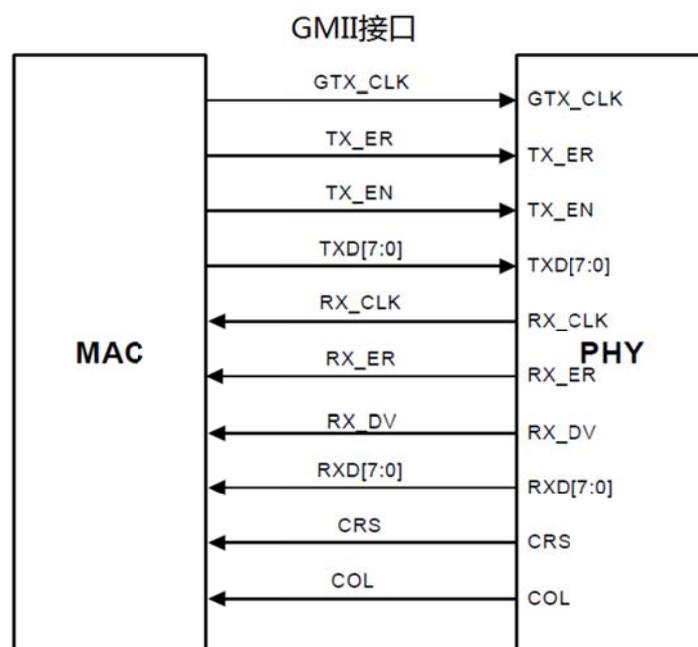
2.2.1 千兆网介质无关接口 (GMII/MII)

表 18 列出了 88E1111 器件到 GMII 接口的信号映射。MII 支持 100BASE-TX 和 10BASE-T 模式,它的管脚是与 GMII 接口复用的。通过设置 HWCFG_MODE[3:0]为 2' b1111 来使 GMII/MII 接口可以连接到铜接口,通过设置 HWCFG_MODE[3:0]为 2' b0111 来使 GMII/MII 接口可以连接到光接口。

表 18: GMII/MII 信号映射

88E1111 器件引脚	GMII	MII
GTX_CLK	GTX_CLK	-
TX_CLK	-	TX_CLK
TX_ER	TX_ER	TX_ER
TX_EN	TX_EN	TX_EN
TXD[7:0]	TXD[7:0]	TXD[3:0]
RX_CLK	RX_CLK	RX_CLK
RX_ER	RX_ER	RX_ER
RX_DV	RX_DV	RX_DV
RXD[7:0]	RXD[7:0]	RXD[3:0]
CRS	CRS	CRS
COL	COL	COL

图 7: GMII 信号框图



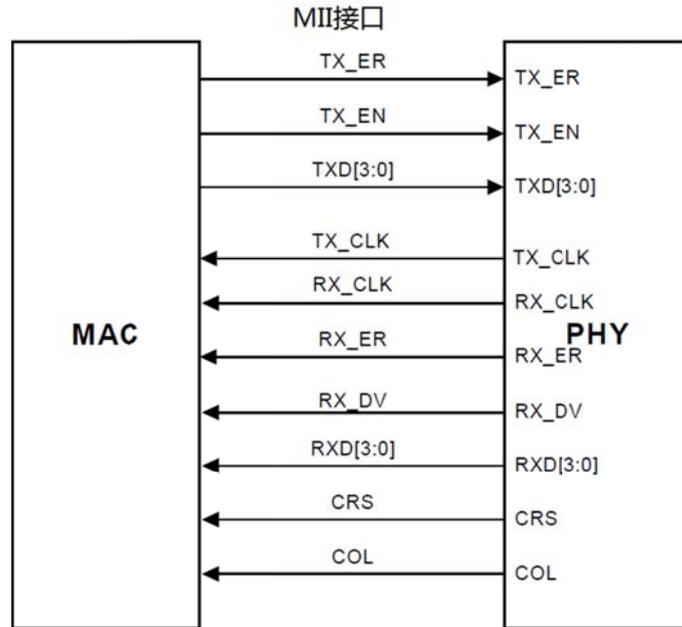
GMII 和 MII 接口完全分别兼容 IEEE802.3 的第 35 条和第 22 条。GMII 和 MII 接口可以通过硬件配置位 HWCFG_MODE[3:0]来使能, HWCFG_MODE[3:0]在硬件复位的后期被锁存。详见 2.4 的“硬件配置”。

在 1000BASE-T 模式下,当 GMII 接口被选择时,在 GTX_CLK 上期待一个 125MHz 的发送时钟, TX_CLK 虽然不属于 GMII 接口,但仍然是可用的,并且可以根据寄存器 20.6:4 的设置来输出 25MHz、2.5MHz 或 0MHz 的时钟,并且 RX_CLK 输出一个 125MHz 的接收时钟。TXD[7:0]

和 RXD[7:0] 的所有信号都被使用。

在 100BASE-TX 和 10BASE-T 模式下，当 MII 模式被选择时，TX_CLK 和 RX_CLK 分别输出 25MHz 或 2.5MHz 的时钟。此时仅 TXD[3:0] 和 RXD[3:0] 信号被使用。GTX_CLK 和 TXD[7:4] 必须被拉高或拉低，不能被悬空。RXD[7:4] 引脚驱动为低。

图 8：MII 信号框图



注意：当传输速度由一个速度向另外一个速度跳变时，一个最长期限为 1.5 个时钟周期的死亡时间会出现在 RX_CLK 或 TX_CLK 上，以确保能够得到一个无干扰的时钟。

在 GMII 模式下，寄存器 20.15 用于块载波扩展。

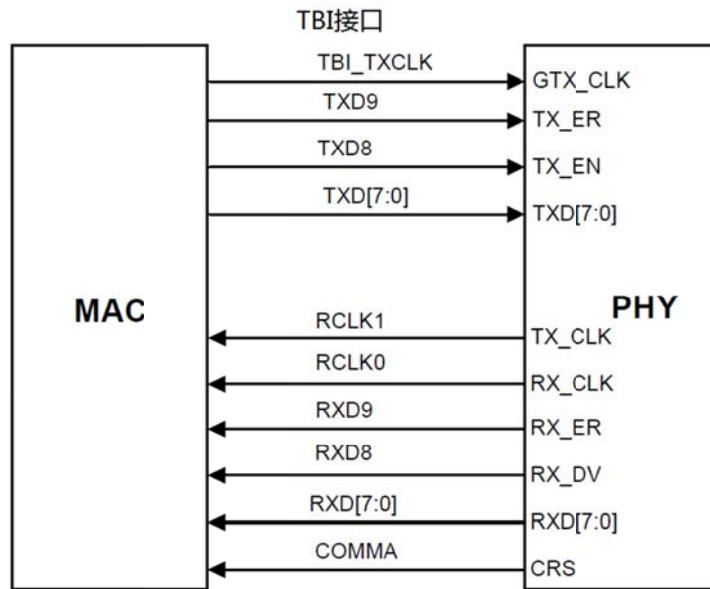
2.2.2 10 位接口

TBI 接口的引脚如下所示，这个接口支持 1000Mbps 模式，通过设置 HWCFG_MODE[3:0] 为 2'b1101 来使 TBI 接口可以连接到铜接口。

表 19：TBI 接口引脚映射

88E1111 器件引脚名称	TBI 引脚名称	描述
GTX_CLK	TBI_TXCLK	125MHz 发送时钟
TX_CLK	RCLK1	62.5MHz 接收时钟-even code group
TX_ER	TXD9	发送代码组位 9
TX_EN	TXD8	发送代码组位 8
TXD[7:0]	TXD[7:0]	发送代码组位 7 到 0
RX_CLK	RCLK0	62.5MHz 接收时钟-odd code group
RX_ER	RXD9	接收代码组位 9
RX_DV	RXD8	接收代码组位 8
RXD[7:0]	RXD[7:0]	接收代码组位 7 到 0
CRS	COMMA	有效的停顿侦测

图 9: TBI 信号框图



在 1000BASE-T 模式下，10 位接口（TBI）可以用于代替 GMII 来使用。在数据路径上需要增加额外的编码器和解码器，这样也会带来收发过程中的延时。

在接收侧，88E1111 放置已经被编码的 1000BASE-X 的物理介质接入层（PMA）的 10 位接收代码组，然后这个代码组通过 GMII 输出引脚（隶属于 88E1111）输出给 MAC。在发送侧，88E1111 器件接收 MAC 输出给 GMII 输入引脚（隶属于 88E1111）的物理介质接入层（PMA）的 10 位发送代码组。

任何特殊的指示符都会被忽略，例如 1000BASE-X 自动协商连接代码字会被看作空闲指示符，关于 1000BASE-X 的更多细节，参见 IEEE802.3 的 36 条。

2.2.2.1 TBI 到铜接口模式

在 1000BASE-T 模式下（HWCFG_MODE[3:0]=4' b1101），TBI 可以代替 GMII 使用，在数据路径上需要增加额外的编码器和解码器，这样也会带来收发过程中的延时。

在 TBI 连接到铜接口模式时，如果 MAC 没有发送一个有效的空闲或有效的数据给 PHY，那么 PHY 将不会发送任何从铜缆接收到的数据给 MAC。

2.2.3 简化管脚数的 GMII（RGMII）

88E1111 器件支持 RGMII 规范（版本:1.2a, 9/22/2000 和版本:2.0, 04/2002—注意:88E1111 器件不支持 HSTL，但是支持 2.0 版本的 RGMII 时序规范）。各种其他的 RGMII 时序模型（不同的时钟到数据的时序）可以通过设置寄存器 20.1 和寄存器 20.7 来配置（在表 91 中有这两个寄存器的详细描述）。详见“用于不同的 RGMII/RTBI 时序模型的 RGMII/RTBI 的延时时序”来获得更详细的说明。精简以后的接口把 PHY 与 MAC 之间衔接所用到的引脚减小到 12 个，数据路径和相关的控制信号都被减少，控制信号被混合在一起复用。

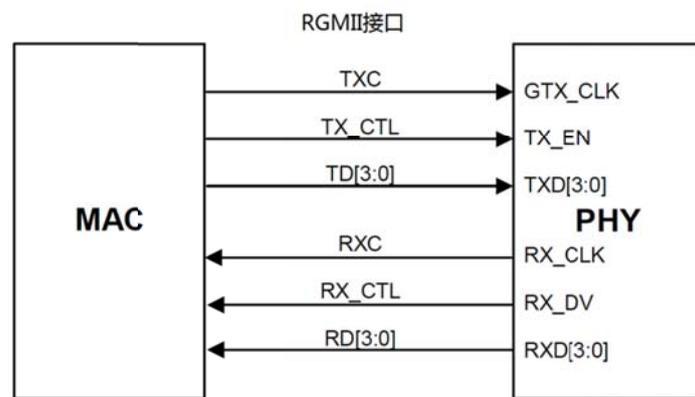
通过设置 HWCFG_MODE[3:0]为 2' b1011 来使 RGMII 接口可以连接到铜接口。根据所选择的速度不同，发送和接收时钟可以在 125MHz、25MHz 或 2.5MHz 下运行。通过设置 HWCFG_MODE[3:0]为 2' b0011 来使 RGMII 接口可以连接到光接口。

当 RGMII 模式被选择时，发送控制（TX_CTL）在 GTX_CLK(TXC)的双沿都被放置，接收控制（RX_CTL）在 RX_CLK(RXC)的双沿都被放置。

表 20: RGMII 信号映射

88E1111器件引脚名称	RGMII引脚名称	描述
GTX_CLK	TXC	50PPM容限的125MHz、25 MHz或2.5 MHz的发送时钟，时钟的具体值依据所选的速度。
TX_EN	TX_CTL	发送控制信号。TX_EN在GTX_CLK的上升沿被编码，TX_ER和TX_EN的逻辑异或在GTX_CLK的下降沿被编码。
TXD[3:0]	TD[3:0]	发送的数据。在1000BASE-T和1000BASE-X模式下，TXD[3:0]在GTX_CLK的双沿都被放置。在100BASE-TX和10BASE-T模式下，TXD[3:0]在GTX_CLK的上升沿被放置。
RX_CLK	RXC	依据所选的速度，从接收的数据流恢复得到的一个50PPM容限的125MHz、25 MHz或2.5 MHz的接收时钟。
RX_DV	RX_CTL	接收控制信号。RX_DV在RX_CLK的上升沿被编码，RX_ER和RX_DV的逻辑异或在RX_CLK的下降沿被编码。
RXD[3:0]	RD[3:0]	接收的数据。在1000BASE-T和1000BASE-X模式下，RXD[3:0]在RX_CLK的双沿都被放置。在100BASE-TX和10BASE-T模式下，RXD[3:0]在RX_CLK的上升沿被放置。

图 10: RGMII 信号框图



2.2.3.1 10/100Mbps 功能

这个接口可以通过把时钟减小为用于 100Mbps 运行模式的 25MHz 时钟或用于 10Mbps 运行模式的 2.5Mbps 时钟来实现 10/100Mbps 以太网介质无关接口 (MII)。GTX_CLK (TXC) 信号一直是由 MAC 产生的，而 RX_CLK (RXC) 信号一直是由 PHY 产生的。

在接收数据包期间，RX_CLK 的正脉冲或负脉冲可能会被拉长，以便能够从一个自由状态运行的时钟过渡到一个数据同步时钟域。当 PHY 的速度发生变化时，与上述类似的被拉长的正脉冲或负脉冲是被允许的。在速度切换期间，没有毛刺的时钟是被允许的。

MAC 必须保持 TX_EN (TX_CTL) 一直为低，直到 MAC 确定 TX_EN (TX_CTL) 已经和 PHY 运行在同一速度下。

2.2.3.2 TX_ER 和 RX_ER 编码

参见 RGMII 规范中对 RX_ER 和 TX_CTL 的定义和频段状态编码。

在 RGMII 模式下，寄存器 20.15 用于块载波扩展。

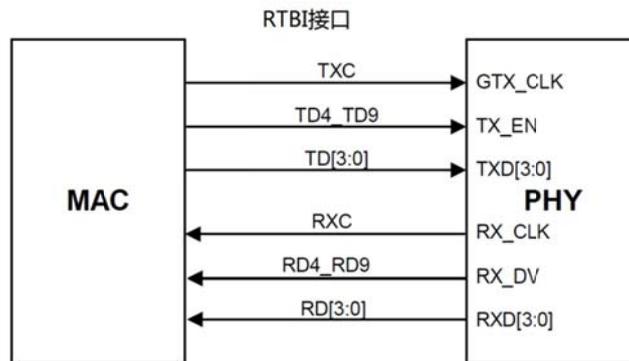
2.2.4 简化管脚数的 TBI (RTBI)

88E1111 器件支持 RTBI，RTBI 接口引脚映射如下所示，这个接口支持 1000Mbps 运行模式，通过设置 HWCFG_MODE[3:0] 为 2'b1001 来使 RTBI 接口可以连接到铜接口。

表 21: RTBI 信号映射

88E1111器件引脚名称	RGMII引脚名称	描述
GTX_CLK	TXC	50PPM容限的125MHz的发送时钟。
TX_EN	TD4_TD9	发送代码组的第4位和第9位, GTX_CLK的上升沿时TX_EN代表第4位, 下降沿时代表第9位。
TXD[3:0]	TD[3:0]	发送代码组的第0-3位和第5-8位, TD[3:0]工作在双速数据速率下, 在GTX_CLK的上升沿所采到的数据为bit[3:0], 在GTX_CLK的下降沿所采到的数据为bit[7:4]。
RX_CLK	RXC	50PPM容限的125MHz的接收时钟。
RX_DV	RD4_RD9	接收代码组的第4位和第9位, RX_CLK的上升沿时RX_DV代表第4位, 下降沿时代表第9位。
RXD[3:0]	RD[3:0]	接收的数据, RD[3:0]工作在双速数据速率下, 在RX_CLK的上升沿所采到的数据为bit[3:0], 在RX_CLK的下降沿所采到的数据为bit[7:4]。

图 11: RTBI 信号框图



2.2.5 SGMII 接口

88E1111 支持 SGMII 接口（修订 1.7）连接到铜接口，这个接口支持 10/100/1000Mbps 的运行模式，88E1111 器件不需要 TXCLK 输入，因为它可以从输入数据中恢复得到这个时钟。这个特征对于减少管脚的数量是很有优势的，更有助于减少电路板上走线的数量，对于 EMI 也是有好处的，可以减少噪声的产生。

在接收侧，2 种运行模式：一是一个接收时钟提供给 MAC，另外一种是不提供时钟。通过设置 HWCFG_MODE[3:0] 为 2' b0000 来选择带时钟的串行接口。通过设置 HWCFG_MODE[3:0] 为 2' b0100 来选择不带时钟的串行接口。接收时钟对于不具备恢复时钟的能力的 MAC 来说是必需的。SGMII 信号映射如表 22 所示。

对于 SGMII 来说，如果旁路逻辑带来了光纤链路，铜接口自动协商将重新启动，并且仅呈现千兆速度。

表 22: SGMII 串行接口引脚映射

88E1111器件引脚名称	SGMII引脚名称	描述
S_OUT±	RX	1.25G带宽的接收输出-正极或负极
S_CLK±	RXCLK	625MHz接收时钟
S_IN±	TX	1.25G带宽的发送输入-正极或负极

图 12: 带接收参考时钟的 SGMII



在 S_CLK+ 引脚上的一个接收参考时钟是有效的。这个参考时钟用于实现 SGMII 与不具备接收时钟回复功能的 MAC 进行连接的。

图 13: 不带接收参考时钟的 SGMII



对于具有时钟恢复能力的 MAC 来说，S_CLK+引脚可以被禁用，来降低功耗。

2.2.6 串行 MAC 接口

通过设置 HWCFG_MODE[3:0] 为 2' b1000 或 2' b1100 来选择串行 MAC 接口。串行 MAC 接口的信号映射如表 23 所示。

两个信号 (RXD[0]和 RXD[1]) 的功能作为信号侦测的输出，当 S_OUT±上的信号时有效的时候，这些引脚也表为有效。

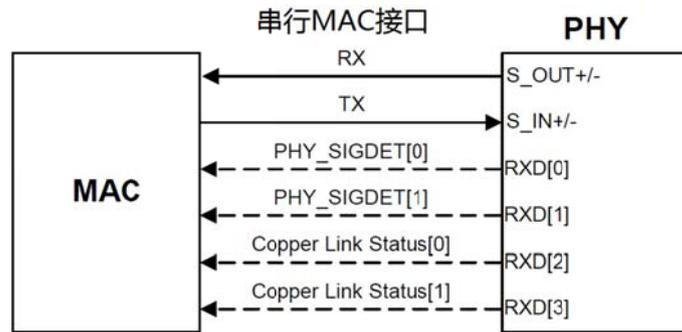
在串行接口连接到铜接口的模式下，PHY_SIGDET 引脚时有效的。注意 RXD[0]和 RXD[1]仅表示 Alaska Ultra 器件在 S_OUT±引脚上输出了一个干净的信号，这与铜接口是连接还是断开时无关的。

信号 RXD[2]和 RXD[3]给出了铜接口侧实时的连接状态。这些信号可以用于信号侦测。

表 23: 串行 MAC 接口引脚映射

88E1111器件引脚名称	串行MAC	描述
S_OUT±	RX	1.25G带宽的接收输出-正极或负极
S_IN±	TX	1.25G带宽的发送输入-正极或负极
RXD[0]	PHY_SIGDET[0]	1 = S_OUT±无效 0 = S_OUT±遵循第36条的有效代码组
RXD[1]	PHY_SIGDET[1]	1 = S_OUT±遵循第36条的有效代码组 0 = S_OUT±无效
RXD[2]	Copper Link Status [0]	1 = 铜接口断开 0 = 铜接口连接
RXD[3]	Copper Link Status [1]	1 = 铜接口连接 0 = 铜接口断开

图 14: 串行 MAC 接口



2.3 88E1111 器件的运行模式

表 24 列出了每个接口所支持的数据速率。

表 24: 每个接口的数据速率

MAC接口	10BASE-T	100BASE-TX	1000BASE-T	Fiber
GMI			HWCFG MODE[3:0]=1111	HWCFG MODE[3:0]=0111
MII	HWCFG MODE[3:0]=1111	HWCFG MODE[3:0]=1111		
TBI			HWCFG MODE[3:0]=1101	
RGMII	HWCFG MODE[3:0]=1011	HWCFG MODE[3:0]=1011	HWCFG MODE[3:0]=1011	HWCFG MODE[3:0]=0011
RTBI			HWCFG MODE[3:0]=1001	
SGMII(1)	HWCFG MODE[3:0]=0000/0100	HWCFG MODE[3:0]=0000/0100	HWCFG MODE[3:0]=0000/0100	
串行接口(2)			HWCFG MODE[3:0]=1000/1100	

- (1) 两种 SGMII 模式都是可用的。1.带时钟，自动协商。2.不带时钟，自动协商。
- (2) 两种 1000BASE-X 模式都是可用的。1. 传统的 88E1000S，不带时钟，不带自动协商。
2.不带时钟，带自动协商（GBIC 模式）。

表 25: 特殊的操作模式

模式(1)	硬件配置设置
GMII - SGMII	HWCFG MODE[3:0] = 1110
RGMII-SGMII	HWCFG MODE[3:0] = 0110

(1) 这些模式用于 GMII/RGMII MAC 接口切换到 SGMII MAC 接口

2.3.1 用于铜介质的运行模式

88E1111 器件支持很多运行模式来连接到铜介质。图 15 显示了 MAC 接口用于铜介质运行模式的连接。

图 15: MAC 到铜介质的连接

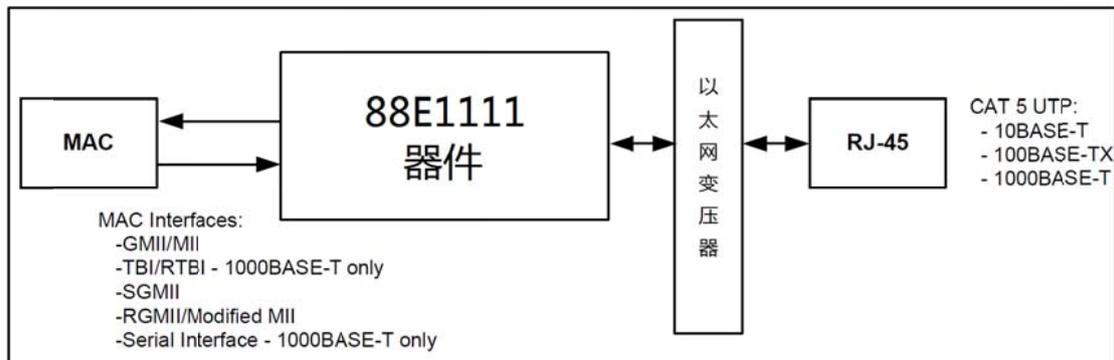


表 26 显示了 MAC 接口连接到铜介质的模式选择

表 26: MAC 接口连接到铜介质的模式选择

HWCFG MODE[3:0]	描述
1111	GMII/MII 到铜介质
1101	TBI 到铜介质
1011	RGMII 到铜介质
1001	RTBI 到铜介质
0000	SGMII 到铜介质（带时钟）
0100	SGMII 到铜介质（不带时钟）
1000	1000BASE-X 到铜介质（带自动协商）
1100	1000BASE-X 到铜介质（不带自动协商）

2.3.1.1 GMII/MII 到铜介质

通过设置 $\text{HWCFG_MODE}[3:0]=4'b1111$ 来选择 GMII/MII 连接到铜介质。

2.3.1.2 TBI 到铜介质

通过设置 $\text{HWCFG_MODE}[3:0]=4'b1101$ 来选择 TBI 连接到铜介质。

2.3.1.3 RGMII 到铜介质

通过设置 $\text{HWCFG_MODE}[3:0]=4'b1011$ 来选择 RGMII 连接到铜介质。

2.3.1.4 RTBI 到铜介质

通过设置 $\text{HWCFG_MODE}[3:0]=4'b1001$ 来选择 RTBI 连接到铜介质。

2.3.1.5 SGMII 到铜介质

有两种 SGMII 连接到铜介质的运行模式，一种是带时钟，一种是不带时钟。

通过设置 $\text{HWCFG_MODE}[3:0]=4'b0000$ 来选择 SGMII 连接到铜介质（带时钟）。通过设置 $\text{HWCFG_MODE}[3:0]=4'b0100$ 来选择 SGMII 连接到铜介质（不带时钟）。

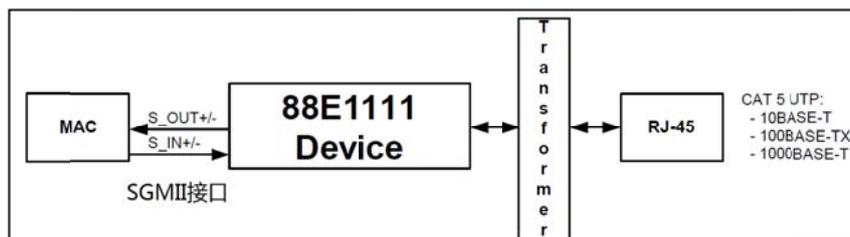
当铜接口运行在 1000BASE-T 模式下时，串行 1.25 GHz 的 SGMII 的编码与在 1000BASE-X 上发现的是相同的。

在 100BASE-TX 和 10BASE-T 模式时，SGMII 接口仍然使用 1000BASE-X 编码运行在 1.25GHz，然而，在包中的数据的一个位会被分别重复 10 或 100 次。在这些模式下，同步 FIFO 在收发两个路径中将会自动使能。

SGMII 接口实现了一个修改了的 1000BASE-X 自动协商来表示连接、全双工和速度给 MAC，自动协商的结果转换到铜介质侧并通过修改了的自动协商被编码到串行接口，所以多口器件可以调整当前的运行速度。

图 16 是一个 88E1111 器件使用 SGMII 接口的例子。

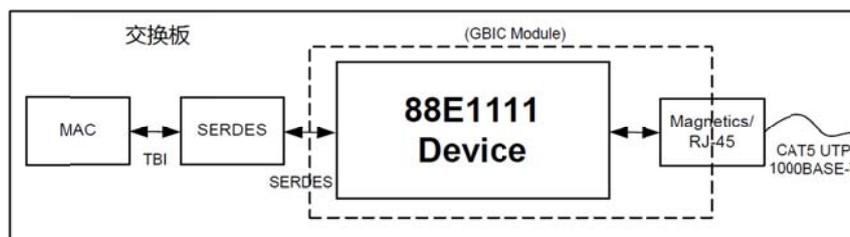
图 16: SGMII 接口



2.3.1.6 串行接口(SERDES) 到铜介质

通过设置 $\text{HWCFG_MODE}[3:0]=4'b1000$ 来选择 GBIC 运行模式。图 17 是器件使用 GBIC 的一个应用的例子。GBIC/SERDES 接口仅支持 1000Mbps 运行模式。

图 17: 典型 GBIC 应用

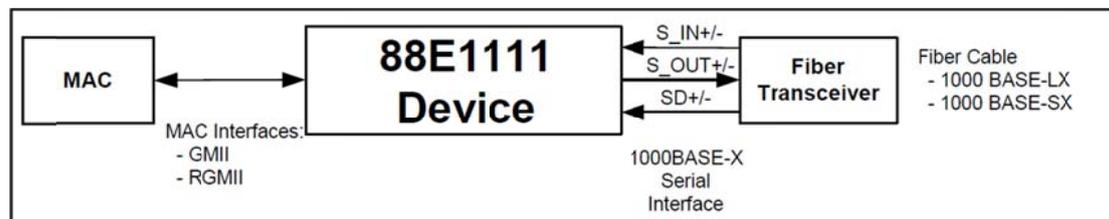


其余略见文档 60 页。

2.3.2 光纤接口的运行模式

图 18 显示了 MAC 接口用于光纤模式的典型应用。

图 18: MAC 到光口的连接



光口的应用有两种模式，如下表所示

表 27: MAC 接口道光介质的模式选择

HWCFG MODE[3:0]	描述
0111	GMII到光口
0011	RGMII到光口

2.3.2.1 GMII 到光口模式

当 GMII 连接到 MAC，然后串行接口连接到光纤收发器，此时只能工作在 1000M 模式下。

在发送侧和接收侧，数据被转换并通过串行接口收发，这种模式支持 1000BASE-X 自动协商。

2.3.1.1 RGMII 到光口模式

在 RGMII 到光口模式下，1000BASE-X 自动协商被使用。

2.3.3 GMII/MII 到 SGMII 模式和 RGMII 到 SGMII 模式

88E1111 器件支持 GMII/MII 到 SGMII 模式和 RGMII 到 SGMII 模式两种模式。GMII/MII 和 RGMII 到 SGMII 模式支持所有的三种速度（10/100/1000）。