

## 一种基于 Ring-VCO 结构的宽频带低抖动锁相环的设计与实现

刘颖<sup>1</sup>, 田泽<sup>1,2</sup>, 吕俊盛<sup>1,2</sup>, 邵刚<sup>1,2</sup>, 胡曙凡<sup>1</sup>, 李嘉<sup>1</sup>

(1. 航空工业西安航空计算技术研究所, 陕西 西安 710068;

2. 集成电路与微系统设计航空科技重点实验室, 陕西 西安 710068)

**摘要:** 为了在高速传输系统中实现宽频带和低抖动时钟输出的要求, 设计了一种基于 Ring-VCO 结构的低抖动锁相环, 采用与锁相环锁定频率强相关的环路带宽调整方法来降低环路噪声, 加速环路锁定, 即利用全局参考调节电路中比较器模块将锁定控制电压与参考电压比较来改变各模块电流, 根据不同锁定频率调整环路参数, 大大缩短了锁定时间, 同时利用四级差分环形振荡器和占空比调整电路的差分对称结构, 降低了电路噪声。电路采用 40 nm CMOS 工艺实现, 测试结果表明输出频率为 1.062 5 GHz~5 GHz, 在最高时钟频率 5 GHz 下眼图质量良好, 时钟抖动 39.6 ps。

**关键词:** 锁相环; 环形振荡器; 宽频; 低抖动

中图分类号: TN432

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.191337

中文引用格式: 刘颖, 田泽, 吕俊盛, 等. 一种基于 Ring-VCO 结构的宽频带低抖动锁相环的设计与实现[J]. 电子技术应用, 2020, 46(5): 35-39.

英文引用格式: Liu Ying, Tian Ze, Lv Junsheng, et al. Design and implement of a ring-VCO based PLL with wide frequency range and low jitter[J]. Application of Electronic Technique, 2020, 46(5): 35-39.

## Design and implement of a ring-VCO based PLL with wide frequency range and low jitter

Liu Ying<sup>1</sup>, Tian Ze<sup>1,2</sup>, Lv Junsheng<sup>1,2</sup>, Shao Gang<sup>1,2</sup>, Hu Shufan<sup>1</sup>, Li Jia<sup>1</sup>

(1. AVIC Computing Technique Research Institute, Xi'an 710068, China;

2. Aviation Key Laboratory of Science and Technology on Integrated Circuit and Micro-System Design, Xi'an 710068, China)

**Abstract:** A ring-VCO based phase lock loop (PLL) is designed for achieving the wide frequency range and low jitter requirements of high speed communication system. By adjusting the loop bandwidth which is closely related to the lock-in frequency it reduces the loop noise and accelerates loop locking. Adopting the comparator in reference circuit to compare the locking control voltage with the reference voltage to flexibly change the current in other module, and adjusting the loop parameters according to different lock-in frequencies, the lock-in time is greatly reduced. At the same time, the differential symmetrical structure of the four-stage differential ring oscillator and duty cycle adjusting circuit is used to reduce the circuit noise. This chip is fabricated in 40 nm CMOS process, the measured results show that the output frequency is from 1.062 5 GHz to 5 GHz, the performance of the signal at 5 GHz is good and jitter is 39.6 ps.

**Key words:** phase lock loop; ring oscillator; wide frequency range; low jitter

### 0 引言

锁相环作为时钟产生的核心电路, 以其宽频带、低抖动、锁定速度快等特点, 被广泛应用在高速通信和电子传输系统中。最早的电荷泵锁相环电路固定环路带宽实现, 输出时钟频带较窄, 锁定时间较长。随着高速、多协议的通信系统的快速发展, 要求锁相环电路输出频率范围广及时钟抖动低, 而固定环路带宽的锁相环电路结构无法同时满足输出频率范围、各频点锁定时间及噪声的要求<sup>[1-2]</sup>, 因此, 锁相环电路环路参数可调已成为主流电路结构<sup>[3-5]</sup>。常见的环路带宽可调通过寄存器配置电荷泵、环路滤波器参数等方式实现, 此类方法易实现, 但

操作较为机械, 且与锁定频率非强相关, 性能无法达到最优。

因此, 为了能够拓宽锁相环输出频带, 同时满足输出低抖动时钟的要求, 本文提出了一种与锁相环锁定频率强相关的环路带宽调整方法, 利用全局参考调节电路中比较器模块将锁定控制电压  $V_{ctrl}$  与参考电压  $V_{ref}$  电压比较来改变各模块电流, 实现不同频率下环路带宽的调整, 加速环路锁定, 降低锁相环噪声。另一方面, 采用四级差分环形振荡器结构和占空比调整电路, 以其差分对称结构降低电路噪声, 并在电路中引入 LDO 等方式进行抖动优化<sup>[6-9]</sup>。

# 微电子技术

Microelectronic Technology

## 1 电路结构

本文提出了一种基于 Ring-VCO 结构的锁相环电路,由全局参考调节电路(Reference)为各模块提供可调电流,鉴频鉴相器(PFD)比较参考频率与反馈频率的相位输入到电荷泵(CP),产生控制电压  $V_{ctrl}$  作用于压控振荡器(VCO)产生时钟,最终经过占空比调整模块(DCC)时钟输出。锁相环电路结构如图 1 所示。

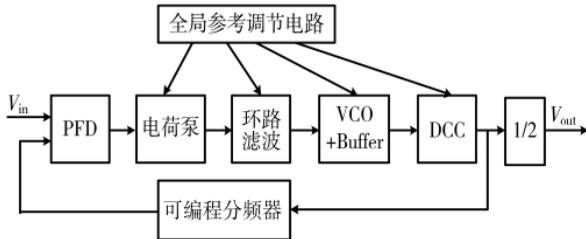


图 1 锁相环电路结构图

## 2 核心模拟电路设计及抖动优化

在锁相环电路中,随机抖动主要来自压控振荡器。确定性抖动分为周期性抖动和数据相关抖动,可通过优化占空比和电荷泵来改善占空比失真(DCD)和时钟抖动。

### 2.1 全局参考调节电路(Reference)

全局参考调节电路如图 2 所示。该电路为锁相环的各个主要功能模块提供电压偏置或电流偏置,通过压控振荡器控制电压  $V_{ctrl}$  和参考电压  $V_{ref}$  比较产生偏置电压和偏置电流作用于其他模拟模块,且  $V_{ref}$  是  $V_{ctrl}/2$ 。当压控振荡器起振后,控制电压  $V_{ctrl}$  与  $V_{ref}$  电压之间相差较大,产生大电流  $i_{cp}$  对环路滤波器的电容快速充电,环路带宽增大,缩短了捕获时间;当压控振荡器输出频率接近目标频率时, $V_{ctrl}$  与  $V_{ref}$  电压逐渐接近,电流较小,环路带宽减小, $V_{ctrl}$  电压微调,直到控制电压稳定,环路带宽不再调整,环路锁定。通过此电路根据压控振荡器输出频率调整全局参考电流,加速环路带宽调整,大大缩短锁定时间。

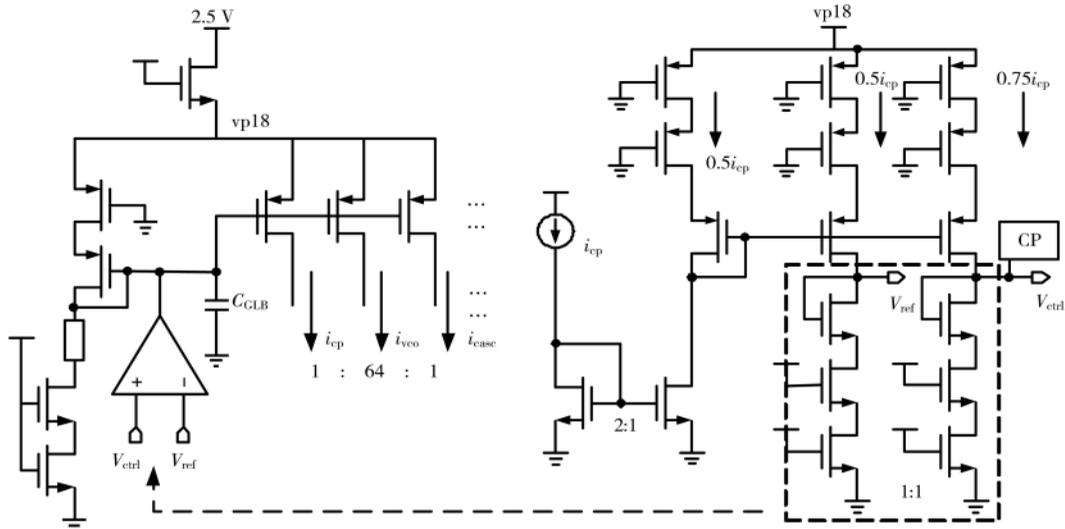


图 2 参考调节电路

### 2.2 双环电荷泵(CP)

双环电荷泵电路以两组开关控制的电流源组成比例路径和积分路径,分别产生电流  $I_{prop}$  和  $I_{int}$ ,且由于电荷泵对噪声敏感,电源噪声会直接影响其电流匹配性,导致环路噪声增大,因此对电荷泵电源采用 LDO 单独供电,其结构如图 3 所示,其中比例路径和积分路径分别由一组固定电流和三组开关控制支路电流组成,开关电流比例为 1:2:4,实现 8 倍可调。根据鉴频鉴相器的输出信号来判断电荷泵对环路滤波器充电或放电。通过配置积分路径和比例路径的电流比例可改变电荷泵增益。采用双环电荷泵结构提高锁相环锁定精度,当锁相环上电后,优先通过比例路径产生大电流对环路滤波器快速充电,加速频率捕获;当锁相环趋于锁定,积分路径对较小的频率和相位信息进行积累,对环路滤波器充电,提高锁定精度。

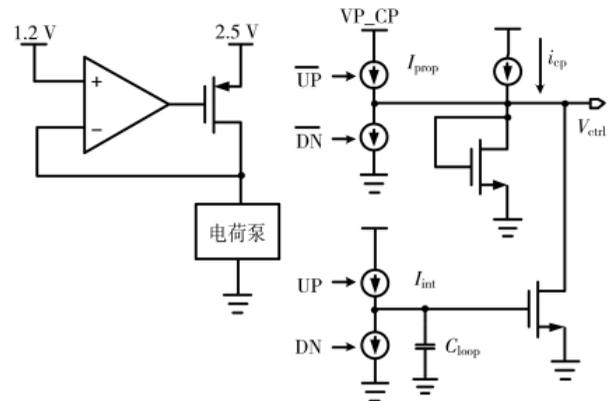


图 3 双环电荷泵电路

### 2.3 压控振荡器(VCO)

压控振荡器电路如图 4 所示。为了提供精确的 8 相时钟输出,压控振荡器采用四级差分输出的环形振荡器,抑制了共模干扰,同时电源电压以 LDO 单独供电,减小了压控振荡器的电源噪声,降低了随机抖动。电路

# 微电子技术 Microelectronic Technology

中引入了 MOS 开关延迟单元，以模拟实际电路寄生情况，同时保证电路具备起振条件。振荡器的电流偏置由电压电流(VI)转换器提供。 $i_{vco}$  是由参考电路提供的压控振荡器总电流，V-I 转换器通过从总电流  $i_{vco}$  中抽取控制电压  $V_{ctrl}$  产生的电流，使提供给 VCO 的电流随控制电压  $V_{ctrl}$  变化，从而实现输出频率调节。

## 2.4 占空比调整(DCC)

占空比调整电路包括滤波电路、比较电路和调整单元电路，如图 5 所示，VCO 输出时钟信号  $clk\_m/clk\_p$  经过滤波转换为直流电压信号  $V_{c,m}/V_{c,p}$ ，利用比较器将输出电压信号与参考信号  $V_{ref}$  比较，其中  $V_{ref}$  是  $V_{dd}/2$ ，经过反相器整形反馈到占空比调整电路输入端，通过不断改变时钟

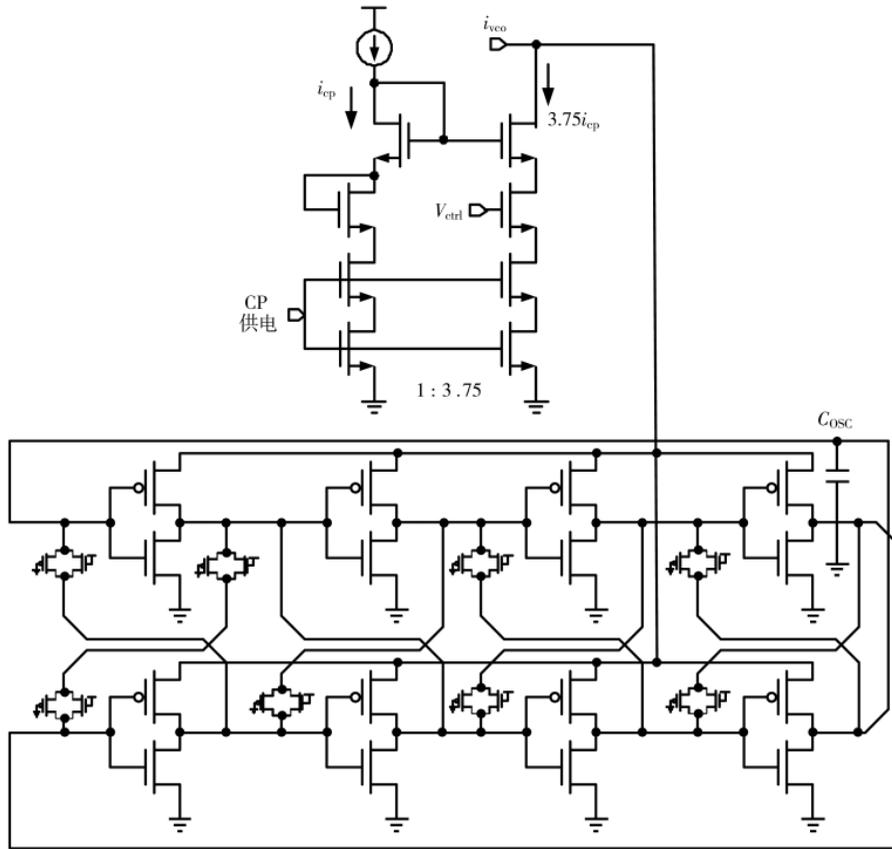


图 4 压控振荡器电路

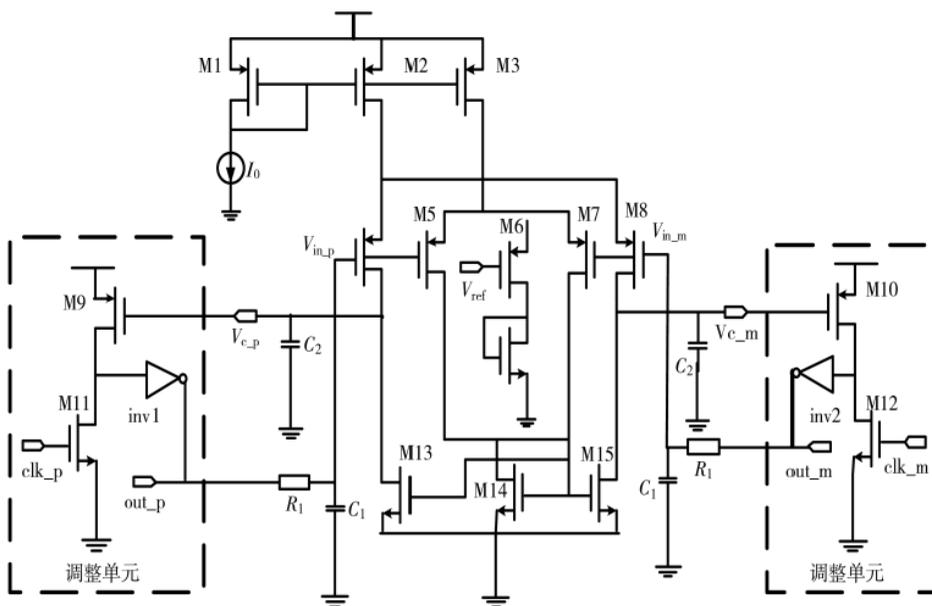


图 5 占空比调整电路

# 微电子技术

Microelectronic Technology

信号的上升时间,调整其占空比,直到直流电压信号与参考电压相等,则反馈信号不变,此时时钟占空比为 50%。

### 3 物理实现及仿真结果

采用 40 nm CMOS 工艺实现,设计时注意差分结构对称走线,对噪声模块和敏感模块分别加保护隔离环,高频信号线尽量短且用屏蔽线进行隔离,差分信号耦合走线,抑制共模噪声,减少信号间相互串扰,其版图如图 6 所示,其面积为  $288 \mu\text{m} \times 330 \mu\text{m}$ 。

时钟抖动是衡量信号质量的重要指标,可直观地从输出时钟眼图中得到抖动数据。从图 7 可以看出 3 GHz 输出时钟抖动 3.48 ps,4 GHz 输出时钟抖动 6.4 ps,输出时钟抖动极小,且锁定时间在  $1 \mu\text{s}$  以内。

### 4 测试结果

测试使用 TEK DTG5334 码型发生器和 Agilent DSA90804 示波器,由于压控振荡器输出频率较高,测试

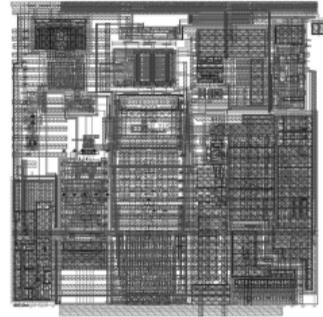
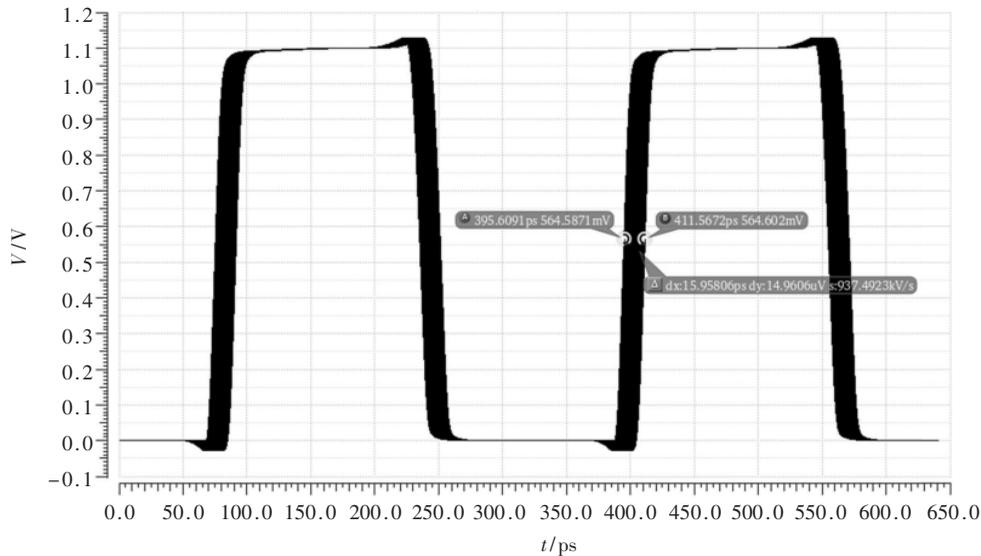
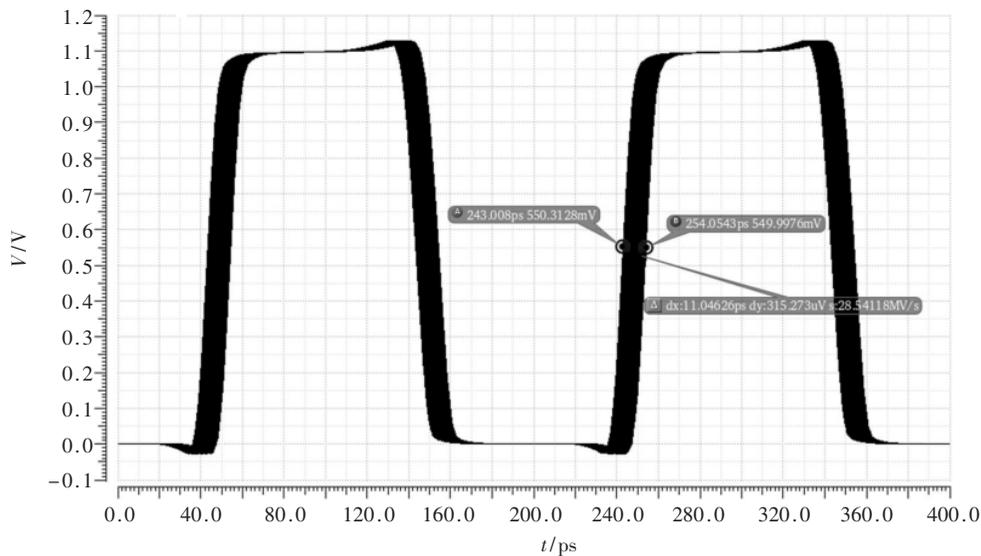


图 6 PLL 版图

锁相环时钟为压控振荡器输出的二分频时钟,测试包含 FC、PCIE、Rapid IO 协议要求的数据率,同时进行了最高振荡频率测试。锁相环最高振荡频率 5 GHz,经二分频电路产生 2.5 GHz 时钟眼图测试结果如图 8 所示,时钟眼图质量良好,总抖动为 39.6 ps。



(a) 锁相环输出 3.125 GHz 时钟眼图



(b) 锁相环输出 5 GHz 时钟眼图

图 7 锁相环输出时钟眼图

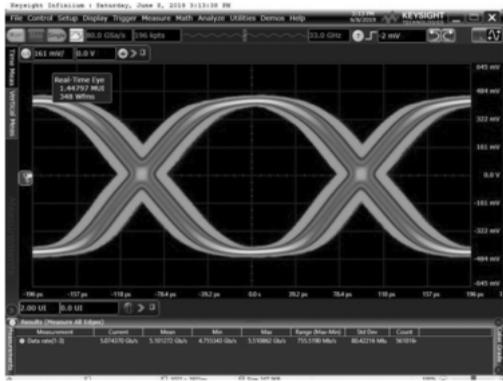


图8 锁相环输出 2.5 GHz 时钟眼图

## 5 结论

本文实现了一种基于 Ring-VCO 结构的宽频带低抖动锁相环,采用与锁相环锁定频率强相关的环路带宽调整方法,即利用全局参考调节电路中比较器模块将锁定控制电压与参考电压比较来改变各模块电流,根据不同锁定频率调整环路参数,大大缩短了锁定时间,同时利用四级差分环形振荡器和占空比调整电路的差分对称结构,并且对敏感模块电源均采用 LDO 单独供电,有效地降低了电源噪声。电路采用 40 nm CMOS 工艺实现,测试结果表明锁相环锁定时间大大缩短,输出频率为 1.062 5 GHz~5 GHz,在时钟频率 5 GHz 下眼图质量良好,时钟抖动为 39.6 ps。

## 参考文献

- [1] ABEDI M, HASANI J Y. A fast locking phase-locked loop with low reference spur[C]. Iranian Conference on Electrical Engineering, 2018: 92-97.
  - [2] HUR C, CHOI Y S, CHOI H H, et al. A low jitter phase-lock loop based on a new adaptive bandwidth controller[J].
- (上接第 34 页)
- 递归模型的文本分类研究[J]. 电子技术应用, 2019, 45(10): 29-32, 36.
  - [9] 李文鹏, 赵俊峰, 谢冰. 基于 LDA 的软件代码主题摘要自动生成方法[J]. 计算机科学, 2017, 44(4): 35-38.
  - [10] 翟娟, 汤震浩, 李彬, 等. 常用循环摘要的自动生成方法及其应用[J]. 软件学报, 2017, 28(5): 1051-1069.
  - [11] 李成龙, 杨冬菊, 韩燕波. 基于分词矩阵模型的模糊匹配查重算法研究[J]. 计算机科学, 2017, 44(S2): 55-60.
  - [12] 李成龙. 云环境下支持模糊匹配的文本查重技术与实现[D]. 北京: 北方工业大学, 2018.
  - [13] 董蕊芳, 柳长安, 杨国田. 一种基于改进 TF-IDF 的 SLAM 回环检测算法[J]. 东南大学学报(自然科学版), 2019, 49(2): 251-258.
  - [14] 王杨, 王非凡, 张舒宜, 等. 基于 TF-IDF 和改进 BP 神经网络的社交平台垃圾文本过滤[J]. 计算机系统应用, 2019, 28(3): 126-132.

IEEE Asia-Pacific Conference on Circuit and Systems, 2004: 421-424.

- [3] AMOURAN M, WHATELY M. A novel switched-capacitor-filter based low area and fast-locking PLL[C]. 2015 Custom Integrated Circuit Conference(CICC), 2015.
- [4] AMOURAN M, KRISHNEGOWDA S, WHATELY M. A novel OTA-based fast lock PLL[C]. Proceeding of the IEEE 2013 Custom Integrated Circuit Conference, 2013.
- [5] LOKE A L S, BARNES R K, WEE T T, et al. A versatile 90-nm CMOS charge-pump PLL for SerDes transmitter clocking[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1894-1907.
- [6] Song Ying, Wang Yuan, Jia Song, et al. An adaptive-bandwidth CMOS PLL with low jitter and a wide tuning range[J]. Journal of Semiconductors, 2008, 29(5): 908-912.
- [7] 丁志钊. 基于 PLL 频率合成器锁相环的降噪技术[J]. 电子测量技术, 2009, 32(5): 44-46.
- [8] MOZHGAN M, Kong Yang C K. Jitter optimization based on phase-locked loop design parameters[C]. 2002 IEEE International Solid-State Circuits Conference, 2002.
- [9] PIALIS T, PHANG K. Analysis of timing jitter in ring oscillators due to power supply noise[C]. Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. (收稿日期: 2019-12-06)

## 作者简介:

刘颖(1988-), 女, 硕士, 工程师, 主要研究方向: 高速串行接口电路设计。

田泽(1965-), 男, 博士, 研究员, 主要研究方向: 集成电路设计、嵌入式系统开发。

吕俊盛(1986-), 男, 博士, 高级工程师, 主要研究方向: 高速串行接口电路设计。

- [15] 叶雪梅, 毛雪岷, 夏锦春, 等. 文本分类 TF-IDF 算法的改进研究[J]. 计算机工程与应用, 2019, 55(2): 104-109.
- [16] 那海洋, 杨庚, 束晓伟. 基于 B<sup>+</sup>树的多关键字密文排序检索方法[J]. 计算机科学, 2017, 44(1): 149-154.
- [17] 杨传慧, 吉根林, 章志刚. AP 算法在图像聚类中的应用研究[J]. 计算机与数字工程, 2012(10): 125-127.
- [18] 代飞, 赵文卓, 杨云, 等. BPMN2.0 编排的形式语义和分析[J]. 软件学报, 2018, 29(4): 1094-1114.
- [19] 代飞, 陈凤强, 莫启, 等. 一种保持编排与参与者间行为一致的映射方法[J]. 软件学报, 2018, 29(5): 1451-1470. (收稿日期: 2019-12-27)

## 作者简介:

赵晓平(1984-), 男, 硕士研究生, 高级工程师, 主要研究方向: 自然语言处理、电网信息化管理和科技创新管理。

马文(1981-), 男, 本科, 高级工程师, 主要研究方向: 自然语言处理、信息化管理和大数据研究及应用。

刘雪萍(1990-), 女, 本科, 工程师, 主要研究方向: 自然语言处理、企业信息化咨询设计。

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所