

## 基于 InP HBT 工艺的 50 Gb/s 1:4 量化降速电路

周浩<sup>1,2</sup>, 张有涛<sup>1,2,3</sup>(1.南京电子器件研究所,江苏南京 210016; 2.南京国博电子有限公司,江苏南京 210016;  
3.微波毫米波单片集成和模块电路重点实验室,江苏南京 210016)

**摘要:** 基于南京电子器件研究所的 0.7  $\mu\text{m}$  InP HBT 工艺设计了一种数据转换速率达到 50 Gb/s 的 1:4 量化降速芯片。该芯片同时将前端高速高灵敏度比较器与一个 1:4 分接器集成到单芯片中,能够直接一次性实现对 2~18 GHz 带宽的模拟输入信号的可靠接收和降速处理,输入信号灵敏度在芯片最高工作速率下达到 1 mV,工作电压 3.3 V,芯片功耗 1.5 W,最高数据转换速率达到 50 Gb/s,输出数据信号与时钟信号幅值均达到 200 mV。

**关键词:** 高速电路;比较器;分接器;树型结构;InP HBT;高灵敏度

中图分类号: TN402

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200006

中文引用格式: 周浩,张有涛. 基于 InP HBT 工艺的 50 Gb/s 1:4 量化降速电路[J]. 电子技术应用, 2020, 46(6): 45-50.

英文引用格式: Zhou Hao, Zhang Youtao. A 50 Gb/s 1:4 quantized speed reduction circuit based on InP HBT process[J]. Application of Electronic Technique, 2020, 46(6): 45-50.

## A 50 Gb/s 1:4 quantized speed reduction circuit based on InP HBT process

Zhou Hao<sup>1,2</sup>, Zhang Youtao<sup>1,2,3</sup>(1.Nanjing Electronic Devices Institute, Nanjing 210016, China; 2.Nanjing GuoBo Electronics Co., Ltd., Nanjing 210016, China;  
3.Science and Technology on Monolithic Integrated Circuits and Modules Laboratory, Nanjing 210016, China)

**Abstract:** Based on the 0.7  $\mu\text{m}$  InP HBT process of Nanjing Electronic Device Research Institute, a 1:4 quantized speed-down chip with a data conversion rate of 50 Gb/s is designed. At the same time, the chip integrates a front-end high-speed and high-sensitivity comparator with a 1:4 demultiplexer, so it is possible to directly achieve reliable reception and speed-down processing of analog input signals with a bandwidth of 2~18 GHz. The sensitivity of the input signal reaches 1 mV at the maximum operating rate of the chip, the operating voltage is 3.3 V, and the chip consumes 1.5 W. The highest data conversion rate reaches 50 Gb/s, and the amplitude of the output data signal and the clock signal reach 200 mV.

**Key words:** high-speed circuits; comparator; demultiplexer; tree structure; InP hetero-junction bipolar transistor; high sensitivity

## 0 引言

对于高速通信系统,量化降速电路在信息传输链路中承担将串行高速信号转换为并行的多路低速信号的任务,是光纤通信系统中的关键电路。此外,在军事应用方面,电子战要求对 2~18 GHz 带宽内的信号能够快速完成全频带的侦查测频,便于实现后期的欺骗干扰等操作。本文将前端高速高灵敏度比较器与 1:4 分接器(DEMUX)电路集中到单芯片中,从而能够直接一次性实现 2~18 GHz 带宽模拟输入信号的接收、降速处理,避免早期的带宽折叠混迭的问题,简化系统实现方案,提高系统关键性能,从而可以作为电子对抗接收机系统的关键部件。

由于 InP 材料具有高特征频率,与其晶格匹配的 InGaAs 外延层的载流子溶度和电子迁移率非常高,非常适用于超过几十吉赫兹的高频领域,而相比于 HEMT、MESFET 等器件,HBT 器件具有较高的线性和直流增益,噪声小,开启电压可通过材料的本征特性和器件设

计加以控制,可重复性好,容易匹配,使纵向器件单位有效面积可流过较高的电流,击穿电压更容易控制。因此 InP HBT 已经成为了微波毫米波领域中非常重要的高速固态器件,具有功率密度和增益高、相位噪声低、线性度好、单电源工作、芯片面积小等特点的 InP HBT 器件已经逐步发展为 MMIC 领域中一个非常有竞争力的技术,目前已被广泛应用于高速光通信系统,如光调制驱动电路、时钟提取、数据恢复、MUX/DEMUX 和光接收机电路。因此本设计中采用来自南京电子器件研究所的 0.7  $\mu\text{m}$  InP HBT 工艺,该工艺的 InP HBT 器件发射极尺寸为 0.7  $\mu\text{m}$ ×10  $\mu\text{m}$ ,截止频率  $f_T$  为 320 GHz。

近年来,随着高速系统的飞速发展,高速分接器的研究取得了重大成果,性能也在逐步提高。从国外来看,在 2002 年,KANO H 等人采用 0.13  $\mu\text{m}$  InP 基 HEMT 工艺,设计出了 50 Gb/s 的 1:4 分接器,在 5.2 V 电源电压下,功耗为 4.7 W<sup>[1]</sup>;在 2003 年,SANO K 等人采用 InP

# 微电子技术 Microelectronic Technology

基 HEMT 工艺,设计出了 50 Gb/s 的 1:4 分接器,在 3.3 V 电源电压下,功耗为 1.42 W<sup>[2]</sup>;在 2003 年, KRISHNAMURTHY K 等人采用 1  $\mu\text{m}$  InP HBT 工艺,设计出了 40 Gb/s 的 1:4 分接器,在 4.2 V 电源电压下,功耗为 3.5 W<sup>[3]</sup>;在 2003 年, ISHII K 等人采用 1  $\mu\text{m}$  InP HBT 工艺,设计出了 50 Gb/s 的 1:4 分接器,在 4.5 V 电源电压下,功耗为 2.6 W<sup>[4]</sup>;在 2003 年, NIELSEN S 等人采用 1  $\mu\text{m}$  InP HBT 工艺,设计出了 43.2 Gb/s 的 1:4 分接器,在 3.3 V 电源电压下,功耗为 3.3 W<sup>[5]</sup>;在 2004 年, SUZUKI T 等人采用 0.13  $\mu\text{m}$  InP HEMT 工艺,设计出了 50 Gb/s 的 1:4 分接器,在 1.5 V 电源电压下,功耗为 490 mW<sup>[6]</sup>;在 2005 年, SANO K 等人采用 InP HBT 工艺,设计出了 80 Gb/s 的 1:4 分接器,在 4.5 V 电源电压下,功耗为 3.25 W<sup>[7]</sup>;在 2006 年, HALLIN J 等人采用 0.4  $\mu\text{m}$  InP HBT 工艺,设计出了 100 Gb/s 的 1:4 分接器,在 3.6 V 电源电压下,功耗为 2.1 W<sup>[8]</sup>;在 2007 年, KARNFELT C 等人采用 0.4  $\mu\text{m}$  InP HBT 工艺,设计出了 100 Gb/s 的 1:4 分接器,在 3.5 V 电源电压下,功耗为 2.1 W<sup>[9]</sup>。相比之下,国内对于分接器的研究还远远落后,数据转换速率还远远低于国外的水平,因此本文所要设计实现的基于 0.7  $\mu\text{m}$  InP HBT 工艺的 50 Gb/s 1:4 分接器具有重要的战略意义和巨大的应用价值。

## 1 芯片设计

### 1.1 整体框图设计

芯片的整体框图设计如图 1 所示,主要包括前端高速高灵敏度比较器、两级 1:2 分接器电路、时钟高频驱动链路以及输入输出缓冲电路。整个芯片的功能是在时钟信号的控制下,将一路高速模拟小信号可靠接收并且转换为四路低速并行数字信号,同时在芯片中加入了一个时钟选择开关电路,可以选择控制最终的时钟输出信号为四分频信号或者八分频信号,便于后级系统针对不同功能的选用。

### 1.2 比较器设计

根据芯片的功能需求,在 1:4 分接器电路前加入一

级高速高灵敏度的比较器,从而提高对于模拟输入信号接收的灵敏度,可以将一定功率范围内的模拟输入信号可靠接收并且转换为内部 1:4 分接器电路所需要的幅度及共模电位,并且将信号的上升下降沿变得足够陡峭,便于后级电路处理<sup>[10]</sup>。比较器的整体电路框图如图 2 所示,主要包括数据信号输入缓冲电路、时钟信号输入缓冲电路、主从锁存器电路(M/S latch)以及输出信号缓冲电路<sup>[11]</sup>。数据输入缓冲电路与时钟输入缓冲电路均采用如图 3 所示的 Cherry-Hooper 结构,通过缓冲电路将数据和时钟信号接收放大,方便后级电路处理,从而使得芯片在微弱的小信号以及高频情况下可以正常工作,考虑到 Cherry-Hooper 结构电路同时具有大带宽且较高增益的特点,从而可以满足前端高速高灵敏度比较器的设计要求。

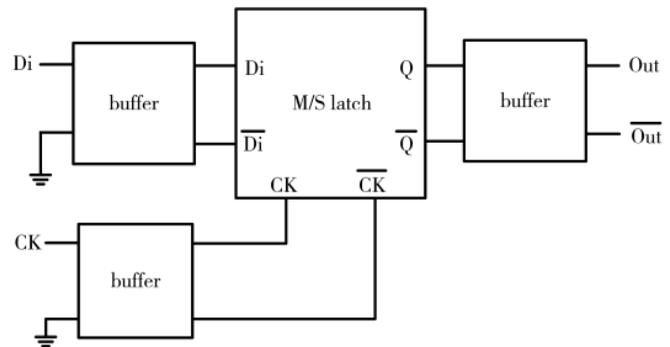


图 2 比较器整体框图

根据仿真结果,前端设计的比较器输入信号灵敏度在 50 GS/s 采样率下为 1 mV,输入信号动态范围为 55.6 dBc,输出信号的幅值大于 150 mV,可以满足后一级 1:4 分接器电路对于输入信号的要求。

### 1.3 高速分接器单元设计

本设计采用树型结构的 1:4 分接器,即以 1:2 分接器单元为核心,通过树形的两级流水线来最终实现 1:4 降速的功能,1:2 分接器核心单元的结构框图如图 4 所示,由 5 个 D 型锁存器构成,其中一条支路由一个包含

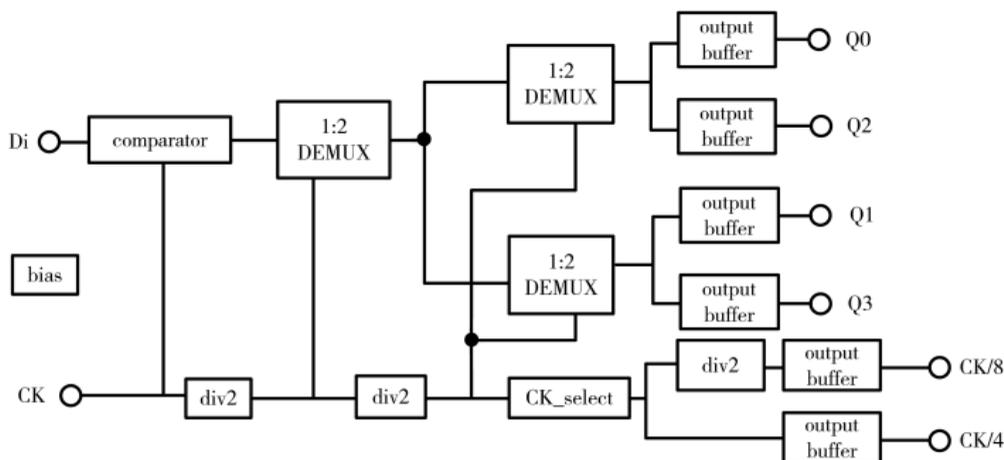


图 1 芯片整体框图

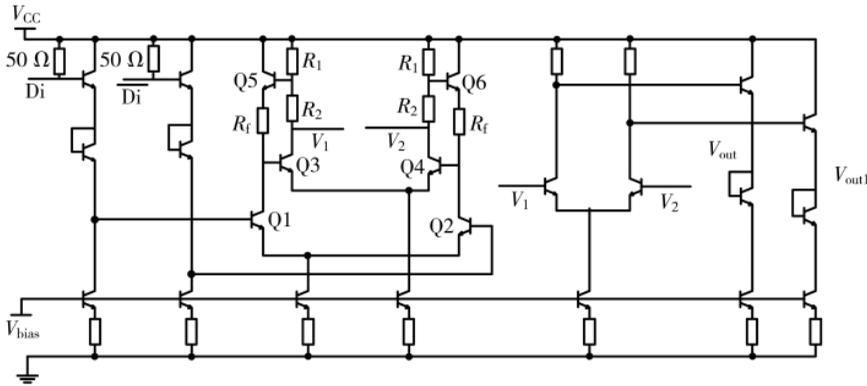


图3 Cherry-Hooper 结构

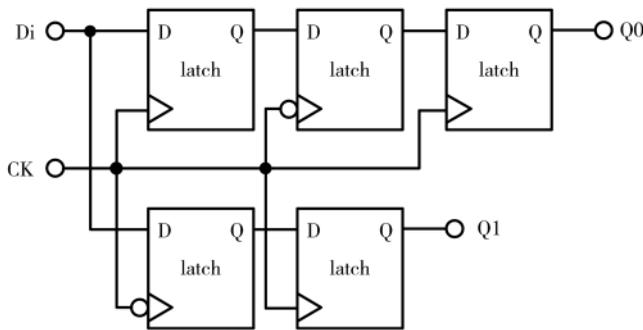


图4 1:2 DEMUX 单元框图

两个D型锁存器的D触发器加上一个D型锁存器构成,另一条支路由一个包含两个D型锁存器的D触发器构成,两条支路的时钟触发沿相反,其中D触发器电路如图5所示。在时钟信号的同步下,上行支路在时钟上升沿将第一个比特数据采样到一路,下行支路在时钟下降沿将第二个比特数据采样到另一路,并且在下一个时钟的上升沿输出两路数据,1:2分接器单元的时序图如图6所示,由时序图可以看出分接器的两路输出数据已经同步,不需要另外的触发器同步,而且时钟频率只有数据频率的一半,降低了电路的设计难度。

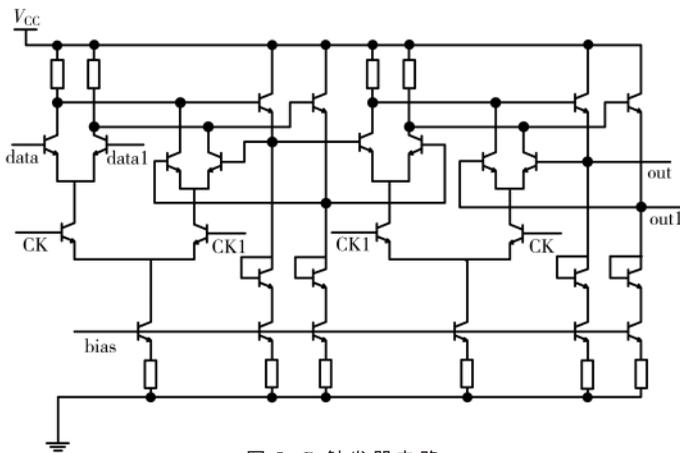


图5 D触发器电路

1.4 分频器电路设计

在树型结构的1:4分接器设计中,二分频器电路的

设计对于整体电路的功能是否能正确实现有着十分关键的作用。在本文的设计中,二分频器采用和分接器同样的触发器结构,即如图5所示,只为了分频器的功能需要改变了电流大小以及负载电阻的大小,通过将触发器输出的差分信号反相接回输入的差分端即可构成一个二分频器。具体结构图如图7所示,其中两个差分结构的D锁存器构成D触发器,将触发器的差分输出信号反相接回输入的差分端,从而实现二分频的功能。

根据仿真结果,第一级高速分频器电路在50GHz高速时钟信号输入下可以正确实现分频功能。

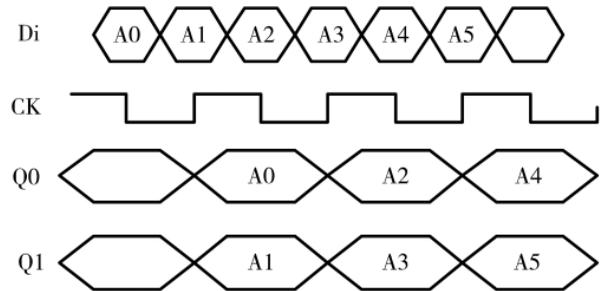


图6 1:2分接器时序波形图

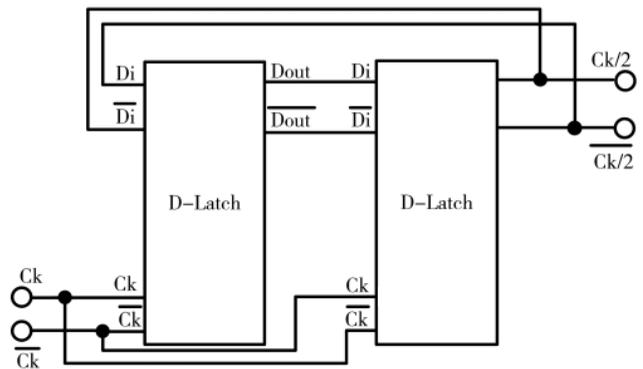


图7 分频器结构

2 结果与讨论

2.1 时钟分频链路仿真结果

由图1芯片整体框图可知,芯片中共包含了三个二分频电路,整个芯片是在时钟信号的控制下来正确实现量化降速功能的,第一级二分频器电路工作在最高速度,将输入的时钟信号二分频后作为第一级1:2分接器的控制信号,同时作为第二级二分频器电路的输入信号,第二级二分频器电路将接收到的时钟信号再次分频后作为第二级两个1:2分接器的控制信号,同时作为最后一级二分频器的输入信号,通过时钟选择开关来控制最后一级二分频器电路是否工作,即最终输出四分频时钟信号还是八分频时钟信号,方便后级系统选用。使用ADS进行原理图仿真,在整个仿真过程中,给出的所有输出

结果均为带有后级负载的结果。

仿真过程中,对于时钟链路,单端输入时钟信号为频率 50 GHz,幅值 150 mV 的正弦波,如图 8 所示。输入时钟信号经过时钟输入缓冲电路后,进入第一级二分频电路,得到时钟输出差分信号如图 9 所示,信号峰峰值为 107 mV,频率 25 GHz,第一级二分频电路输出的时钟信号同时进入第一级 1:2 分接器电路以及第二级二分频电路,以上仿真结果为带有相应负载情况下的结果。第二级二分频电路输出时钟差分信号如图 10 所示,信号峰峰值为 240 mV,频率 12.5 GHz,第二级二分频电路输出的时钟信号同时进入第二级两个 1:2 分接器电路以及在时钟选择开关控制下进入第三级二分频电路或

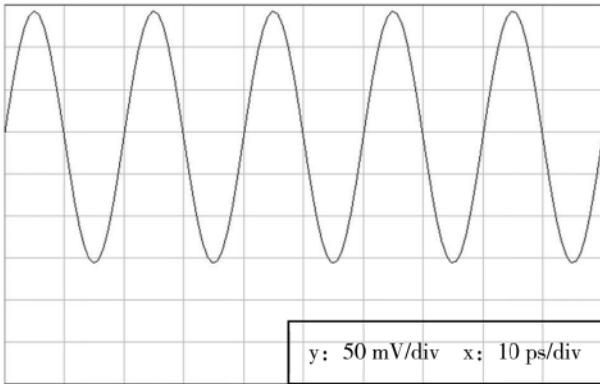


图 8 输入时钟信号

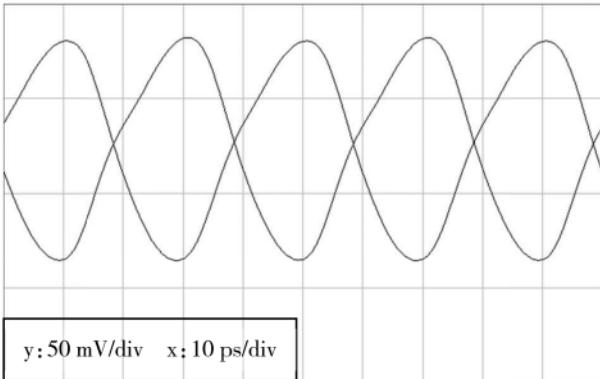


图 9 第一级分频电路输出时钟差分信号

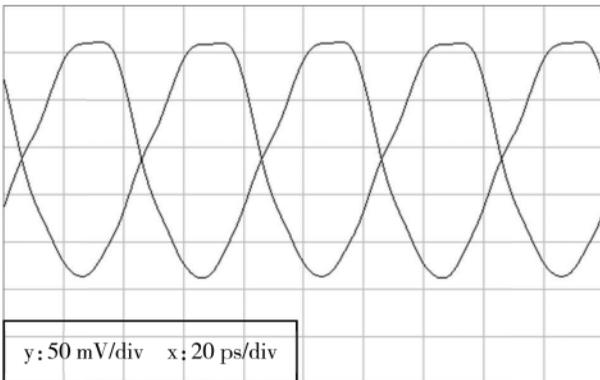


图 10 第二级分频电路输出时钟差分信号

输出缓冲电路,以上仿真结果为带有相应负载情况下的结果。当时钟选择开关逻辑为关时,第二级二分频电路输出的时钟信号直接进入输出缓冲电路,最终输出四分频时钟信号,如图 11 所示,信号峰峰值为 413 mV,频率 12.5 GHz;当时钟选择开关逻辑为开时,第二级二分频电路输出的时钟信号进入第三级二分频电路再通过时钟缓冲电路,最终输出八分频时钟信号,如图 12 所示,信号峰峰值为 403 mV,频率 6.25 GHz。根据原理图仿真结果,芯片中的时钟分频驱动链路功能正常实现,能够驱动分接器电路正确实现降速功能。

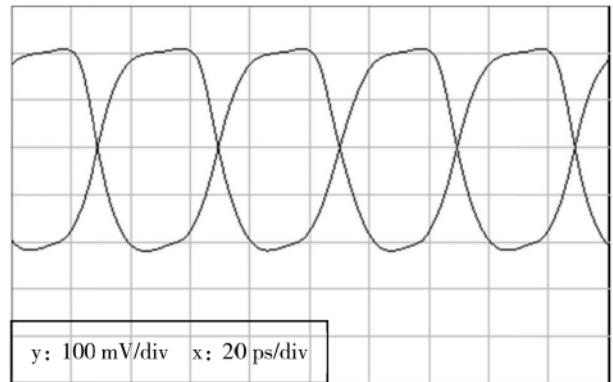


图 11 终端输出四分频时钟差分信号

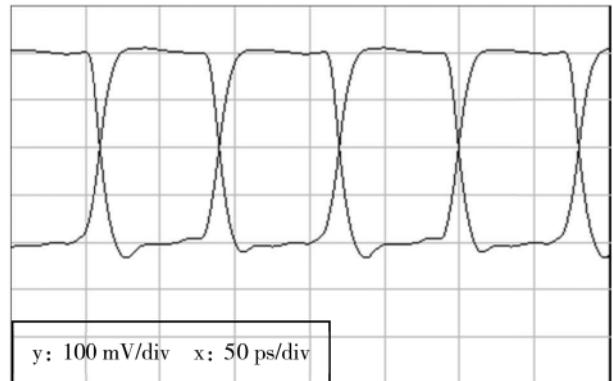


图 12 终端输出八分频时钟差分信号

## 2.2 分接器电路仿真结果

芯片采用双边沿采样模式,对于分接器来说,为了能够可靠地完成数据采集,理想情况下时钟信号的触发沿要对准数据的中点,从而确保充足的建立时间和保持时间,从图 6 中的时序波形图也可以看出这一点。在仿真过程中,单端输入正弦波数据信号,经过比较器电路后进入 1:2 分接器。单端输入频率为 25 GHz,幅值 1 mV 的正弦波数据信号,以及频率为 50 GHz,幅值 150 mV 的正弦波时钟信号,经过比较器后作为第一级 1:2 分接器的输入信号,如图 13 所示,数据信号峰峰值为 232 mV,时钟信号的触发沿已经对准了数据中点,可以正确完成数据采集,证明芯片在最高工作速率下可以达到 1 mV 的灵敏度。

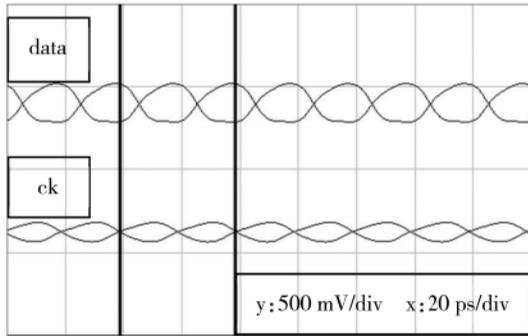


图 13 第一级 1:2 分接器输入信号

为了仿真验证整体 1:4 分接器的功能是否正常实现,单端输入频率为 6.25 GHz,幅值 1 mV 的正弦波数据信号,以及频率为 50 GHz,幅值 150 mV 的正弦波时钟信号进行瞬态仿真,即相当于输入数据信号为 11110000...,经过第一级 1:2 分接器后输出两路 11001100...的信号,再经过第二级两个 1:2 分接器后最终输出四路 1010...的信号,从而可以通过仿真结果进行验证。整体 1:4 分接器的输入信号如图 14 所示,在时钟分频驱动链路的控制下,最终输出四路并行信号,单路输出信号如图 15 所示,信号峰峰值为 404 mV,且符合理论分析输出为 1010...的信号,证明芯片 1:4 降速功能正确实现。

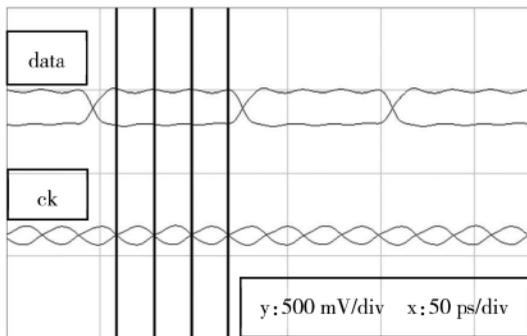


图 14 1:4 分接器整体输入信号

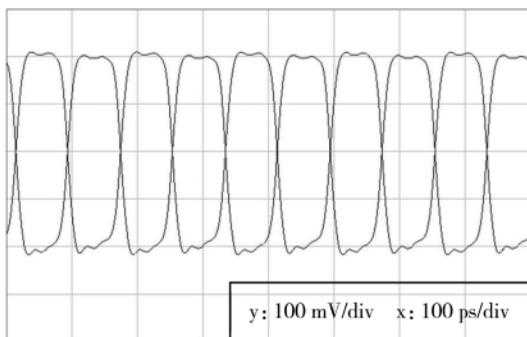


图 15 1:4 分接器输出信号

### 2.3 版图设计

芯片最终版图设计如图 16 所示,选择南京电子器件研究所 0.7  $\mu\text{m}$  InP HBT 工艺进行流片,芯片尺寸为 1  $\mu\text{m}$  × 2  $\mu\text{m}$ ,采用 3.3 V 电源供电,芯片功耗 1.6 W。

《电子技术应用》2020 年 第 46 卷 第 6 期

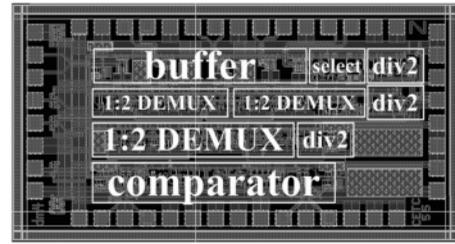


图 16 芯片版图设计

### 3 结论

本文基于 0.7  $\mu\text{m}$  InP HBT 工艺设计了 50 Gb/s 的 1:4 量化降速芯片,将前端高速高灵敏度比较器与 1:4 分接器集成到单芯片中,可以直接一次性实现对于 2~18 GHz 带宽模拟输入信号的接收、降速处理,同时加入时钟选择开关,可以选择控制输出时钟信号模式,方便后续系统选用。仿真结果显示,整体芯片的功能在时钟信号的分频驱动下正确实现,可以将一定动态范围内的模拟输入信号可靠接收并降速为四路并行信号输出,输入信号灵敏度 1 mV,最高数据转换速率达到 50 Gb/s,电源 3.3 V 条件下功耗为 1.5 W,输出时钟信号与数据信号幅值均达到 200 mV。

### 参考文献

- [1] KANO H, SUZUKI T, YAMAURA S, et al. A 50-Gbit/s 1:4 demultiplexer IC in InP-based HEMT technology[C]. 2002 IEEE MTT-S International Microwave Symposium Digest, 2002.
- [2] SANO K, MURATA K, KITABAYASHI H, et al. 1.4-W 50-Gbit/s InP HEMT 1:4 demultiplexer IC with a multi-phase clock architecture[C]. IEEE MTT-S International Microwave Symposium Digest, 2003.
- [3] KRISHNAMURTHY K, VETURY R, Xu Jian, et al. 40 Gb/s TDM system using InP HBT IC technology[C]. IEEE MTT-S International Microwave Symposium Digest, 2003.
- [4] ISHII K, NOSAKA H, IDA M, et al. 4-bit multiplexer/demultiplexer chip set for 40-Gbit/s optical communication systems[C]. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2003.
- [5] NIELSEN S, YEN J C, SRIVASTAVA N K, et al. A fully integrated 43.2-Gb/s clock and data recovery and 1:4 demux IC in InP HBT technology[C]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2341-2346.
- [6] SUZUKI T, TAKAHASHI T, MAKIYARNA K, et al. Under 0.5W 50Gb/s full-rate 4:1 MUX and 1:4 DEMUX in 0.13um InP HEMT technology[C]. 2004 IEEE International Solid-State Circuits Conference, 2004.
- [7] SANO K, FUKUYAMA H, MURATA K, et al. Up to 80-Gbit/s operations of 1:4 demultiplexer IC with InP HBTs[C]. IEEE Compound Semiconductor Integrated Circuit Symposium, 2005.

[8] HALLIN J, KJELLBERG T, SWAHN T. A 100-Gb/s 1:4 demultiplexer in InP DHBT technology[C]. 2006 IEEE Compound Semiconductor Integrated Circuit Symposium, 2006.

[9] KARNFELT C, HALLIN J, KJELLBERG T, et al. Flip-chip mounted 1:4 demultiplexer IC in InP DHBT technology operating up to 100 Gb/s[C]. 2007 European Microwave Conference, 2007.

[10] 唐霆宇. 一种小型化超宽带接收前端的设计与实现[J].

电子技术应用, 2019, 45(6): 11-14.

[11] 孙帆, 黄海波, 卢军, 等. 一种新型的 12 位 SAR ADC 设计[J]. 电子技术应用, 2019, 45(11): 36-41.

(收稿日期: 2020-01-02)

作者简介:

周浩(1995-), 男, 硕士研究生, 主要研究方向: 超高速 InP 集成电路设计。

张有涛(1979-), 男, 博士, 高级工程师, 主要研究方向: 混合信号集成电路设计。



(上接第 39 页)

zero cancellation for multistage amplifiers[C]. International Conference on Microelectronics, 2007.

[6] SANSEN W M C. 模拟集成电路设计精粹[M]. 陈莹梅, 译. 北京: 清华大学出版社, 2007.

[7] Fan Xiaohua, MISHRA C, SANCHEZ-SINENCIO E. Single Miller capacitor frequency compensation technique for low-power multistage amplifiers[J]. IEEE Journal of Solid-State Circuits, 2005, 40(3): 584 - 592.

[8] TAN M, KI W H. A cascode Miller-compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control[J]. IEEE Journal of Solid-State Circuits,

2015, 50(Z): 440 - 449.

(收稿日期: 2019-12-15)

作者简介:

和雨(1995-), 女, 硕士研究生, 主要研究方向: 模拟集成电路设计。

肖知明(1983-), 男, 博士, 研究员, 主要研究方向: 电源管理、模拟/射频集成电路设计。

王宇(1996-), 女, 硕士研究生, 主要研究方向: 模拟集成电路设计。

胡伟波(1982-), 通信作者, 男, 博士, 研究员, 主要研究方向: 模/数、数/模转换器、无线感知芯片和系统实现, 第三代半导体, 生物芯片。



(上接第 44 页)

tions on Very Large Scale Integration Systems, 2018, 26(3): 470-483.

[8] NOGUCHI H, TAKEDA S, NOMURA K, et al. Variable nonvolatile memory arrays for adaptive computing systems[C]. International Electron Devices Meeting (IEDM), 2013.

[9] Kang Wang, Wang Haotian, Wang Zhaohao. In-memory processing paradigm for bitwise logic operations in STT-MRAM[J]. IEEE Transactions on Magnetics, 2017, 53(11).

[10] PATTERSON D, ANDERSON T, CARDWELL N, et al. A case for intelligent RAM[J]. IEEE Micro, 1997, 17(2): 34-44.

[11] LEE H, ALZATE J G, DORRANCE R, et al. Design of a fast and low-power sense amplifier and writing circuit for high-speed MRAM[J]. IEEE Transactions on Magnetics, 2014, 51(5): 1-7.

[12] DONG Q, WANG Z, LIM J, et al. A 1 Mb 28 nm STT-MRAM with 2.8 ns read access time at 1.2 V VDD using single-cap offset-cancelled sense amplifier and

in-situ self-write-termination[C]. IEEE International Solid-state Circuits Conference, 2018.

[13] NA T, KIM J, KIM J P, et al. Reference-scheme study and novel reference scheme for deep submicrometer STT-RAM[J]. IEEE Transaction on Circuits System I, 2014, 23(4): 3376-3385.

[14] ZHAO W S, CHAPPERT C, JAVERLIAC V, et al. High speed, high stability and low power sensing amplifier for MTJ/CMOS hybrid logic circuits[J]. IEEE Transaction on Magnetics, 2009, 45(10): 3784-3787.

[15] 周永亮. 基于 65 nm SRAM 的低失调自启动灵敏放大器的分析与设计[D]. 合肥: 安徽大学, 2017.

(收稿日期: 2020-02-14)

作者简介:

陆楠楠(1990-), 男, 硕士研究生, 主要研究方向: 新型存储器电路设计。

王少昊(1981-), 男, 博士研究生, 副教授, 主要研究方向: 非线性光学、光子集成电路、新型存储器电路设计。

黄继伟(1976-), 通信作者, 男, 博士研究生, 副教授, 主要研究方向: 射频、模拟集成电路、MEMS 技术。

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所