

基于 SVA 的 AFDX 网络 MAC IP 核功能验证*

阎芳^{1,2,3}, 李翔^{2,3}, 徐双平^{2,3}, 范毓洋^{1,2,3}, 田毅^{1,2,3}

(1.中国民航大学 天津市民用航空器适航与维修重点实验室, 天津 300300;

2.中国民航大学 民航航空器适航审定技术重点实验室, 天津 300300; 3.中国民航大学 适航学院, 天津 300300)

摘要:近年来, 机载 SoC 设计复杂度的不断提升使得集成 IP 核的应用越来越广泛, 如何高效和准确地对 IP 核进行功能验证成为目前航空领域的实际需求。采用 SVA 对 AFDX 网络 MAC IP 核搭建层次化验证平台, 将断言与待测设计的关键点处进行绑定, 并在验证平台中插入断言对测试激励的时序性和完整性进行检查, 通过覆盖率统计评估验证的完整性。测试结果表明, 采用 SVA 的验证平台可以在需要检查的功能点发生错误时更快、更清晰地定位出错误源, 提高了对机载 SoC 中 IP 核功能验证的高效性和准确性。

关键词: SVA; 功能验证; IP 核; AFDX

中图分类号: TP393

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.191349

中文引用格式: 阎芳, 李翔, 徐双平, 等. 基于 SVA 的 AFDX 网络 MAC IP 核功能验证[J]. 电子技术应用, 2020, 46(7): 70-73, 77.

英文引用格式: Yan Fang, Li Xiang, Xu Shuangping, et al. Function verification of AFDX network MAC IP core based on SVA[J]. Application of Electronic Technique, 2020, 46(7): 70-73, 77.

Function verification of AFDX network MAC IP core based on SVA

Yan Fang^{1,2,3}, Li Xiang^{2,3}, Xu Shuangping^{2,3}, Fan Yuyang^{1,2,3}, Tian Yi^{1,2,3}

(1.Civil Aircraft Airworthiness and Repair Key Laboratory of Tianjin, Civil Aviation University of China, Tianjin 300300, China;

2.Key Laboratory of Civil Aircraft Airworthiness Technology, Civil Aviation University of China, Tianjin 300300, China;

3.College of Airworthiness, Civil Aviation University of China, Tianjin 300300, China)

Abstract: In recent years, with the increasing complexity of airborne SoC design, the application of integrated IP core has become more and more extensive. Therefore, how to effectively and accurately verify the functions of IP core has become a practical requirement in the aviation field. SVA was used to build a hierarchical verification platform for MAC IP core of AFDX network. Binding the assertions to the key points in the design under tested and inserting assertions into the verification platform could check the timing and integrity of test excitation. Then, coverage statistics were used to assess the completeness of the validation. The test results showed that the verification platform using SVA could locate the error source faster and more clearly when the error occurred at the function point that needed to be checked. That improved the efficiency and accuracy of IP core function verification in airborne SoC.

Key words: SVA; functional verification; IP core; AFDX

0 引言

机载电子系统对信息传输能力和实时通信性能的需求不断提高, 机载 SoC 设计的复杂度也随之不断提高, 在设计中集成 IP 核能够减少设计复杂度, 提高工作效率^[1]。近年来对 AFDX 网络的研究多在系统级测试上^[2-3], 但是当机载电子硬件出现问题时无法及时地定位出故障点, 根据 DO-254 的要求, 验证机载 SoC 设计的符合性是机载电子硬件研制过程中的关键技术之一, 而如何高效和准确地对机载 SoC 中的 IP 核进行功能验证成为

目前机载 SoC 验证的关键问题^[4]。

文献[5]机载 IP 软核的适航符合性验证方法研究, 采用 SystemVerilog 语言搭建约束随机验证平台对 PCI 总线接口 IP 核进行验证, 通过代码覆盖率及功能覆盖率数据完成功能验证。该验证平台只进行了定向测试, 并未进行健壮性组合测试, 随着机载 SoC 设计复杂度越来越高, 验证平台承担的任务越来越多, 而且验证平台中发生器产生测试激励的时序性无法保证, 不能直接用于 AFDX 网络 MAC IP 核的功能验证。文献[6]基于断言的 Compact_PCI 总线 IP 核功能验证, 提出一种基于断言的监视器组件设计方法, 将 IP 核接口信号时序的断言、覆

* 基金项目: 中央高校基本科研业务费项目(3122018D033); 中央高校基本科研业务费资助项目(201903)

微电子技术 Microelectronic Technology

盖率统计的断言封装为监视器组件,但是其并未设计参考模型,缺乏硬件模拟的任务,缺少了验证的整体检查。文献[7]基于断言的形式化验证与 UVM 的综合应用中,使用基于断言的 UVM 验证方法对待测设计 DUT 进行验证,采用将断言模块与设计绑定方式的黑盒验证,但是黑盒验证测试失败时无法更深层次地定位问题,所以采用灰盒验证的方式将监视器、断言、参考模型一同用来完善验证。

本文采用搭建基于 SVA 的层次化验证平台对 AFDX 网络的 MAC IP 核进行功能验证,在验证平台中的生成器和驱动器插入断言来保证测试激励的时序性和顺序性,在 DUT 接口处和内部关键点处插入断言来保证数据的完整性,将这些断言封装成断言 IP 放在验证环境中,提高了验证的可观测性,并且在覆盖率达不到要求时能够快速找出设计中的功能缺陷点。通过在生成器中对健壮性测试进行组合设计,提高了验证平台的可重用性,缩短了验证周期,提高了验证效率。

1 基于 SVA 的层次化验证平台实现

1.1 SystemVerilog Assertion

传统的断言可以很容易地实现一些检查,但是不能很好地控制时序,维护性和完备性差。SystemVerilog Assertion(SVA)作为一种描述性语言,可以完美地描述跟时序相关的状况^[8],着重处理在测试平台中被分散在不同部分中关于协议的检验和覆盖。SVA 在验证平台中使用,通过与设计信号交互建立高效的交互测试平台环境。将采用 SVA 的断言封装为单独的模块绑定设计模块上,保持了设计和验证代码的独立性,同时也提高了断言的复用性。将 SVA 绑定在不同功能点的源码中,能够快速和准确地检查出设计中的功能缺陷点。

1.2 断言 IP 的创建过程

要创建断言 IP 一般要按照 4 个步骤进行:

- (1)列出待测设计和验证组件的接口信号;
- (2)简要描述待测模块验证组件的功能;
- (3)根据主要功能设置关键的功能检查点,用 SVA 描述出来;

- (4)将断言封装成断言 IP,绑定在待测模块和验证组件接口处。

在步骤(4)中将断言封装成断言 IP,不仅对 DUT 输入、输出数据的时序性和顺序性进行检查,还对 DUT 内部的一些关键的功能检查点进行检测,这样更方便定位出验证中出现错误的位置。如图 1 所示,将断言 IP 同时设置在 DUT 内部和验证平台中,无论是在 DUT 的输入端、输出端还是 DUT 内部的关键点出错,断言 IP 都能及时地给出相应的提示信息。

1.3 基于 SVA 的层次化验证平台的设计

本文采用的是层次化验证平台,整个验证环境由 5 个层次构成^[9],自下而上依次为信号层、命令层、功能层、场景层和测试层。如图 1 所示,验证平台的顶层为测试层,

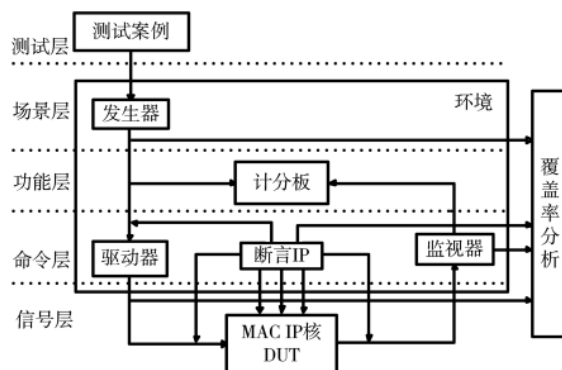


图 1 基于 SVA 的层次化验证平台

根据验证计划制定测试案例;场景层由发生器构成,根据不同的测试案例生成不同的测试激励;功能层由计分板构成,计分板中使用参考模型用来模拟 DUT,将发生器产生的测试激励输入到参考模型后,通过与 DUT 输出的数据进行比较,从而得出 DUT 的工作状态是否符合预期;命令层由驱动器、断言 IP 和监视器组成,驱动器根据不同的测试类型将测试激励驱动到 DUT 中。断言 IP 用来检测与 DUT 接口处和 DUT 内部关键点的信号。监视器将 DUT 输出结果收集起来发送到计分板中与参考模型的数据进行对比;最底层信号层中的 MAC IP 核接收驱动器中传输过来的数据包,并将输出数据发送到监视器中。

本文将基于 SVA 的断言 IP 通过以模块等形式与 DUT 进行绑定,保证了设计与验证的独立性。采用已经被验证过的断言库,只需要例化、配置,就可以构建自己需要的断言,从而增强了断言的可重用性,提高了验证效率,所以要采用断言 IP 的思想。

2 AFDX 网络 MAC IP 核简介

在最新一代的波音 B787、空客 A380 飞机上,多采用 AFDX 总线进行通信。根据 ARINC664 Part7 规范^[10],设计 AFDX 网络 MAC IP 核,在 AFDX 交换机和端系统中实现 AFDX 网络中对 MAC 层协议的要求,并将其 IP 化,便于复用。AFDX 网络 MAC IP 核采用自顶向下的模块化设计,设计框图如图 2 所示。

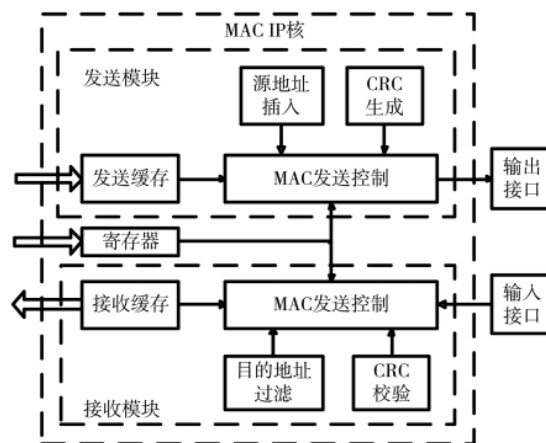


图 2 AFDX 网络 MAC IP 核设计框图

微电子技术

Microelectronic Technology

AFDX 网络 MAC IP 核的功能具体包括:(1)从上位机接收的数据进行 CRC 校验,并将帧校验序列封装在数据帧后面;(2)发送时添加 MAC 源地址和 MAC 目的地址到数据帧中;(3)将封装好的数据帧发送到物理层;(4)在发送时为帧加上前导码和帧起始标志符;(5)对长度不足的帧会产生填充部分;(6)接收时抛弃掉与目的地址不匹配的帧;(7)10/100 Mb/s 模式下,可以工作在全双工方式下。

3 AFDX 网络 MAC IP 核的验证实例

对 IP 核的功能验证主要包括四个方面:根据验证计划制定测试案例、断言 IP 的设计、基于 SVA 的层次化验证平台搭建和覆盖率分析。本节描述了断言 IP 的设计与实现、健壮性测试中错误的插入、断言覆盖率和功能覆盖率的收集。

3.1 测试案例的设计

由于 AFDX 网络应用于民用航空领域,因此需要将测试激励分为正常测试(Normal Test)和健壮性测试(Robustness Test)。正常测试包括复位、数据完整性、时序和常规检查;健壮性测试包括异常和协议检查。先进行正常测试,通过断言和功能覆盖率分析判断 DUT 的功能是否符合预期;然后进行健壮性测试,根据不同异常情况的触发来判断 DUT 的响应是否正确。

如表 1 所示,测试案例分为正常测试和健壮性测试两种,正常测试中包含直接测试和随机测试,增强了验证的完备性。

表 2 以 RobustnessTest2 测试案例为例,说明了测试案例的具体编写方法。

3.2 验证平台中的断言 IP

传统的测试是一条测试案例对应一条需求进行测试,本文采用的是多条测试案例按顺序进行配置,一次测试多条需求,提高了验证的效率。验证平台中需要在

表 1 测试案例列表

测试案例	测试案例描述
NormalTest1	发送 10 Mb/s 速率数据包测试
NormalTest2	发送 100 Mb/s 速率数据包测试
NormalTest3	发送最短帧数据包有序测试
NormalTest4	发送最长帧数据包有序测试
NormalTest5	发送正常帧数据包无序测试
RobustnessTest1	发送错误目的地址的测试
RobustnessTest2	发送错误 CRC 数据的测试
RobustnessTest3	发送 150 Mb/s 速率数据包测试
RobustnessTest4	发送极短帧数据包测试
RobustnessTest5	发送极长帧数据包测试

生成器和驱动器两个地方插入断言;验证环境采用的是可重配置的层次化验证平台,所以对每一条测试案例都设置相应的配置信号,提高了验证平台的可重用性,但是如果连续地运行很多条测试案例的时候就需要对配置信号进行断言,以确保生成器能产生该条测试案例期望的测试激励,通过断言确保了配置信号的时序性和正确性;驱动器负责将测试激励输入到待测设计中,由于 AFDX 网络对数据帧有顺序号的完整性检查,因此需要对测试激励输入的时序性和顺序性进行检查,确保待测设计实现既定的功能,提高了验证的完备性。

在验证平台生成器和驱动器中插入断言,并对断言进行收集可以在参考模型中自动对比数据出现错误的时候,快速地定位出是验证组件还是待测设计的问题,便于回归测试的进行,提高了验证效率。

3.3 DUT 中的断言 IP

MAC IP 核内部和接口处中有几个关键点需要检查,通过将断言 IP 绑定的方式放置在模块与模块连接的接口处来监视,出现异常时就会报错,大大缩短了验证中定位错误位置的时间。

表 2 发送最短帧数据包健壮性测试测试案例

项目	内容
测试案例	RobustnessTest2
描述	向 IP 核中发送 CRC 错误的数据包直接测试
测试步骤	复位 DUT; 发送 CRC 正确的单个数据包; 1 000 ms 后发送 CRC 错误的 5 个连续的数据包
输入数据	帧长为 64 B 的数据包,每个时钟周期发送 4 bit 数据; 前导码为 7 B 的 5; 起始符为 1 B 的 555d; MAC 目的地址为 6 B 的 1; MAC 源地址为 6 B 的 0; 类型为 2 B 的 0888; 数据域为 46 B~1 500 B 的 5; 错误的 4 B 的 CRC32 校验码
预期结果	CRC 正确的单个数据包:监视器中能抓到去掉前导码和起始符,位宽为 8 bit 的串行数据,计分板显示通过测试,且未发生断言失败。CRC 错误的 5 个数据包:监视器中抓不到任何数据,断言覆盖率未达到 100%

微电子技术 Microelectronic Technology

(1)在寄存器与发送控制模块和接收控制模块处设置断言。寄存器负责将配置信息输出到发送控制模块和接收控制模块,断言可以确保寄存器输出正确的配置信号。

(2)在发送缓存与发送控制模块和接收缓存与接收控制模块处设置断言。由于AFDX网络的工作模式是全双工,因此与上层数据进行交互时断言可以确保数据的时序性和顺序性。

(3)在输入接口模块和输出接口模块处设置断言。由于AFDX网络的帧格式是从以太网衍生过来的,因此在接口处的输入和输出数据是以数据包的形式进行传输,在此处设置断言可以确保数据包的完整性,提高了接口数据的可观则性,提高了验证的效率。

3.4 健壮性测试中错误的插入

由于期望设计的输入是完全可预料、格式正确的数据,在仿真环境中,这种情况是可以做得到的,但是在实际情况中却难以保证。除了正常的功能,很好地处理异常情况是设计健壮性的指标之一。

本文所采用的方案通过将错误注入细节封装在"error_injector"对象中而提高了可重用性。error_injector类定义了错误数据的类型,根据测试案例的不同transaction调用不同的error类型函数,然后采用struct进行组包,最后将错误帧发送给driver,driver按照正常帧的方式发送给DUT,即driver不需要知道注入错误的类型,因而新的错误注入可以不用改变driver的代码而被定义。

```
class error_injector extends chnl_trans;
...
function new(string name = "error_injector")
    this.name = name;
endfunction
function void crc_inject();
    crc_32 = ~crc_32;
endfunction
...
endclass
```

如上所示,error_injector类继承了chnl_trans类,并内置CRC错误函数,以便于调用进行组帧。本文采用的这种健壮性测试中错误的插入方式可以将错误细节封装在测试环境的外面,便于错误场景的添加与评估,提高了验证平台可重用性。

3.5 断言覆盖率和功能覆盖率的收集

验证平台中的覆盖率收集包括对断言覆盖率和功能覆盖率的收集,断言覆盖率是在断言后使用cover语句来实现收集,功能覆盖用来按照设计规范衡量验证的状态,分为协议覆盖和测试计划覆盖,协议覆盖上使用交叉覆盖点,并通过使用binsof的结构筛选出需要的交叉项的组合,缩减交叉分组柜的产生,提高仿真效率;测试计划覆盖用于验证平台中各组件的功能覆盖点来进行收集。

本文所采用的验证平台使用的仿真工具是Mentor Graphics公司的QuestaSim10.6c,在对RobustnessTest2测试案例进行仿真后得出图3所示的覆盖率统计。如图所示有3个断言失败可以得出在CRC错误的帧进入DUT后不会有数据的输出,所以断言失败,而之前CRC正常的数据帧触发了断言,通过断言覆盖率和功能覆盖率的分析表明这条健壮性测试案例通过验证。

Weighted Average:				95.91%
Coverage Type	Bins	Hits	Misses	Coverage (%)
Directive	20	20	0	100.00%
Statement	489	486	3	99.38%
Branch	476	472	4	99.15%
UDP Expression	35	35	0	100.00%
UDP Condition	77	77	0	100.00%
FEC Expression	21	21	0	100.00%
FEC Condition	55	55	0	100.00%
FSM State	76	76	0	100.00%
FSM Transition	181	128	53	70.71%
Assertion Attempted	24	24	0	100.00%
Assertion Passes	24	24	0	100.00%
Assertion Failures	24	3	-	12.50%
Assertion Successes	24	21	3	87.50%

图3 RobustnessTest2测试案例覆盖率统计

4 结论

本文以AFDC网络MAC IP核的验证为例,介绍了基于SVA层次化验证平台的实现,根据协议设计断言IP,将其应用在层次化验证平台中,通过灰盒验证的方法完成了对AFDX网络MAC IP核有效的功能验证。该验证环境在Questasim中实现了测试激励的随机化组合、参考模型中数据与DUT输出的数据进行自动对比及采用SVA对DUT内部数据进行时序检查,做到了可重用验证,功能和断言覆盖率达到要求,证明了基于SVA的断言IP可以应用于航空电子验证方向,从而为机载SoC的功能验证提供了参考。

参考文献

- [1] SCHWIERZ A, FORSBERG H. Assurance case to structure COTS hardware component assurance for safety-critical avionics[C]. 2018 IEEE/AIAA 37th Digital Avionics Systems Conference (DASC), 2018.
- [2] 苗佳旺, 乔飞, 盖峰. AFDX网络系统测试设计与实现[J]. 计算机测量与控制, 2018, 26(5): 33-36, 41.
- [3] 王磊, 陈琳, 李勇. AFDX网络测试技术研究[J]. 计算机测量与控制, 2017, 25(3): 40-42, 47.
- [4] 田毅, 赵长啸, 史春蕾, 等. COTS IP适航审定技术研究[J]. 电光与控制, 2019, 26(12): 96-99.
- [5] 金志威. 机载IP软核的适航符合性验证方法研究[D]. 天津: 中国民航大学, 2013.
- [6] 姚爱红, 孙盟哲, 张智钧, 等. 基于断言的Compact PCI总线IP核功能验证[J]. 小型微型计算机系统, 2014, 35(3):

(下转第77页)

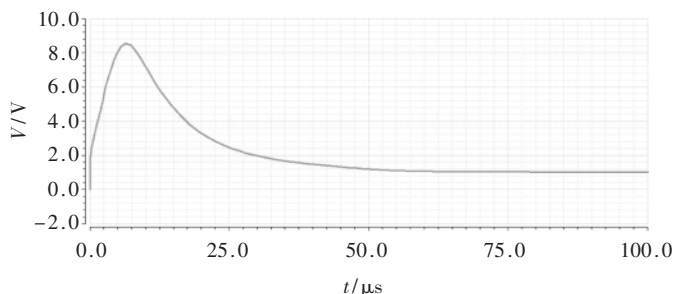


图 10 M1 栅极电压随时间变化波形

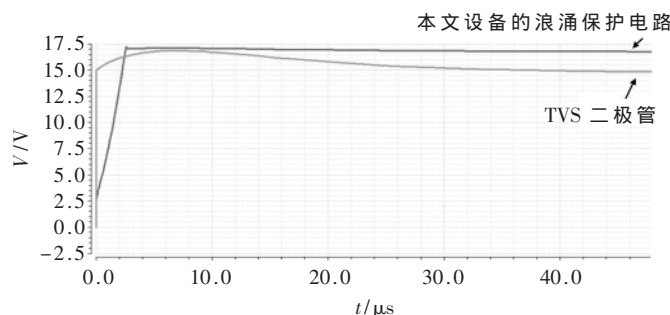


图 11 设计的浪涌保护电路和 TVS 二极管浪涌仿真结果

路,其由参考电路和反馈控制电路两级组成。通过对其仿真得出以下结论:

- (1) 保护电路的钳位电压可通过调节参考电路来改变。
- (2) 和传统的 TVS 二极管相比较,新型浪涌保护电路的钳位电压固定,且其具有接近于零的动态电阻,能够提供更加精确的浪涌保护。
- (3) 保护电路能够在较短时间内泄放大量的电流,使被保护电路能不被击穿。
- (4) 浪涌保护电路的漏电流很小,功耗较低,不影响被保护电路正常工作。

参考文献

- [1] DUVVURY C. ESD qualification changes for 45 nm and beyond[C]. IEEE International Electron Devices Meeting. IEEE, 2008.
- [2] WANG A Z, FENG H G, GONG K, et al. On-chip ESD protection design for integrated circuits: an overview for IC

designers[J]. Microelectronics Journal, 2001, 32(9): 733-747.

- [3] AMERASEKERA A, DUVVURY C. ESD in silicon integrated circuits[M]. England: Wiley, 2002.
- [4] CALE T S, MERCHANT T P, BORUCKI L J, et al. Topography simulation for the virtual wafer fab[J]. Thin Solid Films, 2000, 365(2): 152-175.
- [5] AMERASEKERA A, DUVVURY C. The impact of technology scaling on ESD robustness and protection circuit design[J]. IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A, 1995, 18(2): 314-320.
- [6] KING Y C, DAI S H, LIN C J. Leakage suppression of low-voltage transient voltage suppressor[J]. IEEE Transactions on Electron Devices, 2008, 55(1): 206-210.
- [7] ROIG J, FLORES D, CORTES I, et al. Lateral punch-through TVS devices for on-chip protection in low-voltage applications[J]. Microelectronics and Reliability, 2005, 45(7): 1181-1186.
- [8] POON S, MALONEY T. New considerations for MOSFET power clamps[J]. Microelectronics and Reliability, 2003, 43(7): 987-991.
- [9] SMITH J, BOSELLI G. A MOSFET power supply clamp with feed back enhanced triggering for ESD protection in advanced CMOS technologies[J]. Proceedings of EOS/ESD Symposium, 2003, 42(5): 8-16.
- [10] 周成龙, 郭艳辉, 刘强, 等. 一种新型瞬态浪涌抑制技术研究[J]. 新技术新工艺, 2018(4): 70-73.
- [11] 杨尊松, 王立新, 肖超, 等. 瞬态电压抑制二极管的概述和展望[J]. 电子设计工程, 2016, 24: 108-112.
- [12] OBREJA V V N. Transient surge voltage suppressors and their performance in circuit over-voltage protection[C]. Semiconductor Conference, 2008 CAS 2008 International, 2008: 321-324.

(收稿日期: 2020-05-19)

作者简介:

董大伟(1981-), 男, 硕士, 高级工程师, 主要研究方向: 专业集成电路设计、总线设计与应用。

李江陵(1990-), 男, 本科, 助理工程师, 主要研究方向: 专业集成电路设计、集成电路制造工艺。

(上接第 73 页)

676-680.

- [7] 张瑞. 基于断言的形式化验证与 UVM 的综合应用[D]. 西安: 西安电子科技大学, 2018.
- [8] HAVLICEK J, WOLFSTHAL Y. PSL and SVA: two standard assertion languages addressing complementary engineering needs[Z]. 2003.
- [9] 王鹏, 刘万和, 刘锐, 等. 基于 SystemVerilog 可重用测试平台的实现[J]. 电子技术应用, 2015, 41(2): 61-64.
- [10] AEEC. ARINC664 aircraft data networks, part7: avionics

full duplex switched Ethernet(AFDX) network[S]. Airlines Electronic Engineering Committee, 2005.

(收稿日期: 2019-12-09)

作者简介:

阎芳(1982-), 女, 副研究员, 研究生导师, 主要研究方向: 民机系统安全性设计与评估、机载电子软件适航技术。

李翔(1994-), 通信作者, 男, 硕士研究生, 主要研究方向: 机载复杂电子硬件验证, E-mail: MH_LIXIANG@163.com.

徐双平(1992-), 男, 硕士研究生, 主要研究方向: 机载复杂电子硬件验证。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所