

Innovus 机器学习在高性能 CPU 设计中的应用*

边少鲜¹, Micheal Feng¹, David Yue¹, 栾晓琨¹, 蔡准², 蒋剑锋¹

(1.天津飞腾信息技术有限公司, 湖南长沙 410000; 2.上海楷登电子科技有限公司, 上海 201204)

摘要: 高性能芯片设计在 7 nm 及更高级的工艺节点上, 设计规模更大、频率更高、设计数据和可变性更复杂, 物理设计难度增大。机器学习在多领域均获得成功应用, 复杂的芯片设计是应用机器学习的一个很好的领域。Cadence 将机器学习算法内置到 Innovus 工具中, 通过对芯片设计数据进行学习建模, 建立机器学习模型, 从而提升芯片性能表现。建立了一个应用机器学习优化延时的物理流程来提升芯片设计性能。详细讨论分析了分别对单元延时、线延时、单元和线延时进行优化对设计的影响, 进而找到一个较好的延时优化方案。最后利用另一款设计难度更大, 性能要求更高的模块从时序、功耗、线长等方面较为全面地分析验证设计方案的合理性。

关键词: 机器学习; Innovus; 芯片设计; 物理设计

中图分类号: TN402

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.209801

中文引用格式: 边少鲜, Micheal Feng, David Yue, 等. Innovus 机器学习在高性能 CPU 设计中的应用[J]. 电子技术应用, 2020, 46(8): 54-59, 63.

英文引用格式: Bian Shaoxian, Micheal Feng, David Yue, et al. Innovus machine learning application in performance CPU design[J]. Application of Electronic Technique, 2020, 46(8): 54-59, 63.

Innovus machine learning application in performance CPU design

Bian Shaoxian¹, Micheal Feng¹, David Yue¹, Luan Xiaokun¹, Cai Zhun², Jiang Jianfeng¹

(1.Tianjin Phytium Technology Co., Ltd., Changsha 410000, China; 2.Cadence Design Systems, Inc., Shanghai 202014, China)

Abstract: The high-performance chip design has a larger design scale, higher frequency, more complex design data and reliability, and more signoff indicators under 7 nm and higher process nodes. Machine learning has been successfully applied in many fields, and complex chip design is a good field for applying machine learning. Cadence built the algorithm into the Innovus tool, and built the machine learning model by learning and modeling the chip design data to improve chip performance. A physical design process that applies machine learning to optimize latency is established to improve chip design performance. This paper presents a machine-learning-based physical design flow that optimizes delay to improve chip design performance. In order to choose a better solution, the effect of optimizing the cell delay, net delay, cell and net delay separately on the design was discussed and analysed in detail. Finally, the solution is applied to another block design with more difficult design and higher performance requirements. To verify the consistency of the flow, a more comprehensive analysis is completed from the aspects of timing, power, wire length, etc.

Key words: machine learning; Innovus; chip design; physical design

0 引言

摩尔定律揭示了集成电路的集成度和技术节点的飞速发展, 这使得芯片设计的复杂度和数据量快速上升, 尤其是芯片的物理设计更是涉及海量的数据和信息, 且运行时间和设计周期漫长, 迭代一次的时间和资源代价很大, 这对设计师的经验与能力要求很高。机器学习如今在各个领域都有广泛的应用, 其能学习数据规律建立模型从而快速推断结果^[1]。如果能在物理设计中应用机器学习挖掘设计规律, 且基于推断的求解来进行物理设计, 可加速芯片设计。国内外很多学者在此方面有了成

功的研究, 包括 PAN D Z 等详细介绍的在物理设计中应用机器学习^[2]。LI B 使用机器学习由全局布线线预测详细布线结果^[3]。TSMC 在物理设计中应用机器学习的两款芯片分别可使频率提升 40 MHz 和减少 20 000 时钟门控单元等^[4]。

本文基于 Cadence Innovus 工具建立应用机器学习进行延时优化的物理设计流程, 研究 7 nm 工艺下不同层金属的特性, 设置三个实验组单元延时优化、线延时优化、单元和线延时同时优化与传统物理设计流程进行对比分析。同时将应用机器学习进行延时优化的物理设计流程应用到更大规模, 设计复杂度更高的 ARM 架构的一款 CPU 设计中, 均得到了很好地性能优化。最终确

* 基金项目: 核高基(2017ZX01028-103-002)

定了两款模块芯片均采用 Innovus 机器学习进行延时优化的物理设计流程。

1 机器学习介绍

机器学习计算机通过模拟人类学习思维过程以获取知识和技能来重构自身知识体系并改善自身性能的过程。机器学习可分为三部分:任务、模型和特征。常见的任务包括分类、归类、聚类、异常检测、排序等。常见的模型包括线性模型、支持向量机、智能神经网络等。特征包括统计特征、业务特征以及自动提取的特征^[1]。

一般的机器学习流程如图 1 所示,主要包括 4 个步骤:(1)数据准备,对收集到的数据进行分析处理产生模型训练的数据集和用于评估模型表现的参考数据;(2)模型训练,即确定合适的算法对数据集进行处理分析预测;(3)评估,训练完成后,通过真实数据与预测数据进行对比,评估模型的好坏;(4)模型部署,即将训练模型加载到设计中。

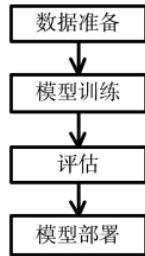


图 1 机器学习流程

2 物理设计介绍

芯片的物理设计过程即将电路中所有的宏模块、门、晶体管等,用固定的形状和大小在制造层上表示,并进行空间位置分配(布局),然后用适当的金属线来完成逻辑连接的互连(布线),物理设计直接影响电路的性能、面积、功耗等。物理设计的起点是插入扫描链的门级网表,过程被分为以下几个关键步骤:布图规划、布局、时钟树综合、布线。在实际物理设计时,会在关键步骤间插入优化,图 2 所示为 Cadence Innovus 的传统物理设计流程,其中布局之后、在时钟树综合之后以及布线之后均加入优化步骤。

2.1 物理设计布线

随着现代设计规模达到数百万计的网络,布线的计算复杂度成为关键,对于给定的设计,布局的总线长影响最大时钟频率,最大时钟频率主要依赖于线延时和单元延时,在早期工艺下,单元延时是电路延时的主要部分,在先进工艺下,尤其是 7 nm 及更先进工艺下,互连

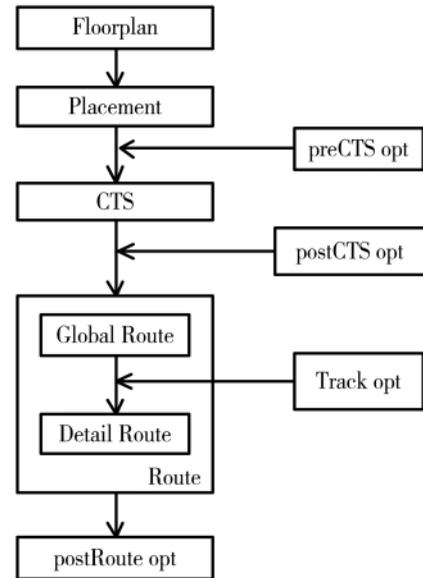


图 2 Cadence Innovus 传统物理设计流程

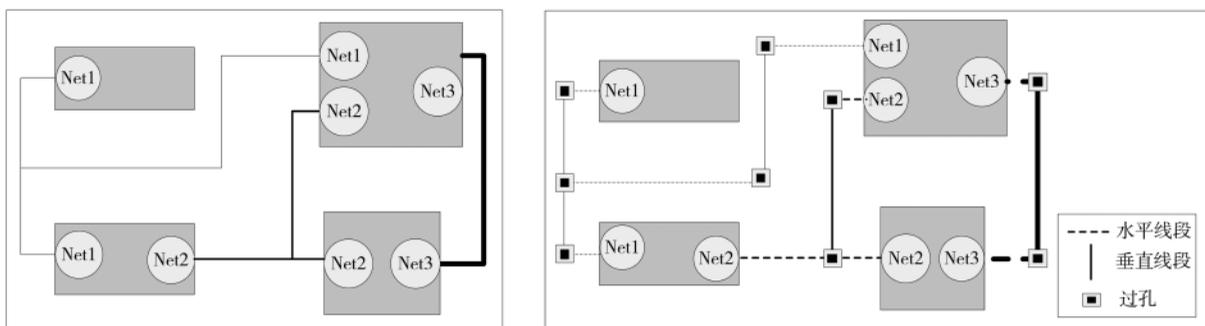
线会产生相当大的信号延时,所以布线必须考虑线延时。布线的最终目标是在满足工艺规则、设计规则以及逻辑规则的约束下,将单元和 I/O 用金属连接起来的同时,使得总线长度最小,网络线延时最小。

芯片物理设计的完整布线过程分为三个步骤:总体布线、详细布线和时序驱动布线。其中前两步如图 3 所示。总体布线如图 3(a)所示,是粗粒度通过网络拓扑结构,暂时分配资源到布线区域用于连接;详细布线如图 3(b)所示,是细粒度分配指定布线金属层到布线轨道;时序驱动布线是网络拓扑优化和资源分配到关键网络。

总体布线的目标是确定给定布局是否可布线,并在可布线区域确定所有网络的一个粗略布线。

详细布线过程包括若干中间任务和决定,例如网络排序和引脚排序,即哪些布线优先级高,以及一个网络中,引脚该按照怎样的顺序来连接。网络和引脚的排序会很大程度上影响最后的解质量,针对这个问题,很多 EDA 工具都有相应解决方案,比如 Innovus 的三步绕线方案。

时序驱动布线的目的就是小范围内最小化驱动到



(a) 总体布线

(b) 详细布线

图 3 网络 Net1~Net3 的图形表示

负载的最大互连延时以及总线长。

2.2 传统物理设计流程的局限性

由 2.1 的介绍可知,详细布线力求完善总体布线,一般不会改变总体布线确定的线网规划,而时序驱动布线优势小范围操作,因此,如果总体布线的解不好,那么详细布线解的质量以及最终的布线结果都会受影响。布线的结果直接影响最终物理设计的质量。

2.3 Innovus 机器学习方案介绍

Innovus 是业内主流的物理设计布局布线工具,可以提供合理有效的物理设计方案,在运行效率、时序分析、设计优化方面都体现出强大的功能^[5]。Cadence 在 Innovus 中内置机器学习算法来取代传统的算法,通过对大量芯片设计数据进行学习建立了一个可自动辅助芯片设计的机器学习模型,完成集成参数的提取、快速布线和运算等方面的工作。

3 7 nm 工艺下金属特性分析

在利用 Cadence Innovus 工具应用机器学习进行延时优化的物理设计之前,先对 7 nm 工艺下的金属特性进行分析,表 1 所示为工程所用 7 nm 工艺下不同特性金属的物理尺寸规则。Width 代表最小金属宽度, Pitch 代表最小布线间距, Space 代表最小金属间距。由于 M1 不用于布线, MX 只用于连接单元引脚,因此后面分析不包括 M1 和 MX。

表 1 7 nm 工艺下不同厚度金属物理尺寸规则

| (μm) | | | |
|-------|-------|-------|-------|
| Metal | Width | Pitch | Space |
| M1 | 0.040 | 0.064 | 0.020 |
| MX | 0.020 | 0.040 | 0.020 |
| MXa | 0.024 | 0.044 | 0.020 |
| MYa | 0.038 | 0.076 | 0.038 |
| MY | 0.038 | 0.076 | 0.038 |
| MYy | 0.062 | 0.126 | 0.064 |
| MYx | 0.126 | 0.252 | 0.126 |
| MR | 0.450 | 0.900 | 0.450 |

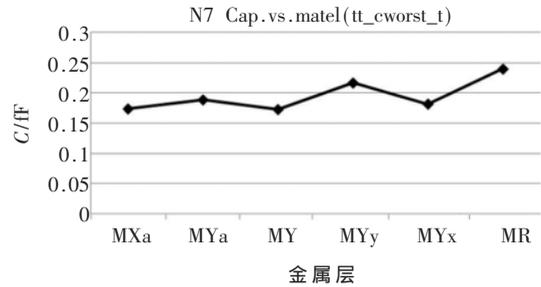
图 4 所示为单位距离下不同特性金属的电阻(R)电容(C)特性。由图可知,在 tt_cworst_t 这个工艺角下,不同特性金属的电容 C 偏差较小, MR 金属的电容 C 明显大于其他金属;不同特性金属的电阻 R 偏差较大,从低层金属到高层金属,电阻 R 几乎呈线性递减。图 4(c)将电阻和电容做乘积,可见 RC 的变化趋势几乎与 R 的变化趋势相同。

CMOS 电路中传输网络的信号延时为分段电阻和分段电容之积的和,可用 Elmore 延迟模型^[7]来等效:

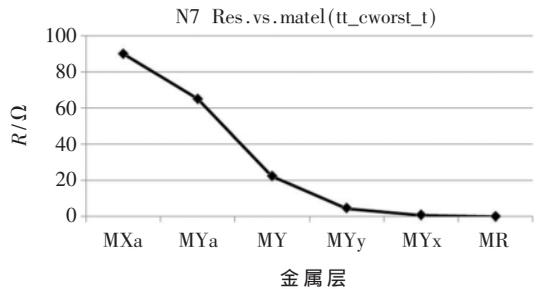
$$t_{\text{Elmore}} = \sum_{i=1}^n \left(\sum_{j=1}^i R_j \right) C_i = \sum_{i=1}^n \left(\sum_{j=1}^n C_j \right) R_i \quad (1)$$

式中 R_i 和 R_j 代表分段电阻, C_i 和 C_j 代表分段电容。

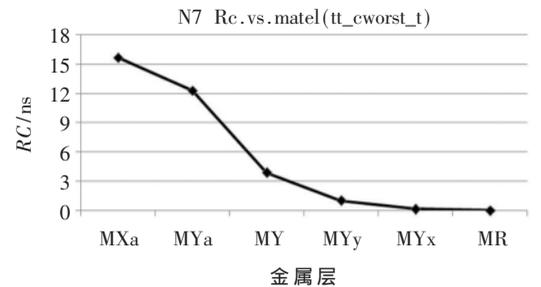
由上可将金属线延时做如式(2)等效:



(a) 单位距离下不同特性金属的 C 特性



(b) 单位距离下不同特性金属的 R 特性



(c) 单位距离下不同特性金属的 $R * C$ 特性

图 4 单位距离下不同特性金属的 RC 特性

$$t_{\text{net}} = \alpha RC \quad (2)$$

式中 R 、 C 分别代表金属线的电阻电容。

由式(2)可知信号线延时正比于 RC 之积,由图 4(c)可知,若要减小信号线延时可尽量多地使用高层金属布线。

4 应用机器学习进行延时优化

4.1 实验设置

图 5 所示为利用 Cadence Innovus 工具内置的机器学习算法进行延时优化的物理设计流程。先将做完布局后优化的数据库作为机器学习延时优化物理设计的起点。具体步骤:(1)数据准备:①不进行优化的时钟树综合;②总体布线;③详细布线;(2)模型训练:对数据准备阶段的数据库进行模型训练,导出模型训练结果;(3)延时数据对比;(4)模型部署:重新以做完布局后优化的数据库为起点,进行时钟树综合,在时钟树综合之后的优化以及总体布线过程中导入模型训练后的结果,最后完成布线后的优化。

4.2 模型评估

图 6、图 7 为详细布线前后单元和线延时的对照,其

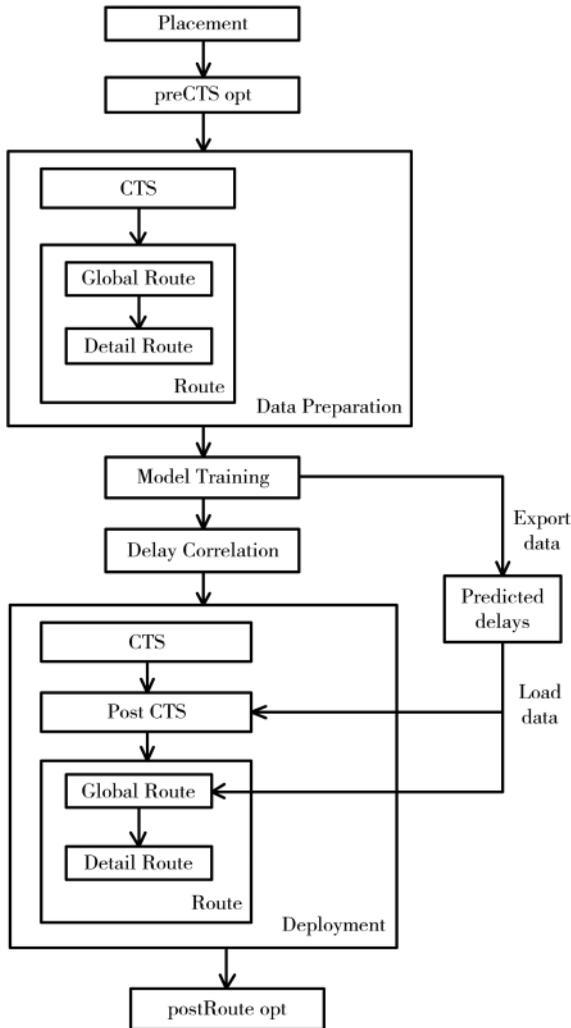
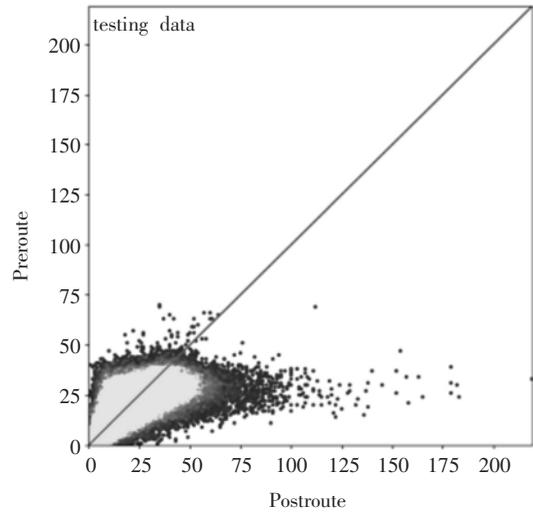
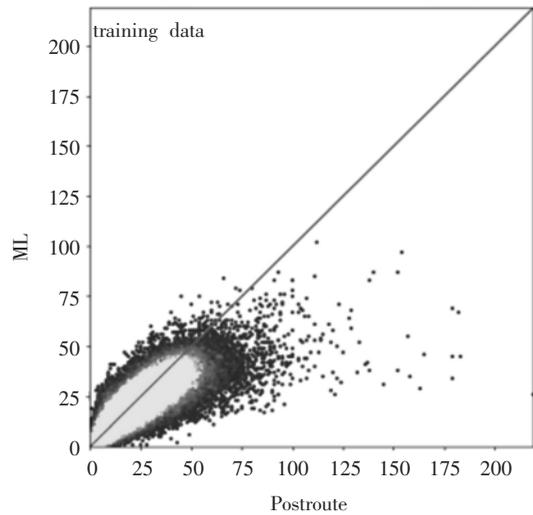


图5 Innovus 机器学习优化延时的物理设计的流程

中左图纵坐标为未使用机器学习延时优化的测试组数据，右图纵坐标使用机器学习延时优化的训练组数据，

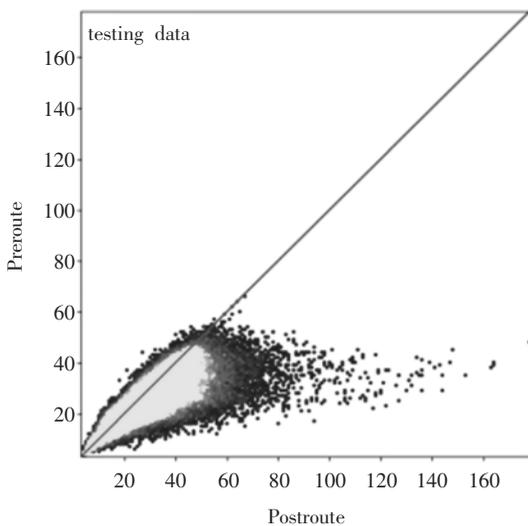


(a) 详细布线前后对照

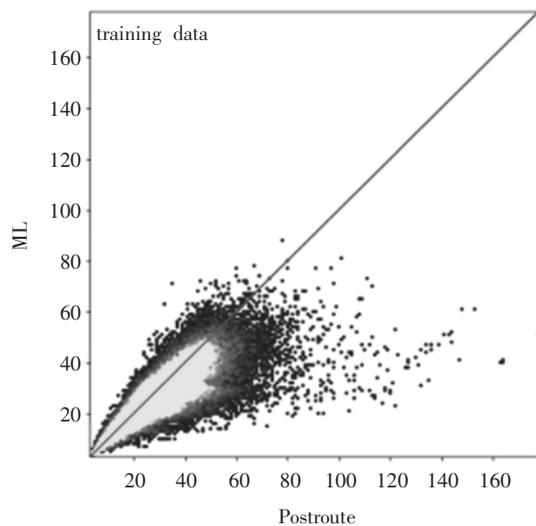


(b) 详细布线结果与机器学习预测对照

图7 详细布线前后线延时对照



(a) 详细布线前后对照



(b) 详细布线结果与机器学习预测对照

图6 详细布线前后单元延时对照

横坐标均为详细布线后的结果,图形对角线代表详细布线前后延时精确匹配。对延时信息进行数理统计分析如表2、表3所示,表格中的MAE(Mean Absolute Deviation)代表平均绝对误差,STD(Standard Deviation,常用 σ 表示)代表标准差, R 代表相关系数,diffMin代表最小偏差,diffMax代表最大偏差。

表2 详细布线前后单元延时统计

| *vs_postroute | MAE | STD | R | diffMin | diffMax |
|---------------|-------|-------|-------|---------|---------|
| noML | 1.104 | 2.291 | 0.893 | -130 | 17 |
| ML | 0.853 | 1.933 | 0.923 | -127 | 36 |

表3 详细布线前后线延时统计

| *vs_postroute | MAE | STD | R | diffMin | diffMax |
|---------------|-------|-------|-------|---------|---------|
| noML | 1.923 | 3.817 | 0.844 | -186 | 39 |
| ML | 1.382 | 2.744 | 0.921 | -193 | 31 |

由图6、图7及表2、表3可知,应用机器学习模型进行延时优化后,详细布线前后单元和线延时均呈现整体上相关性更强的趋势,而单元延时的标准差由2.291减小到1.923,即有99.7%的线延时偏差在 $3\sigma(\pm 5.799\text{ ps})$ 以内,线延时的标准差由3.817减小到2.744,即有99.7%的线延时偏差在 $3\sigma(\pm 8.232\text{ ps})$,这比未应用机器学习进行优化的测试组延时偏差优化了28%。但单元延时最差偏差和最小偏差控制在(-127, 36),明显大于未进行机器学习延时优化的测试组。

5 优化效果

将4.2节分析的机器学习模型部署到某模块物理设计中,分别进行了只优化单元延时(ML_cell)、只优化线延时(ML_net)、同时优化单元延时和线延时(ML_net+cell)的优化实验,同时以不应用机器学习优化延时的传统物理设计流程为参照组(no_ML)。

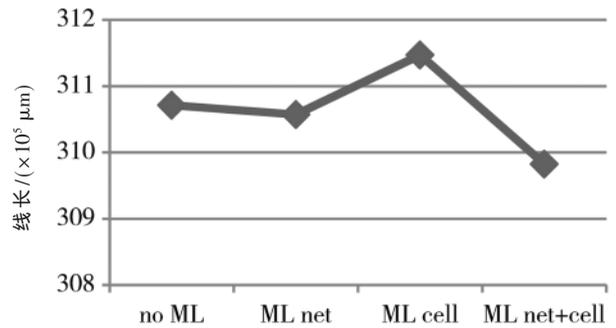
下面从线、单元、功耗、时序四个角度分别就设置的4个对照实验进行物理设计结果的对比分析。

5.1 进行延时优化后的线网对比

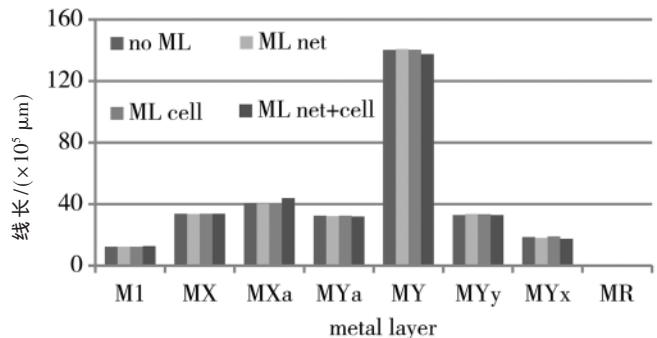
由第2、3节分析可知,要减少线延时,关键在于减少线长和增加高层线的使用比例,而且详细布线过程中网络和引脚的排序会很大程度上影响最后的布线质量,而时钟树布线往往优先级最高。图8所示为4个实验组的总线长、时钟线长及金属层的分布。由图可知:(1)实验组ML_net+cell的线长最短,且时钟线最短,但是这组实验对金属层的选择较差,使用较多的低层金属;(2)实验组ML_net使用较多的高层线,且总线长较短,时钟线也较优;(3)实验组ML_cell则线长过长,且时钟线的长度最长。因此,就线而言,实验组ML_net和ML_net+cell表现较好。

5.2 进行延时优化后的单元对比

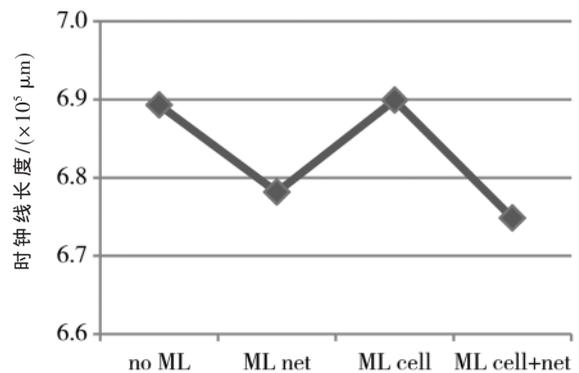
图9所示为4个实验组的实例化单元面积、不同阈值电压单元分布、时钟树单元面积。由图可知:(1)4个



(a) 4个实验组的总线长情况



(b) 4个实验组的金属层分布



(c) 4个实验组的时钟线长情况

图8 4个实验组的线信息

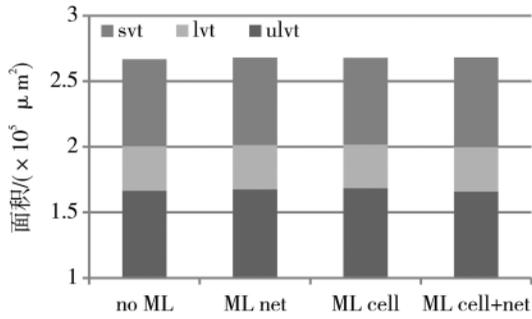
实验组的总实例化单元数量相差不明显;(2)不同阈值电压单元分布情况类似;(3)实验组ML_net+cell时钟单元总面积最小,实验组ML_net时钟单元面积略大于ML_net+cell,但仍明显小于其他两组。因此,就单元而言,实验组ML_net和ML_net+cell表现较好。

5.3 进行延时优化后的功耗对比

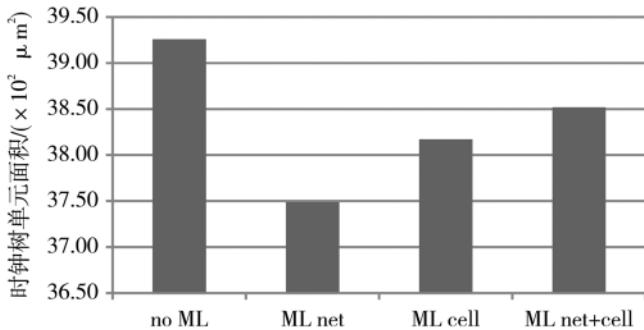
图10所示为4个实验组的总功耗及时钟网络的功耗情况。由图可知:(1)进行机器学习延时优化的三个实验组的时钟网络功耗均有不同程度减少;(2)实验组ML_net的总功耗和时钟网络功耗明显低于其他三组,实验组ML_net+cell次之。因此,就功耗而言,实验组ML_net表现最好。

5.4 进行延时优化后的时序对比

表4所示为4个实验组的时序情况。表格中wns

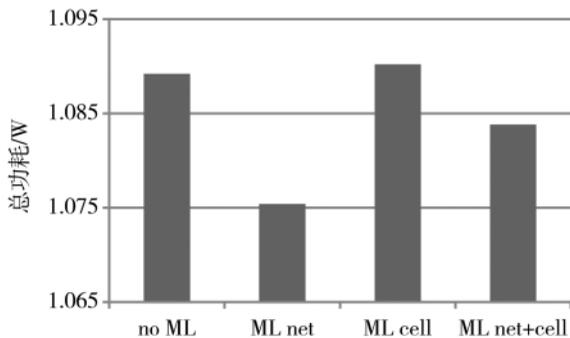


(a) 4个实验组的总实例化单元情况

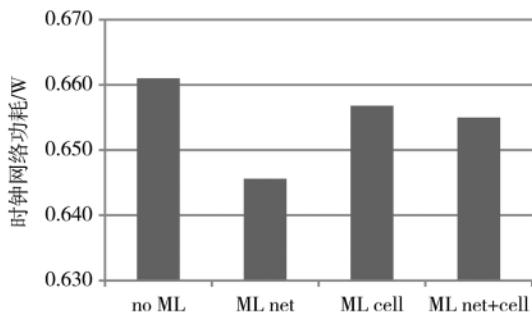


(b) 4个实验组时钟树单元面积情况

图9 4个实验组的单元信息



(a) 4个实验组总功耗情况



(b) 4个实验组时钟网络上的功耗情况

图10 4个实验组的功耗信息

(worst negative slack)代表时序违反最差路径,tns(total negative slack)代表所有时序违反路径的违反值之和。两表格中的 setup 和 hold 结果均为 postroute 阶段 Innovus 报出的结果。从表4中 setup wns 和 tns 结果来看:(1)使用机器学习进行延时优化对 setup tns 均有不同程度的改

表4 4个实验组的时序情况

| | (ns) | |
|-------------|-----------|-----------|
| | setup wns | setup tns |
| no ML | -0.045 | -16.442 |
| ML net | -0.039 | -8.236 |
| ML cell | -0.055 | -11.304 |
| ML cell+net | -0.057 | -13.076 |

善,且实验组 ML_net 在优化 setup wns 和 tns 方面均表现最好,比对照组优化 50%;(2)使用机器学习对单元延时进行优化,会恶化 setup wns;(3)使用机器学习单独针对单元延时或线延时进行优化,比既对单元延时又对线延时进行优化的时序结果好。因此,就时序优化结果来看,实验组 ML_net 表现最好。

综合上述分析结果,可知:(1)使用机器学习进行延时优化可对改善原有设计;(2)针对实验用 Innovus 版本,只对线延时进行优化效果最好。

6 方案一致性

为确保第3节中得到的 ML_net 优化效果在其他模块中亦能体现,本节选取了一款340万门的ARM架构CPU模块芯片采用 Innovus 机器学习线延时优化物理设计流程,从时序、面积和功耗方面进行比较,结果对比如表5所示。

表5 4个实验组的时序情况

| | No ML | ML_net |
|---------------------|------------|------------|
| Setup wns/ns | -0.020 | -0.017 |
| Setup tns/ns | -2.865 | -1.252 |
| Hold wns/ns | -0.032 | -0.038 |
| Hold tns/ns | -55.501 | -35.721 |
| 功耗/W | 0.915 6 | 0.910 2 |
| 密度/% | 53.924 | 53.849 |
| 线长/ μm | 44 820 412 | 44 130 489 |
| 时钟线长/ μm | 1 050 436 | 1 038 037 |
| Via count | 34 018 570 | 33 363 590 |

从表5中可以看出,该模块设计在应用 Innovus 机器学习进行线延时优化后,时序、功耗、线长等方面均得到不同程度的优化,其中 timing 尤其是 TNS 得到了明显提高,同时线长减小 1.18%,功耗还降低了 0.5%,这说明该流程在利用机器学习进行延时优化提升性能的时候,并没有以牺牲资源为代价,相反,由于延时更准确,还能更好地节省设计资源,这就充分证实了该方案流程的一致性。

7 结论

本文建立利用 Cadence Innovus 工具内置的机器学习算法进行延时优化的物理设计流程。实现了单独对线延时、单独对单元延时、同时对线延时和单元延时进行优化,最后确定只对线延时优化可得到更好的设计性能。

(下转第63页)

微电子技术 Microelectronic Technology

CadenceLIVE 2020 中国用户大会优秀论文

1.5 倍,超出预期。32 核提速到 64 核,加速 1.2 倍,也在预期之内,因为:

(1)测试所用的电路规模如表 5 最后一行所示。虽然这个电路规模不小,但其电路规模还没有足够大的可以更好地利用 64 核的资源;

(2)最为关键的,因为仿真用的设置是+preset=lx,这种设置对寄生电阻电容的约简比较剧烈,所以会更多地降低电路规模。如果采用 Mx 或是 Ax 的设置,相信 64 核的提速会更多。

以上都是在 1 台服务器上所做的多核仿真,可以看到 SpectreX 随 CPU 核数的增加,对仿真速度的提升是比较明显的。这种 1 台服务器上达到或超过 32 核的仿真技术,Cadence 称之为 HCC 技术,即 High Core Count 技术。一般适用于大规模模拟电路的仿真。

对一些超大规模电路,如果 HCC 技术还不能满足提速要求,可以用多台服务器去仿同一个电路,从而在 HCC 基础上进一步提升速度,即使用 Cadence 的 XDP 技术,即 X Distributed Processing 技术。目前没有对此技术进行测试。

8 结论

在本文列举的 VCDL、ADLL 和 ADLLPI 的电路仿真中,要达到比较精准的结果,以前都要花上 2~8 天的时间做仿真。有了 SpectreX,可以在保持精度的基础上,把仿真时间提高 4~6 倍,极大提升了工作效率。

对大多数电路,只需调整 preset 的 5 个选项 Cx、Ax、Mx、Lx、Vx,就可以得到比较理想的仿真精度和速度,比如本文中的 VCDL 电路;SpectreX 还提供调整寄生约简的设置参数 postlreset,它和 preset 有同样的 5 个选

项,默认情况下 postlreset 取值和 preset 相同,但 postlreset 可以和 preset 设置不同的值。对 ADLL 这样对时序精度要求较高的电路仿真,一般可以把 postlreset 设得比较高,如 Cx,以保证寄生电路的精度;同时将 preset 的精度降低,如 Lx,从而得到较快的仿真速度。所以 SpectreX 的使用既可以在 5 个选项中简单选择,又提供进一步微调的空间,为不同层次的工程师提供了方便的使用性。

SpectreX 可以在一台服务器上使用达到或超过 32 核进行仿真,实践证明,对于 ADLL(VCDL)电路,随着 CPU 核数的倍增,SpectreX 的提速明显,且提度线性度好。

综上,SpectreX 不仅能提供快速精准的仿真,其使用方式也比较简单、灵活,支持多核仿真对仿真速度的进一步线性提升。SpectreX 不仅极大提升了 ADLL 电路的仿真验证效率,也值得更多工程师去了解使用。

参考文献

- [1] KIM C.Delayed locked loop design issues[C].ISOCC2004 Conference, 2004.
- [2] Spectre classic simulator, Spectre APS, Spectre X, and Spectre XPS User Guide, Product Version 19.1[Z].

(收稿日期:2020-06-22)

作者简介:

张艳维(1982-),女,硕士,主要研究方向:DLL,时钟信号。

司强(1987-),男,硕士,主要研究方向:DDR、高速电路接口。

吕志军(1977-),男,硕士,主要研究方向:Cadence Virtuoso 前端电路设计平台和仿真工具的技术支持。

(上接第 59 页)

同时将该流程应用到规模更大、设计复杂度更高的 CPU 设计中,同样得到了很好的性能优化。最终确定了两款模块芯片均采用 Innovus 机器学习进行延时优化的物理设计流程,实现 setup 和 hold 均比较容易收敛的同时减小功耗的结果。

参考文献

- [1] BISHOP C M.Pattern Recognition and machine learning (information science and statistics)[M].Springer, 2006.
- [2] YU B,PAN D Z,MATSUNAWA T,et al.Machine learning and pattern matching in physical design[C].Proceedings of the IEEE/ACM Asian and South Pacific Design Automation Conference(ASPAC), 2015.
- [3] LI B,FRANZON P D.Machine learning inphysical design[C].Proceedings of the IEEE Conference on Electrical Performance of Electronic Packaging andSystems(EPEPS), 2016.
- [4] Cliff Hou.A smart design paradigm for smart chips[R]. 2017 IEEE International Solid-State Circuits Conference,

2017.

- [5] Bai Lida, Chen Lan.Machine-learning-based early-stage timing prediction in SoC physical design[C].2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology(I CSI CT), 2018.
- [6] 边少鲜, David He, 宋晓琨, 等.基于 Innovus 提升芯片性能的物理实现方法[J].电子技术应用, 2019, 45(8): 48-52.
- [7] 林铭波.超大规模集成电路系统导论[M].北京:中国工信出版集团, 2015.

(收稿日期:2020-06-22)

作者简介:

边少鲜(1991-),女,本科,工程师,主要研究方向:数字后端物理实现。

栾晓琨(1981-),男,硕士,架构师,主要研究方向:数字后端物理实现。

蒋剑锋(1988-),男,硕士,工程师,主要研究方向:数字后端物理实现。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所