

基于 Cadence CHI 和 IVD VIP 的多核 SoC 系统数据一致性验证

范君健¹, 晁张虎¹, 杨庆娜¹, 刘琪¹, 朱红¹, 单建旗²

(1. 天津飞腾信息技术有限公司, 天津 102209; 2. Cadence, 广东 深圳 518040)

摘要: 在多核的 SoC 系统中, 不同的处理器核对于内存空间和设备空间进行着大量的数据读写操作, 维护 Cache 一致性面临严峻挑战。集中于控制流方面的验证环境搭建已非常复杂, 而包含数据正确性检查的验证由于控制流程复杂、数据量大等问题而更加困难。针对这一问题, 基于 Cadence 公司提供 CHI VIP、AXI VIP 和 IVD VIP, 实现多核环境下的系统级数据一致性验证。搭建的验证平台中采用 CHI VIP 通过笔者开发的 CHI 协议转换桥发出访存请求, 使用 AXI VIP 收集到达主存的数据, 由 IVD VIP 对 CHI 端口的请求数据与 AXI 端口的访存数据进行实时分析对比, 实现在较高抽象层次上的激励产生和响应检查。该验证平台能够在子系统级及系统级进行数据一致性验证, 具有验证环境搭建快速和功能点覆盖完备的优点。

关键词: Cache 一致性; 子系统级验证; VIP; 模块化验证

中图分类号: TN409

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.209805

中文引用格式: 范君健, 晁张虎, 杨庆娜, 等. 基于 Cadence CHI 和 IVD VIP 的多核 SoC 系统数据一致性验证[J]. 电子技术应用, 2020, 46(8): 72-76.

英文引用格式: Fan Junjian, Chao Zhanghu, Yang Qingna, et al. Multi-core SoC based on Cadence CHI and IVD VIP system data coherence verification[J]. Application of Electronic Technique, 2020, 46(8): 72-76.

Multi-core SoC based on Cadence CHI and IVD VIP system data coherence verification

Fan Junjian¹, Chao Zhanghu¹, Yang Qingna¹, Liu Qi¹, Zhu Hong¹, Shan Jianqi²

(1. Tianjin Phytium Technology Co., Ltd., Tianjin 102209, China; 2. Cadence, Shenzhen 518040, China)

Abstract: In a multi-core SoC system, different processor cores perform a large amount of data read and write operations on memory space and device space. Maintaining cache coherence is facing severe challenges. The verification environment focused on the control flow has been very complicated, and the verification including data correctness check is more difficult due to the complicated control process and large amount of data. In response to this problem, this paper is based on Cadence CHI VIP, AXI VIP and IVD VIP to achieve system-level data coherence verification in a multi-core environment. In this paper, CHI VIP is used to issue a memory access request through the CHI protocol conversion bridge developed by the author, and AXI VIP is used to collect data that arrives in the main memory, real-time analysis and comparison of the request data of the CHI port and the access data of the AXI port by the IVD VIP, to realize stimulus generation and response inspection at a higher level of abstraction. The verification platform can perform data consistency verification at the subsystem level and system level, and has the advantages of rapid verification environment construction and complete coverage of function points.

Key words: cache coherence; subsystem verification; VIP; modular verification

0 引言

Cache(高速缓冲存储器)是存在于处理器核与主存之间的存储器, 在多核的处理器系统当中, 当多个 Cache 包含同一块数据时, 如果其中任意一个 Cache 修改了该数据块而没有通知其他的 Cache, 就会产生数据不一致的情况^[1]。Cache 一致性就是维护多个 Cache 数据的一致性, Cache 一致性协议是多核处理器系统的核心, 因此

Cache 一致性的验证是一项非常重要的工作。

现阶段, Cache 一致性的验证一般采用软件模拟的形式, 但随着协议复杂性的增加, 验证中需要覆盖的状态与路径成几何倍数增加。同时, 访存数据在经过片上互连网络写入主存时要经过较长的路径, 需要对流经网络的数据正确性进行检查, 验证环境的复杂程度越来越高。在验证环境搭建与验证覆盖率收集方面, 验证人员

往往需要投入大量的精力,导致 Cache 一致性验证周期耗时较长。

1 验证环境结构

为缩短验证周期,提高验证的覆盖率,本文基于 Cadence 公司提供的验证 IP(Verification IP, VIP)搭建多核 SoC 系统数据一致性验证环境,采用通用验证方法学^[2](Universal Verification Methodology, UVM)方式实现,具有良好的可重用性,便于其他项目的继承与扩展。

由于所使用的 VIP 为标准 CHI 协议接口,而在待验证 SoC 芯片中采用一套自主设计的片上互联协议,因此在验证环境搭建时需要加入一个协议转换桥,以实现 CHI 协议与自定义互联协议的相互转换。验证系统整体结构如图 1 所示。

CHI VIP 可以实现对 CHI 协议中 RN (Request Node) 节点、HN(Home Node)节点以及 SN(Slave Node)节点的验证,如图 1 中, DUT(Design Under Test, 待验证设计)为 NOC(Network On Chip, 片上互联网络),作为一致性协议中的 HN 节点,验证环境中使用 CHI VIP 配置生成 Active RN 节点向 DUT 发送请求激励报文,模拟处理器芯片中的 L2C。DUT 向下连接内存控制器(Memory Control Unit, MCU)的接口为标准 AXI4 接口,连接作为 Passive Slave 的 AXI VIP 以收集写入主存的具体数据。IVD VIP 将 CHI VIP 中 PassiveHn 收集的 L2C(VIP Active RN 节点)的 CHI 报文作为 DUT 的输入内容,将 AXI VIP 收集的访存读写数据作为 DUT 的输出内容,对输入输出相关联的报文进行比对,以验证数据在经过 DUT 后的正确性。同时,IVD 对 DUT 在一致性维护中的 Snoop 行为进行监测,进一步确保系统的数据一致性。

多核 SOC 系统的片上互联网络具备良好的扩展能力,以满足多样化的功能需求。在分层验证过程中,经常需要围绕片上互联网络构建各种规模子系统验证环境,

以加快验证进度。因此,在搭建验证环境时,同样需要考虑良好的可扩展与可配置性,可以根据不同的验证规模配置为不同的 RN/HN 节点数,并且可以与其他模块的验证环境进行整合。使用 VIP 搭建的验证环境具有良好的可配置性,可以根据实际需求调整验证环境行为,以满足自定义互联协议的验证需求。

2 验证实施流程

根据上述验证系统的整体结构,在搭建验证环境前首先开发 CHI 协议转换桥,以实现 VIP 与具体 DUT 的兼容;然后采用 CHI VIP 搭建 CC(Cache Coherence)子系统验证环境,并参照具体设计规范调整 VIP,确保 VIP 正确模拟 RNF 节点功能,处理一致性协议相关事务;最后接入 AXI VIP 与 IVD VIP,配置地址映射关系与 IVD 比对策略,收集访存数据并进行数据一致性验证。

2.1 CHI 协议转换桥

为确保 CHI VIP 能够应用于非 CHI 片上互联协议的验证环境中,需解决自定义互联协议报文与 CHI 报文的转换。为此,本文开发了 CHI 协议转换桥。

协议转换桥主要功能包括:各个通道的信用控制及相关信号的转换、标准 CHI 报文与自定义互联协议报文中各个域段的匹配、数据报文的拆解与合并、Snoop 操作的事务 ID 重分配等。

CHI 协议转换桥的开发使得 VIP 在非 CHI 协议片上互联网络的 Cache 一致性验证的使用成为可能,极大地提高了标准协议 VIP 对自定义协议设计的兼容性,对验证自定义互联网络有着很大帮助。

2.2 CC 子系统验证

在进行系统级数据一致性验证前,首先对 DUT 的 Cache 一致性事务流进行验证,确保 CHI 协议转换桥和 DUT 对协议的处理流程正确。搭建 CC 子系统验证环境时需重点考虑验证环境的可配置性,以应对各种规模的

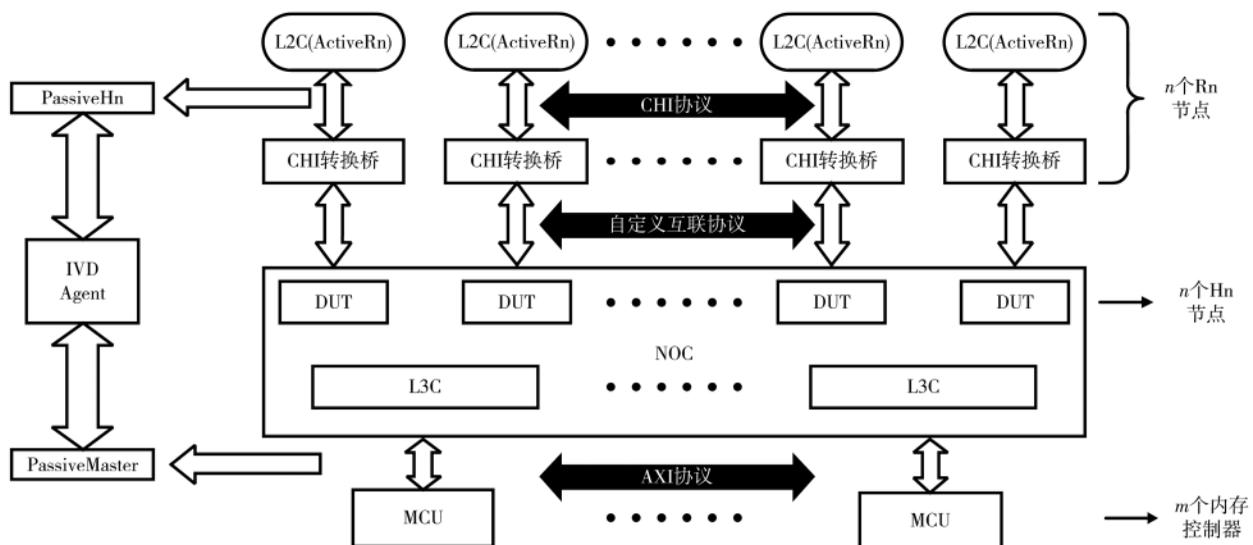


图 1 NOC 验证系统结构

验证需求。CHI VIP 中 ActiveRn 与 PassiveHn 均采用数组的形式实现,通过宏定义控制环境中例化的 RN/HN 节点个数。在接口连接方面,由于不同设计规模存在不同的硬件层次结构,VIP 与 DUT 连接的接口通过 Python 脚本生成,减少人为错误的引入,加快验证环境搭建速度。

CC 子系统验证环境结构如图 2 所示,为更加充分地验证全芯片真实的访存操作场景,验证环境中除使用 CHI VIP 模拟 L2C(RN-F 节点)向 DUT 发送一致性请求外,还加入一个成熟的验证组件模拟 I/O 设备(RN-I 节点)的 DMA 访存操作。

在 UVM 验证环境搭建过程中,如果希望将多个不同部件的环境进行融合,以实现更高层次的子系统级验证,需要对各个环境中的 ENV、TEST 顶层甚至激励的编写进行调整。在多个环境的融合过程中往往会引入额外的问题,延长调试时间,不利于各个验证环境的分离及模块化组合。鉴于 UVM 验证环境中并未限制 uvm_top 下的叶子节点个数,可将 VIP 验证环境的 TEST 顶层与 DMA 验证环境的 TEST 顶层均通过 factory 机制指定其父节点为 uvm_top,以此来减少对验证环境的不必要调整,将各模块已有环境直接组合为子系统验证环境,如图 3 所示。

建立双顶层结构后,为保证各模块原有验证环境可继续独立运行,通过添加宏开关 DMA_AXI_RUN 来控制各环境是独立运行抑或是在子系统环境中运行。通过添加+UVM_DMA_TESTNAME 来指定 DMA 验证环境需要运行的测试激励。

验证环境搭建完成后,按照验证计划以覆盖率为驱动逐步推进验证工作。为尽快达成验证覆盖率目标,这里采用 VIP 提供的 CHI 协议覆盖率模型,其良好的完备性对于整个验证工作的推进有着重要的指导作用,验证的具体实施流程如图 4 所示。

验证环境调试正常后,验证工作将主要集中于测试激励的开发。由于验证规模的不同,测试激励的编写也

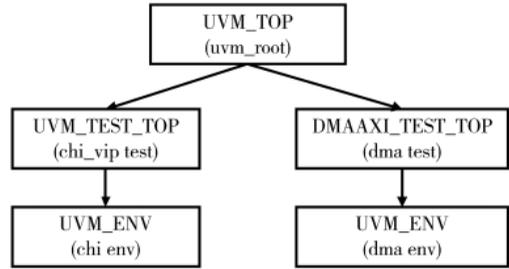


图 3 CC 子系统验证环境双顶层结构

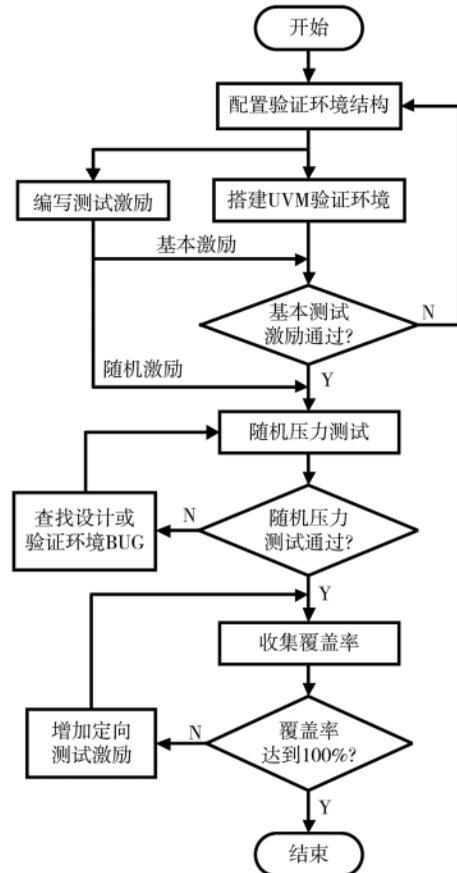


图 4 CC 子系统验证流程图

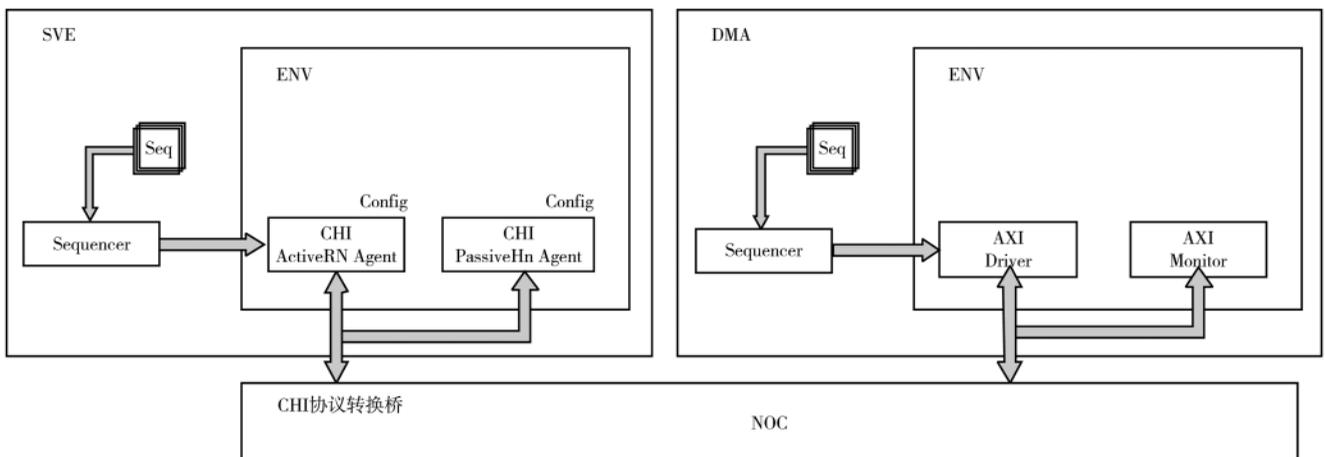


图 2 CC 子系统验证环境结构

不尽相同。特别是随机压力测试激励,均采用参数化的形式进行,在配置为不同的 RN/HN 节点时不需要修改测试激励。激励开发采用基本测试激励、随机压力测试激励、定向测试激励的思路进行。其中基本测试激励包括各类型请求的生成及合法 Cache 状态构造;随机压力测试包括请求类型随机、地址随机等;定向测试激励在收集覆盖率之后进行,主要针对尚未覆盖的场景及特定功能进行定向测试。

2.3 IVD 数据一致性验证

在 CC 子系统验证环境搭建完成并且基本测试激励通过后,着手搭建基于 IVD VIP 的子系统级数据一致性验证环境。IVD VIP 在进行数据一致性比对时需要明确数据流的输入与输出方向,当 ActiveRn 的访存数据经 CHI VIP 的 PassiveHn 接入 IVD 后,IVD VIP 通过配置的映射方式监测访问 MCU 的 AXI 接口数据,判断输入数据与流经 DUT 的输出数据是否一致,并在仿真结束后检查所有读写请求是否均已完成数据比对,IVD 可以监控多个输入输出端口,可以实现子系统的数据一致性检查。加入 IVD 后的验证环境结构如图 5 所示。

在基于 IVD 的验证环境搭建过程中,由于 DUT 中自主设计的片上互联协议与标准 AMBA 协议存在差异,因此需要对 IVD 的行为进行调整,使其与真实设计的行为相吻合。主要的调整包含以下几个方面:

(1)Snoop 行为调整。DUT 作为 HN 节点,向 RN 节点发送 Snoop 请求操作,但其具体行为与标准 CHI 协议存在差异,首先 DUT 不会进行 Snoop 的广播,只对存在副本的 RN 节点发送 Snoop 请求;其次,根据待验证 SoC 芯片中真实 L2C 与 NOC 的设计实现,某些 Snoop 操作行为与标准 CHI 协议不同。基于上述差异,需要使能 IVD 当中的 SnoopFilter 与 SnoopToInitMaster 等功能,调整 IVD VIP

对 Snoop 操作的检查,使其可以与 DUT 行为相匹配。

(2)Cache 状态调整。首先在待验证 SoC 芯片当中不支持某些 Cache 状态,在进行随机测试时需要对其进行屏蔽。另外由于上述 Snoop 操作修改带来的 Cache 状态变换需要使用 UVM 中的 callback 函数对事务包进行修改。例如 ReadShared 在触发 Snoop 操作时,按照 CHI 协议应为 SnpShared,当监听 UC 态时会将其修改为 SC 态,而在 DUT 的真实行为中 ReadShared 触发 SnpCleanShared,其监听 RN 节点 UC 态时并不会修改为 SC 态,造成 IVD 报错。通过调用 callback 函数对上述场景进行判断,将监听的 UC 态修改为 SC 态以保证 DUT 的正常运行。

(3)添加地址映射。IVD 在进行数据比对时默认通过事务 ID 判断输入数据及相对应的输出数据,然后对其正确性进行检查。但在 DUT 当中输入的 CHI 报文与输出的 AXI 报文两者的 ID 之间并无关系,而两者的地址信息存在确定规则的映射关系,因此需要调用 IVD 当中地址映射函数,明确输入地址与输出地址的关系,以便工具可以正确匹配输入与输出数据包,完成数据一致性检查。

在进行数据一致性验证中,由于加入了真实 MCU 的 RTL 代码,其在进行正常数据读写前需要较长时间的初始化。为缩短每次仿真运行时间,使用仿真工具的 Save/Restart^[3]功能,在初始化结束后保存仿真状态,恢复该状态后可加载新的测试激励继续进行一致性相关功能点验证。这样即可省略后续测试时漫长的初始化过程,极大地缩短验证时间,提高验证效率。其原理如图 6 所示。在 UVM 验证环境中,由于不同 phase 的调动时间不同,可以在 configure_phase 完成初始化后保存仿真状态,之后通过更换不同的测试激励实现仿真的再次启动。

3 验证成果

采用 CHI 与 IVD VIP 搭建验证环境,相较于完全由

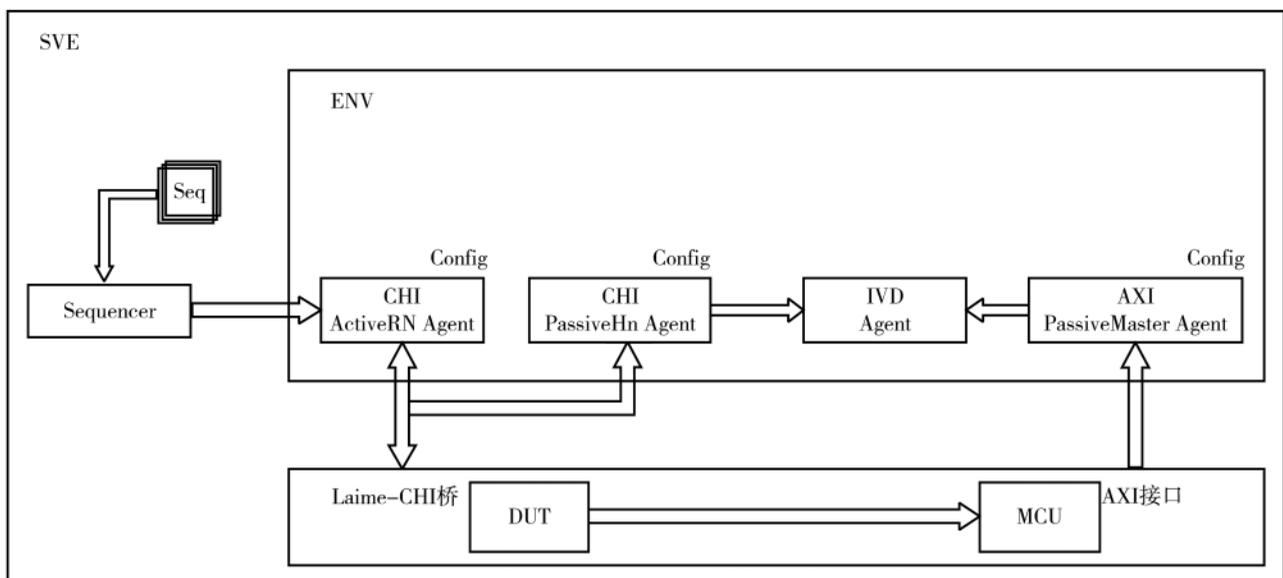
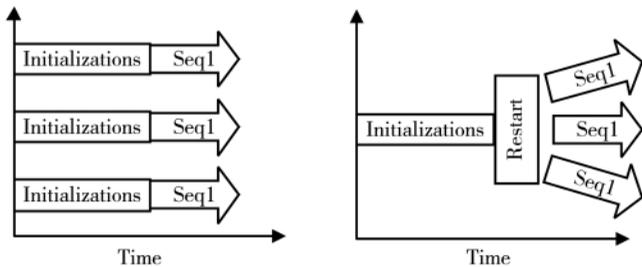
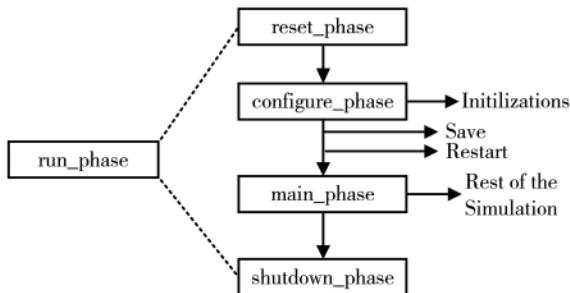


图 5 子系统数据一致性验证环境结构



(a) Save/Restart 实施原理



(b) UVM 环境中实现 Save/Restart 功能

图 6 采用 Save/Restart 实现仿真保存与再次运行

验证人员自己开发的 BFM (Bus Function Model) 及验证环境, 有以下几个突出的优点:

(1) 可以极大地缩短验证环境的开发时间, 提升验证效率。一个验证环境若从零开始搭建到功能逐步完善, 往往需要数月的时间, 而在采用 VIP 后, 时间大幅缩短, 使得工程师能够专注于 DUT 的功能验证, 提升 BUG 定位能力。

(2) VIP 中的检查机制更为全面与细致, 可以完整记录每个事务包的处理流程, 对于出现问题的报文可以做到其全流程的完整追踪, 极大地方便了错误调试。

(3) 针对 Cache 一致性相关协议, 由于存在众多的场景与状态需要验证, VIP 提供的覆盖率模型更加完整, 对于验证的快速收敛有着极大的帮助。

在本文所述验证环境中, 由于所选 DUT 并非全新设计且在采用 VIP 进行验证前已使用自主搭建的验证环境进行了完善的功能验证, DUT 趋于稳定, 因此采用 VIP

后并未发现很多设计 bug, 但对整个项目有如下两点重要贡献:

(1) 完整地构造出所有合法 Cache 状态并完成所有类型的请求验证, 为之后项目的顺利进行提供方向。方便地构造出之前验证中很难出现的 UPD 态, 并完成包含 WriteCleanPtl 和 WriteBackPtl 报文的随机压力测试, 而之前对于此类型报文均只能够进行定向测试。

(2) 借助 VIP 强大的随机压力测试激励, 在系统验证后期发现一处隐藏很深的设计 bug, 阻止了该 bug 逃逸到硅后而造成的重大损失。

4 结论

本文所述采用 VIP 搭建的全局数据一致性验证环境, 为复杂的 Cache 一致性验证提供了良好的解决方案。验证环境均采用模块化的形式搭建, 可以通过配置完成不同规模的验证要求, 同时采用 CHI VIP 与 IVD VIP, 可以实现从模块级到子系统级甚至系统级的数据一致性验证。利用 VIP 强大的可配置性和完善的信息输出, 实现了对自定义互联协议片上网络的验证, 同时极大地改善了一致性协议调试能力, 提高了验证效率。基于本文所述的验证方法与验证流程, 为之后项目中 Cache 一致性相关验证的开展提供了宝贵经验。

参考文献

- [1] 王振江, 周恒钊. 一种验证 Cache 一致性协议的装置及方法: 中国, CN107368434A[P]. 2017-11-21.
- [2] 张强. UVM 实战[M]. 北京: 机械工业出版社, 2014.
- [3] Save restart and dynamic test flows in UVM[R]. Cadence, 2020.

(收稿日期: 2020-06-20)

作者简介:

范君健(1993-), 男, 硕士研究生, 主要研究方向: 微处理器设计与验证。

晁张虎(1989-), 男, 硕士研究生, 主要研究方向: 微处理器设计与验证。

杨庆娜(1986-), 女, 硕士研究生, 主要研究方向: 微处理器设计与验证。

(上接第 71 页)

2003, 24(6): 247-250.

[2] 严锦荣. 基于 DER 的高速链路通道误码率眼图的实现[J]. 电子科技, 2016, 29(5): 30-33, 38.

[3] 王怀亮, 徐志华, 严锦荣, 等. 基于统计算法的 DDR4 DQ 信号误码率眼图的实现[J]. 电子科技, 2015, 28(7): 124-128.

[4] 周子翔. 基于 DDR4 高速并行总线的眼图分析[D]. 西安: 西安电子科技大学, 2015.

[5] 孔庆亮. DDR4 电路设计及布局布线分析[J]. 工业控制计算机, 2020, 33(1): 128-129.

[6] 邓素辉, 谭子诚, 鄢秋荣, 等. 基于 Cadence 软件高速 PCB

设计的信号完整性仿真[J]. 实验室研究与探索, 2017, 36(12): 116-120.

[7] 覃婕, 阎波, 林水生. 基于 Cadence Allegro 的高速 PCB 设计信号完整性分析与仿真[J]. 现代电子技术, 2011, 34(10): 169-171, 178.

(收稿日期: 2020-06-22)

作者简介:

林楷智(1977-), 男, 本科, 高级工程师, 主要研究方向: 服务器架构设计。

宗艳艳(1982-), 通信作者, 女, 本科, 中级工程师, 主要研究方向: 服务器架构设计。

孙龙(1986-), 男, 硕士, 中级工程师, 主要研究方向: 信号完整性、电源完整性。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所