

一款单线传输 LED 恒流驱动芯片的设计*

吕思洪,冯全源

(西南交通大学 微电子研究所,四川 成都 611756)

摘要:设计了一款三通道单线传输 LED 恒流驱动芯片,芯片具有三路 PWM 驱动端口,实现 256 级灰度输出。芯片内部集成的关键电路包括三部分,即数据提取电路、数据处理电路、下级数据重建电路。在级联工作时,首颗芯片对多组输入数据流进行数据提取与处理,将第一组数据截取,经处理后送至驱动端口,同时将其余数据正确地传递到下一颗芯片。经仿真,芯片在传输速率为 800 kb/s 时,传输特性稳定。

关键词:LED 驱动;单线传输;芯片级联

中图分类号:TN432

文献标识码:A

DOI:10.16157/j.issn.0258-7998.200043

中文引用格式:吕思洪,冯全源.一款单线传输 LED 恒流驱动芯片的设计[J].电子技术应用,2020,46(8):83-87.

英文引用格式:Lv Sihong,Feng Quanyuan. Design of a single-line transmission LED constant current driver chip[J]. Application of Electronic Technique, 2020, 46(8): 83-87.

Design of a single-line transmission LED constant current driver chip

Lv Sihong, Feng Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: A three-channel single-line transmission LED constant current driver chip is designed. The chip has three PWM driver ports to achieve 256-level grayscale output. The key circuit integrated in the chip includes three parts, a data extraction circuit, a data processing circuit, and a lower-level data reconstruction circuit. During cascade work, the first chip performs data extraction and processing on multiple sets of input data streams, retains the first set of data, sends it to the driver port after processing, and simultaneously transfers the remaining data to the next chip correctly. After simulation, the chip has stable transmission characteristics at a transmission rate of 800 kb/s.

Key words: LED drive; single-line transmission; chip cascade

0 引言

LED 即发光二极管,是一种能够将电直接转化为光的固态半导体器件。由于 LED 耗电少、寿命长、反应快、体积小、色彩丰富、耐振动、可动态控制等特点,成为继白炽灯、荧光灯、高强度气体放电灯(HID)之后又一革命性的新型光源^[1]。基于此,研究设计性能稳定的 LED 驱动电路将支撑与促进新型光源的发展。

为了降低芯片的面积,减少信道资源的损耗,简化 LED 应用系统的复杂程度,许多芯片通常采用单线传输数据信号,同时从数据信号中提取所需的时钟信息^[2]。好的时钟信号提取技术是驱动芯片稳定工作的前提,其保证了整颗芯片有条不紊地工作。输入信号的时钟提取技术有多种,设计采用了数字时钟提取技术,其具有电路结构简单、输出时钟稳定、适用于高频时钟提取等优点。

在具体工程应用中,级联传输 LED 驱动芯片由于其

传输特性 $h(t)$ 不够理想,使得其波形有很长的“拖尾”现象,对相邻码元造成串扰现象,这将极大限制芯片级联的个数^[3]。针对该问题,设计信号重建电路时在相邻码间增加一个 120 ns 的低电平,其有效地保证了信号的正确传输。

1 数据传输原理与整体电路架构

1.1 数据传输原理

设计的 LED 驱动芯片采用单极性的归零码传输数据。归零码是一种二进制信息的编码,在一个码元周期内信号电平会恢复到零,通过一个周期内的高电平宽度来表示相应的二进制“0”和“1”,如图 1 所示。归零码中具有丰富的位同步信息,在对信号解码时容易提取时钟信号,便于数据的传递,其中,码元周期 T 为 $1.25 \mu\text{s}$ ^[4]。在一个码元周期 T 内, $T/4$ 的高电平表示 0, $3T/4$ 的高电平表示 1;若在一定时长 t 内芯片未接收到数据,则进

* 基金项目:国家自然科学基金重点项目(61531016;61831017);四川省科技支撑计划重点项目(19ZDYF2904);四川省重大科技专项项目(2018GZDZX0001,2018ZDZX0148)

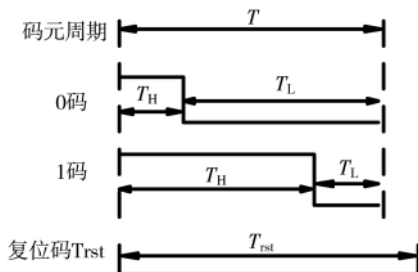


图1 归零码格式

行复位,将内部寄存器清零,等待接收下一组数据。

芯片通过三路时分复用的通道控制红、绿、蓝三色LED灯,实现256级灰度调节^[5]。单线传输的通信格式^[6]如图2所示。由信号发生器发出一长串多组数据流,从R7~R0、G7~G0、B7~B0,共24 bit数据为一组,第一颗芯片提取第一组数据,第二颗芯片提取第二组数据……依次往后传递,每一串数据流以Trst码作为结束标志。



图2 数据通信格式

1.2 芯片整体电路架构

图3所示为芯片的电路架构,按照其数据传输原理可将整个电路功能分为三个部分,即数据提取、本级信号处理、下级信号重建。

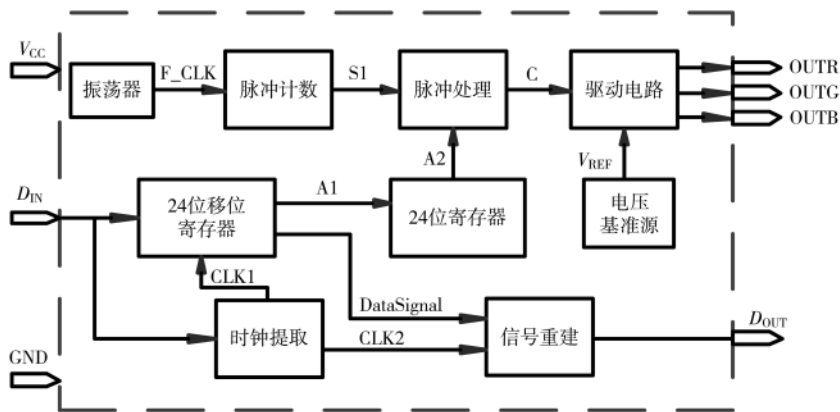


图3 电路整体架构

数据提取主要包括时钟提取电路、移位寄存器电路。芯片上电后,通过时钟提取电路对输入信号 D_{IN} 进行采样,产生一系列时钟信号来控制其他模块,其中时钟CLK1控制移位寄存器将归零码格式的数据转换为二进制数据,当移位寄存器接收到第一组24 bit数据后,触发标志信号F24,将第一组24 bit数据锁至寄存器,并且解锁信号

重建电路。

本级信号处理主要包括的电路为振荡器、脉冲处理电路、基准电压源以及驱动电路。该部分由振荡器产生一个256 kHz的时钟信号F_256K,脉冲处理电路对F_256K时钟进行0~255循环计数并产生一个对应的8位二进制数S1,将S1与寄存器中R、G、B共3组8 bit数据A2进行加法运算,将其产生的进位信号C送达驱动电路,点亮LED。LED点亮的周期受8 bit数据的大小控制,例如数据为1111 1111,那么LED点亮1 ms,若数据为1000 0000,那么LED点亮0.5 ms。

下级信号的重建主要是从移位寄存器读取下一组信号的二进制码,然后根据时钟信号控制信号重建电路将二进制码转换为归零码送到芯片的数据输出端。

2 关键电路介绍

2.1 数据提取电路

图4为时钟提取电路,当检测到 D_{IN} 信号时,通过20 ns延时电路和与门产生一个20 ns脉冲20ns_start。20ns_start作用于NM1管的栅端,使得电容 C_1 快速放电至0。20 ns脉冲过后NM1截止, V_{CC} 通过PM2管对电容充电,当充电至参考电压 V_{REF} 时,产生一个20 ns脉冲;这里为了得到一个 $T/2$ 处的脉冲信号,可通过式(1)选取电流与电容值。

$$\Delta T_{1/2} = \frac{V_{REF} \times C_1}{I_1} \quad (1)$$

其中 $\Delta T_{1/2}$ 表示20ns_start到 $T/2$ 的时长,这里一个周期 T 为1 250 ns,留250 ns作为余度。在提取时钟信号时,按1 000 ns计算,故 $\Delta T_{1/2}=480$ ns, I_1 取5 μ A, V_{REF} 为1.25 V,可得出电容为1.92 pF。通过此结构,分别再产生 $T/4$ 、 $3T/4$ 等处的20 ns脉冲,这些脉冲作为数据提取和信号重建的触发信号。

取和信号重建的触发信号。

图5为移位寄存器内部结构示意图,D触发器D0上电复位输出Q为1,其余触发器上电复位输出为0;D0的时钟是位于 $T/2$ 的20 ns脉冲,所以Q0是输入信号 D_{IN} 周期一半处的采样,这使归零码转化为二进制码,并通过SD0输出,触发器D1~D24的时钟信号是 $3T/4$ 处的20 ns脉冲,使Q0的信号在每一次时钟信号来时后移,直到接收24 bit数据时,D0的上电复位输出1传到由D25、D26以及或非门建立的锁存器并输出一个标志高电平F24,表示本级数据提取完成,可进行数据处理与数据重建。

2.2 本级信号处理

如1.2所述,这一部分电路对所提取的24 bit数据进行处理,以驱动LED点亮。

采用施密特触发器与RC积分电路构成多谐振荡器,其电路如图6所示^[7]。根据式(2)、式(3)可设计振荡

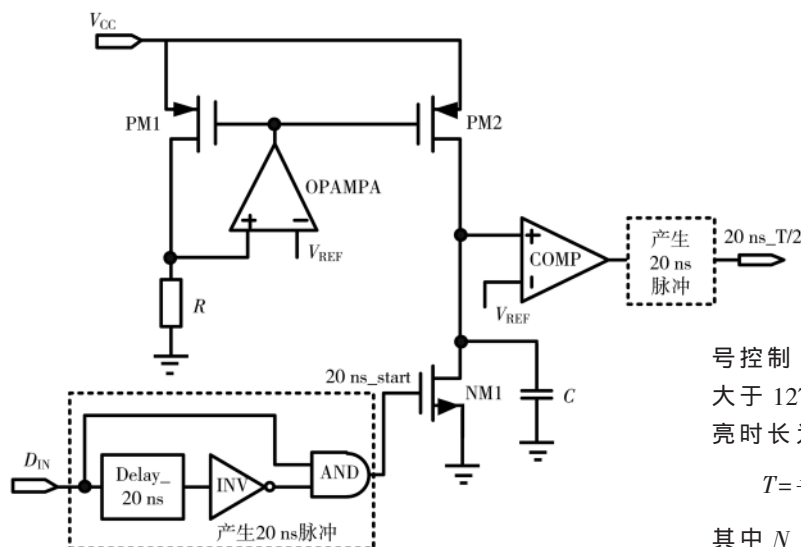


图4 时钟提取电路

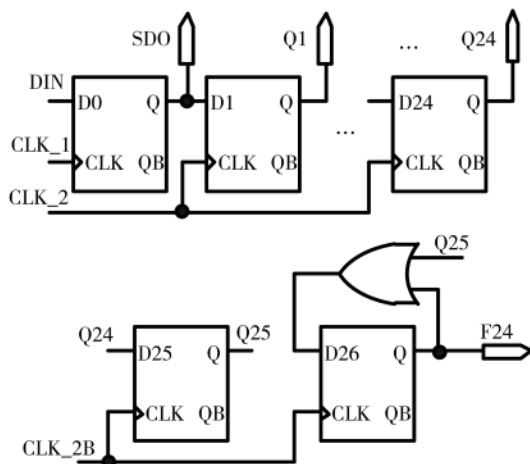


图5 移位寄存器结构

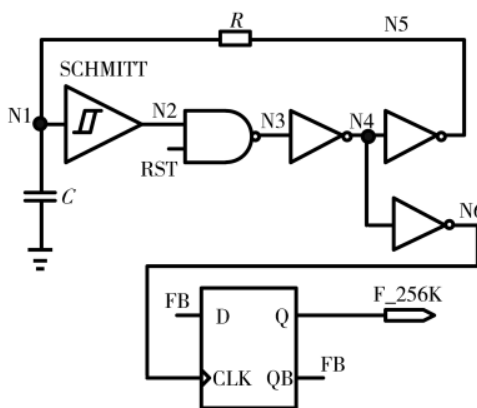


图6 振荡器

周期。

$$T_H = RC \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} \quad (2)$$

$$T_L = RC \ln \frac{V_{T+}}{V_{T-}} \quad (3)$$

电源电压 V_{CC} 为 5 V, 根据振荡周期与施密特触发器的门限电压 V_{T+} 、 V_{T-} 调节 RC 大小得到方波频率为 512 kHz, 再经过 D 触发器对其二分频得到频率为 256 kHz 的方波 F_{256K} 。

脉冲计数电路结构如图 7 所示, 由 T 触发器、与非门和反相器组成。所有的 T 触发器时钟信号为 F_{256K} , 从 0~255 循环计数, 循环周期 $T_C = 256T_{F_{256K}}$, 约为 1 ms。将计数器的输出结果 $QB < 7:0 >$ 与 RGB 三组数据相加, 用进位信号控制 LED 点亮。若 $R < 7:0 >$ 大小为 128, 当计数器计数大于 127 时, 每一次计数将产生进位信号。故 R_{LED} 点亮时长为 $128T_C/256$ 。LED 点亮时长计算公式如下:

$$T = \frac{N \times T_C}{256} \quad (4)$$

其中 N 为 RGB 值, T_C 为循环计数周期。

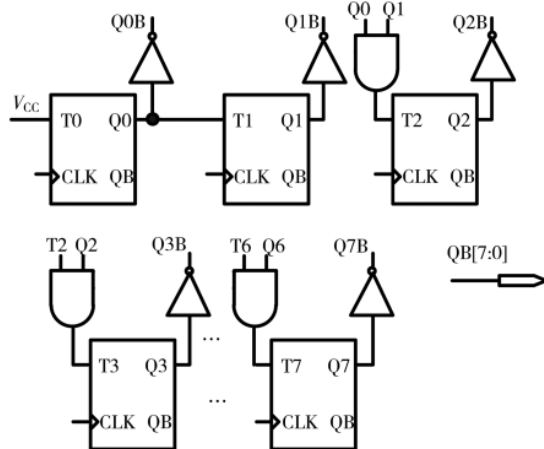


图7 脉冲计数电路

图 8 是加法运算电路, 为了防止 RGB 同时导通使电流过大, 对 RGB 的进位信号做了延时处理, 相对 B 信号, G 延时半个时钟周期, R 延时一个时钟周期。

驱动电路结构如图 9 所示, 正常驱动时, $SHDN=0$,

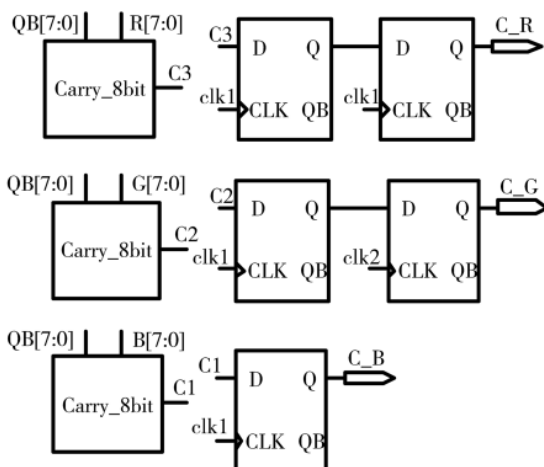


图8 加法运算电路

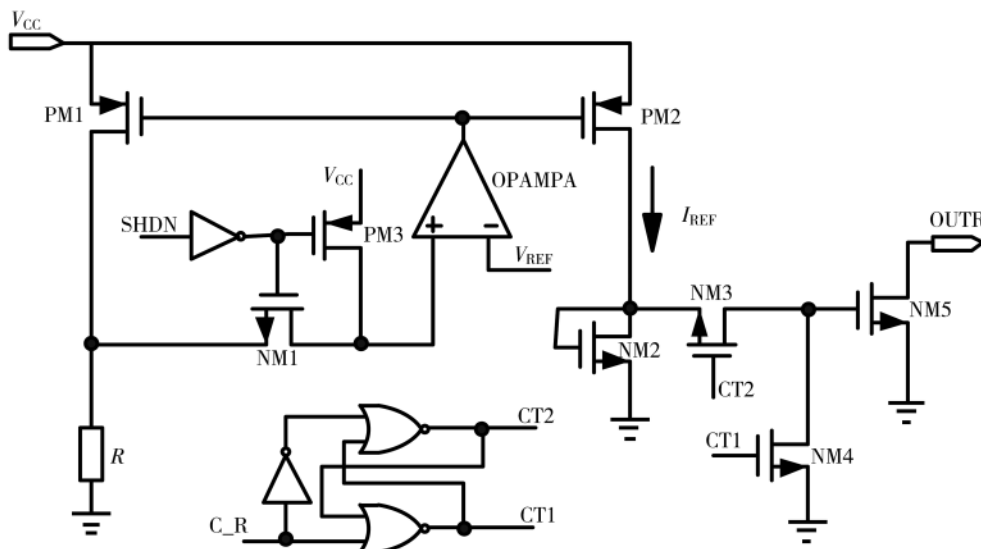


图9 驱动电路

PM3管截止, NM1管导通, 运放的虚短特性使得R上的压降为 V_{REF} , 可得出PM1管电流, 再经PM2管镜像产生恒定电流 I_{REF} 。当进位信号 $C_R=1$ 时, $CT2=1$, $CT1=0$, NM3导通, NM4截止, 驱动管NM5导通, LED点亮; $C_R=0$ 时, $CT2=0$, $CT1=1$, NM3截止, NM4导通, 驱动管NM5截止, LED熄灭。

这里SHDN是一个省电信号, 当无信号输入并且LED熄灭一段时间, 那么 $SHDN=1$, NM1管截止, PM3管导通, 运放输出为电源电压, PM1、PM2截止, $I_{REF}=0$, 芯片进入省电模式。

2.3 信号重建电路

图10所示为信号重建电路。该电路主要由数据选择器和RS触发器构成。当电路收到 $F24=1$ 的信号时开始进行转码, RS触发器的输入信号来自信号提取电路所提供的周期脉冲。S端接收到 $T_{1/2, 20ns}$ 脉冲后 $D_{OUT}=1$, 此时若 $SDO=0$, 则R接通 $T_{3/4, 20ns}$, $D_{OUT}=0$, D_{OUT} 保持高电平的时间为 $T/4$, 直到下一个 $T/2$ 的20 ns到来 D_{OUT} 再次变高电平, 总时长为1 μs ; 输出 D_{OUT} 为250 ns高电平1 000 ns低电平的“0”码, 同理可产生“1”码。

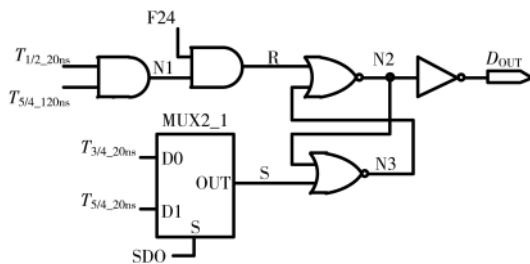


图10 信号重建电路

电路的参数随制造工艺、电压和环境温度而变化^[8]会造成数据不确定的传输延时, 可能引发相邻码发生合并的现象, 从而导致数据丢失。通过在每一位码的 $T_{5/4}$ 处

设置一个120 ns的低电平信号来避免该问题。如图11所示, 假设第 N 位数据的 $T_{5/4}$ 的120 ns低电平信号是 $T_{5/4, 120ns}$, $T_{1/2, 20ns}$ 是第 $N+1$ 位数据 $T_{1/2}$ 的20 ns脉冲。当数据 $N+1$ 向 N 靠拢时 $T_{1/2, 20ns}$ 向 $T_{5/4, 120ns}$ 靠拢, 最终在 $T_{5/4, 120ns}$ 末尾处产生 D_{OUT} 的上升沿。所以相邻两位数据至少间隔120 ns, 从而解决数据合并现象, 保证数据正确传输。

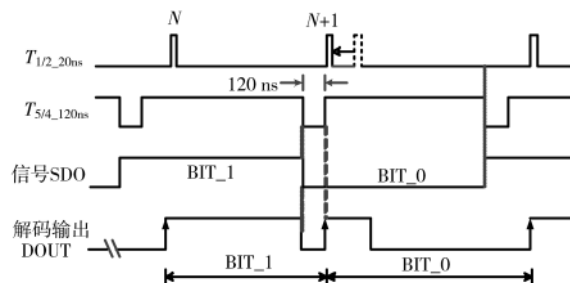


图11 信号重建时序

3 仿真结果

设计采用MXIC 0.18 μm 工艺, 使用HSPICE平台, 在典型模型工艺下进行电路仿真, 在DIN端输入三组RGB数据, 第一组数据对应的十进制数为256、21、35, LED驱动输出结果如图12所示, R的驱动信号时长为一个计数周期1 067 μs , G的驱动信号时长为88 μs , B的驱动信号时长为146 μs 。

图13为驱动电流仿真结果, 当LED点亮时驱动电流为12.8 mA。

图14为输入数据DIN与输出数据 D_{OUT} 的波形对比。可以看出输出的数据为三组中的后两组。

表1为芯片基本参数的仿真结果。

4 结论

本文设计了一款单线传输LED恒流驱动芯片, 基于时钟提取技术而设计的信号重建电路解决了数据传输

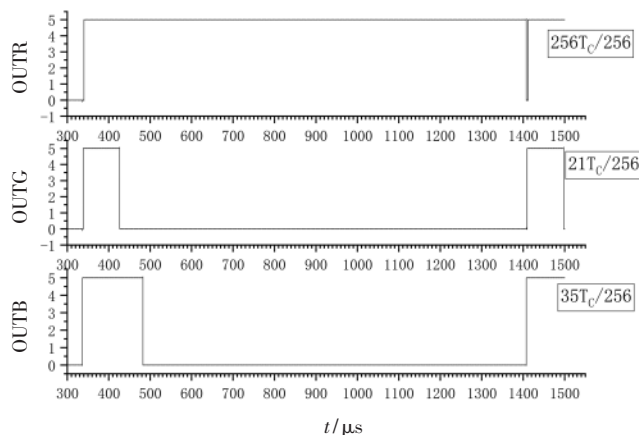


图12 RGB驱动信号

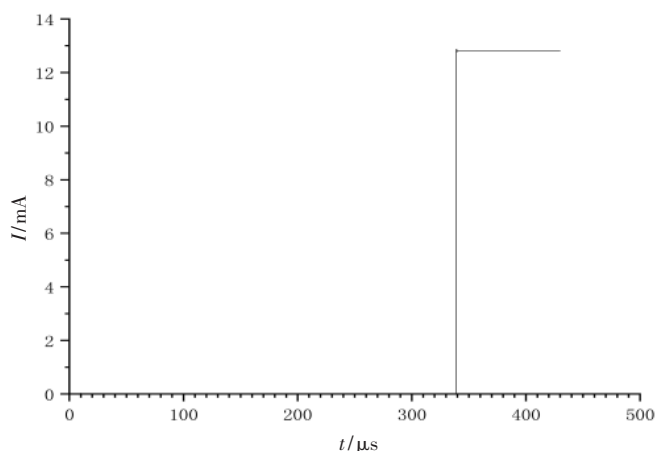
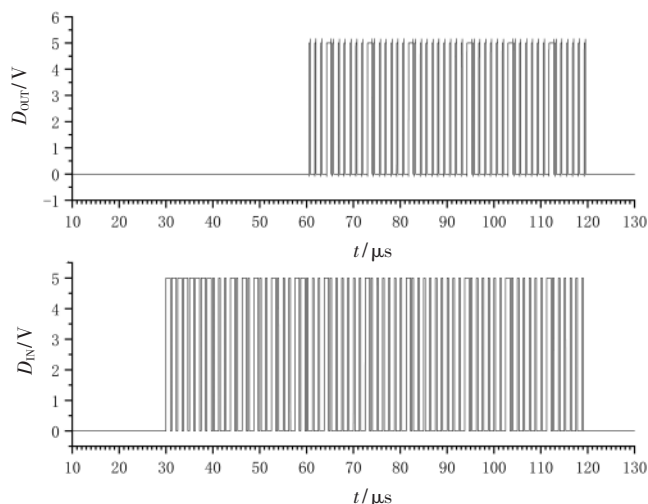


图13 驱动电流仿真

图14 输出数据 D_{OUT} 与输入数据 D_{IN} 对比

时相邻码合并的问题。在没有信号输入时,芯片进入省电模式,降低了功耗。仿真结果表明,以 800 kb/s 传输数据时,芯片工作性能良好。

参考文献

- [1] 吕海军.我国 LED 产业发展现状及未来发展展望[J].照明工程学报,2013,24(3):6-10.

表1 芯片基本参数仿真结果

参数	符号	仿真结果
电源电压/V	V_{CC}	5
输入/出高电平/V	V_{OH}	5
输入/出低电平/V	V_{OL}	0
数据传输延时/ns	T_d	7
数据转换延时/ns	T_i	6

- [2] 蔡鹏飞.单线 LED 驱动芯片级联信号的改善方案[D].广州:华南理工大学,2012.
- [3] 于彩灯.三通道单线传输 LED 驱动集成电路的设计与研究[D].成都:电子科技大学,2013.
- [4] 刘心舫.三通道 LED 恒流型驱动芯片的研究[D].广州:暨南大学,2017.
- [5] 黄伟,翟江辉,杨秋玉,等.三通道高亮度 LED 驱动芯片的 ASIC 设计[J].电子技术应用,2015,41(4):46-49.
- [6] 胡成煜.单线传输可调光 led 恒流驱动芯片的设计[D].苏州:苏州大学,2017.
- [7] 康华光,邹寿彬,秦臻.电子技术基础[M].北京:科学出版社,2005.
- [8] RAZAVI B.模拟 CMOS 集成电路设计[M].陈贵灿,程军,张瑞智,等,译.西安:西安交通大学出版社,2011:7.

(收稿日期:2020-01-15)

作者简介:

吕思蒨(1993-),男,硕士研究生,主要研究方向:模拟集成电路设计。

冯全源(1963-),通信作者,男,博士,教授,主要研究方向:集成电路、RFID 技术等,E-mail:fengquanyuan@163.com。

欢迎订阅

电子技术应用 月刊

订阅代号:2-889

定价:30 元/期

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所