

低成本 SerDes 在数据采集中的方案设计与应用

文科, 朱正, 马敏舒

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘要: 介绍了低成本的 1 Gb/s 源同步 SerDes 接口应用原理, 并详细阐述了低端 FPGA 如何与高速数据接口以及如何实现对 1 Gb/s 数据的可靠采样的解决方案。该接口适用于 AD9653 等源同步 SerDes 接口的数据转换器。再配合 Spartan-6 系列等低端 FPGA 的应用, 可以大大降低数据采集系统的成本、功耗和复杂度。

关键词: 1 Gb/s 采样对准; AD9653; Spartan-6

中图分类号: TN98

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.191125

中文引用格式: 文科, 朱正, 马敏舒. 低成本 SerDes 在数据采集中的方案设计与应用[J]. 电子技术应用, 2020, 46(8): 88-91.

英文引用格式: Wen Ke, Zhu Zheng, Ma Minshu. Design and application of low-cost SerDes in data acquisition[J]. Application of Electronic Technique, 2020, 46(8): 88-91.

Design and application of low-cost SerDes in data acquisition

Wen Ke, Zhu Zheng, Ma Minshu

(Sichuan Institute of Solid-State Circuits, China Electronics Technology Group Corp, Chongqing 400060, China)

Abstract: This paper introduces the low cost of 1 Gb/s source-synchronous SerDes interface application principle, and how to interface low-end FPGA with high-speed data and how to implement a reliable sampling solution for 1 Gb/s data are described in detail. This interface is suitable for source-synchronous SerDes data converter as AD9653. Coupled with application of the low-end Spartan-6 series FPGA, this solution can greatly reduce the cost of data acquisition system, power consumption and complexity.

Key words: 1 Gb/s sampling alignment; AD9653; Spartan-6

0 引言

虽然 10 Gb/s 的超高速接口已经逐渐成为了高端数据转换器的标配, 但也意味着必须使用高性能的 FPGA 与之搭配, 导致整个系统的成本和复杂度偏高^[1-3]。实际应用中, 1 Gb/s 及以下速率的接口仍旧是目前的主流^[4]。数据转换器接口分类见表 1。

表 1 数据转换器接口分类

接口类型	典型速率/(Gb/s)	适用采样率	成本
JESD204B ⁽¹⁾	10	高	高
LVDS(DDR)	1	中高	高
源同步 SerDes	1	中	低
CMOS	0.1	低	低

注: (1) JESD204B 也是一种 SerDes, 为自同步 SerDes 或称之为 8B/10B SerDes。其应用成本高, 本文不涉及。

在 1 Gb/s 这个量级, 又分为低电压差分信号 (Low-Voltage Differential Signaling, LVDS) 和源同步 (SERializer/De-serializer, SerDes)。前者主要用于中高采样率数据转换器, 应用成本较高。

而源同步 SerDes, 也称为串行 LVDS 接口^[5]的

ADC 一般为多通道中等采样率高精度型, 如 ADI 的 AD9252、AD9653, TI 的 ADS5273、ADS6445 等, 广泛用于各类通信、数据采集系统中。本文以 AD9653 为例介绍这种接口的特性和应用方法。

1 接口特性

AD9653 是一款 4 通道 16 bit/125 MS/s 的高精度 ADC, 其接口时序可简化为图 1 所示。采样率 125 MS/s 时其输出 DCO(数据位时钟)为 500 MHz, FCO(帧时钟)为 125 MHz, 数据速率为 1 Gb/s。

与 LVDS(DDR)不同, 源同步 SerDes 的发送端需要额外的倍频器来提高接口速率。用多位串行码表征一次转换的结果。如果是 1 Gb/s 速率的 LVDS(DDR)接口, 就需要使用系统时钟高达 500 MHz 以上的中高端 FPGA 来接口, 无法体现本文降低成本的目的。

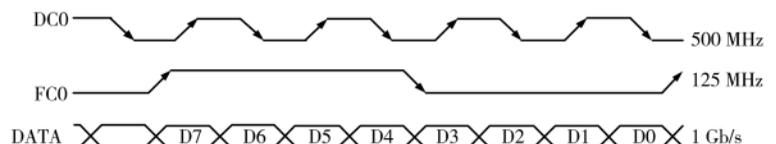


图 1 AD9653 接口时序简图

测控技术与仪器仪表 Measurement Control Technology and Instruments

AD9653 接口为 8:1 串行化, 4 通道共需 8 对差分数据线, 如果是并行接口, 则需要 64 根数据线, 这是串行化带来的好处。但有两个关键的技术问题: (1) 如何令低端 FPGA 与高速数据接口; (2) 如何实现对 1 Gb/s 数据的可靠采样。

2 接口应用

2.1 解串器

Spartan-6 的每个 IO 都有对应的逻辑资源小块。其中输入逻辑资源小块 (ILOGIC) 包含了两个 idelay (延时)、两个 DES (解串) 模块以及 High Speed I/O Clock (高速 IO 时钟树资源^[6]) 和 FPGA Interconnect Logic (FPGA 内部逻辑连接), 如图 2 所示, Master IOB (Input-Output Block, 可编程输入输出单元) 和 Slave IOB 为两个输入。

解串器 DES 主要由串联的 D 触发器组成, Spartan-6 的单个 DES 可以实现 1:2、1:3 和 1:4 解串, 两个级联可以实现 1:8 解串。DES 需要两个时钟: 连接前级的高速 IO 时钟 (IOCLK) 和连接后级的系统时钟 (Global-Clock, GCLK), 如图 3 所示。

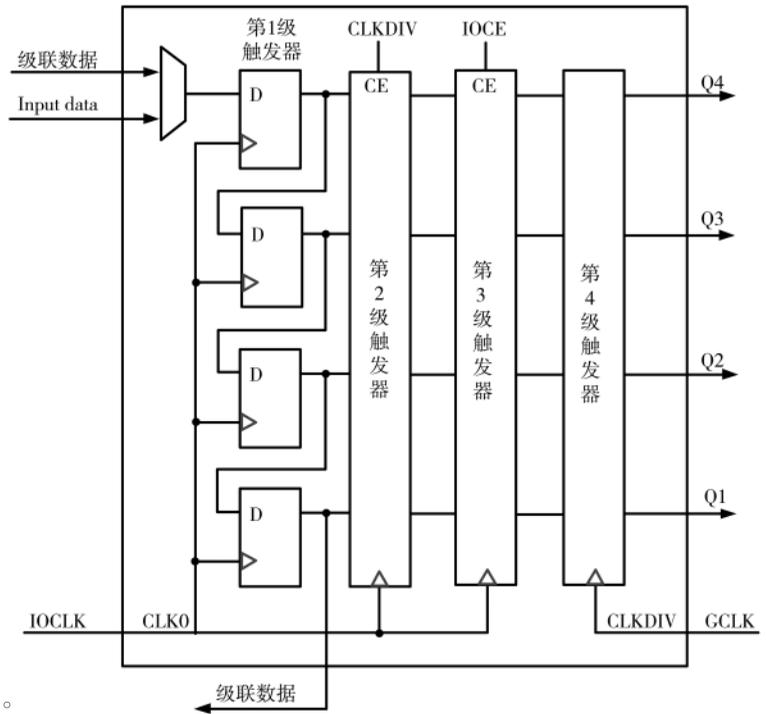


图 3 解串器 DES 框图

虽然确保了时钟到达每个触发器的相位一致, 但最初的关系已经不存在了。

虽然“等长”无法实现, 但通过 FPGA 时钟管理单元的延时调整, “等延时”是有可能的。然而, 对于位周期 (UI) 仅 1 ns 的高速数据流, 通过手动调整延时来实现采样对准是极不可靠的。

在 Spartan-6 中, 本文采用等路径法来解决这个问题, 如图 4 所示。

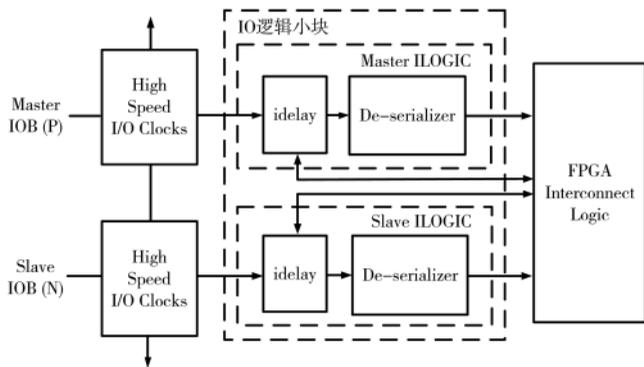


图 2 输入逻辑小块框图

Spartan-6 作为低端 FPGA, 系统时钟仅 300 MHz 左右, 而 IO 时钟可高达 1 GHz 以上。它们用不同的缓冲器访问, 分别作用于系统逻辑和 IO 逻辑。

系统逻辑可以通过编程实现各种功能。而 IO 逻辑功能是固定的, 只能通过改变配置作细微调整, 这是它能运行在更高速度的原因。SerDes 便是低速系统逻辑与高速 IO 逻辑之间的桥梁。

2.2 等路径法采样对准

任何数据采样都离不开 D 触发器, 在一个典型的源同步接口中, 时钟的边沿对准数据采样位置 (数据窗口中间), 然后, 通过等长路径到达 D 触发器, 即可对数据进行可靠的采样。

但这是理想情况, 在 FPGA 中, 这样简单的等长路径是不存在的。时钟进入 FPGA 后, 首先要通过时钟缓冲器进入时钟树^[7], 再分配给每个触发器, 这样

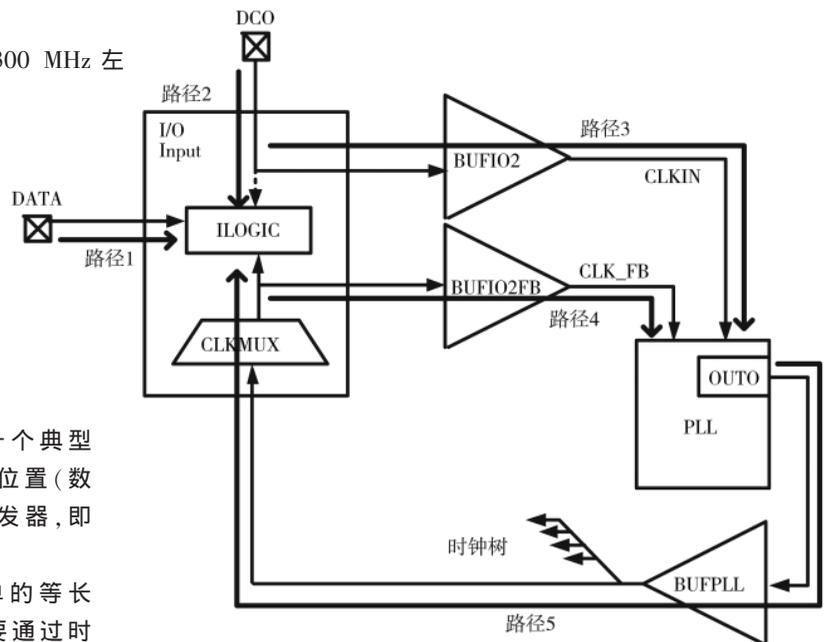


图 4 等路径法硬件框图

测控技术与仪器仪表 Measurement Control Technology and Instruments

图4中路径1和路径2是理想的等长路径,其中路径2是一条虚拟路径。关键在于BUFIO2FB缓冲器^[8],一旦调用,FPGA布线工具会构建出一条与路径3完全平行且等长的路径4(一般的FPGA布线是不能精确控制的),然后,再利用时钟管理单元PLL的反馈机制:自动调整输出相位使得CLK_FB和CLKIN相位一致,进而促使通过路径5(时钟树)到达ILOGIC的时钟和通过虚拟路径2到达ILOGIC的时钟相位一致。

由于时钟反馈机制精度很高,这种方法不需要任何额外的延时调整即可精确对准采样点,并且不易受温度电压影响导致采样点漂移。缺点是PCB走线要严格等长。

等路径法确保了源自DCO的IOCLK和每一位数据的对准,而帧的对准则利用了BUFPLL缓冲器,这是Spartan-6用来访问IO时钟树的时钟缓冲器,同时具有产生选通脉冲的功能,如图5所示。

HSCLK是来自图4中PLL输出的1GHz时钟。HSCLK通过BUFPLL进入IO时钟树。同时产生的选通脉冲SerDes Strobe同步于IOCLK,而对准于GCLK边沿,可以很方便地驱动DES的使能端(图3中IOCE)以实现帧对准。

FCO精度要求不高,可以通过手动调整延时,或在系统逻辑中再进行数据帧整理。

2.3 相位侦测法采样对准

如果PCB走线没有严格等长,就只能通过各个ILOGIC的IDELAY模块来逐个调整延时。IDELAY的精度较差,且易受温度电压影响,必须采用动态调整方式。

在Spartan-6中,本文基于双IDELAY结构,采用相位侦测法,如图6所示。

在相位侦测法中,DCO不是必须的,IOCLK可以用FCO倍频得到。关键在于双IDELAY

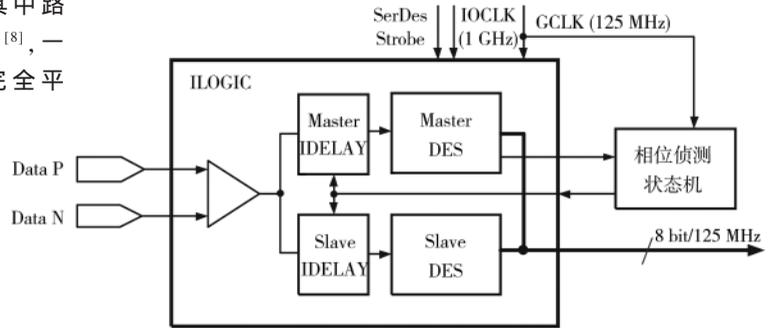


图6 相位侦测法硬件框图

结构:一路输入数据进入Master IDELAY(主机延时)和Slave IDELAY(从机延时)两个IDELAY,但两个延时设置不同,同时DES模块开启相位侦测功能,该功能只能在差分模式下开启,用来检测两个IDELAY输出数据的状态。

两个IDELAY延时始终保持半个位周期距离,如图7所示,初始时(状态1)从最大值开始,逐渐减少延时,直到发现两个数据不相等(状态4),然后增加延时直到发现两个数据相等(状态3),之后,状态机将持续在“相等—不相等”的临界状态跳动,这样就确保了Master IDELAY输出数据始终对准采样点。相位侦测的本质便是寻找数据跳变点。

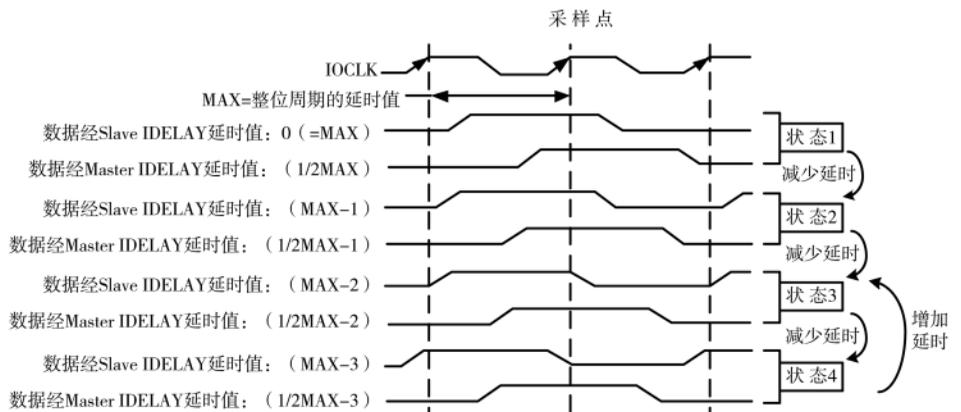


图7 相位侦测状态机运行机制

利用IDELAY对准最佳采样点,需要足够的有效数据窗口和高分辨率的延时taps^[9]。

根据AD9653手册^[10]给出的FR-4 PCB眼图,结合Spartan-6的LVDS差模电压VID(MIN)=100 mV来分析,输出眼图抖动约为250 ps,如图8所示。

根据Spartan-6手册^[11],IDELAY虽有8位分辨率,但低3位是延时线结构,taps分布不均,最小的仅几皮秒,最大的有上百皮秒,平均约50 ps/tap。所以,手册^[12]给出了在作为相位侦测时的IDELAY最大不确定度:±129 ps,也即是相位侦测误差。

另外,FPGA时钟管理单元PLL的抖动也要考虑,该

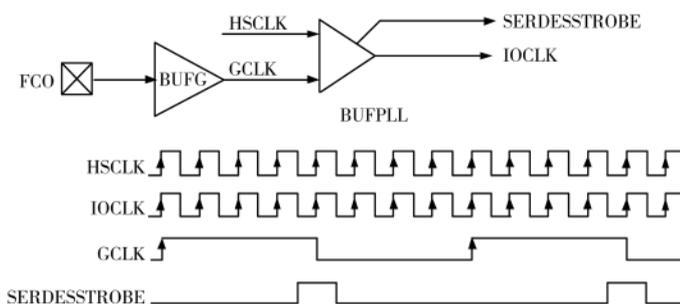


图5 BUFPLL缓冲器时序(DIVIDE=8)

测控技术与仪器仪表 Measurement Control Technology and Instruments

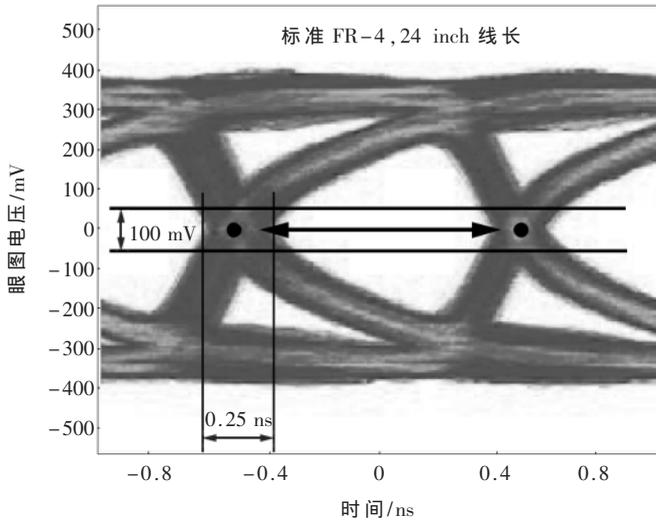


图 8 AD9653 输出眼图

值来自 ISE 的时钟 IP 向导。汇总见表 2, 有效数据窗口即“眼宽”。

表 2 有效数据窗口计算

眼宽影响因素	时间/ps	备注
眼图抖动	-250	见 AD9653 眼图
PLL 抖动	-112	clocking wizard(时钟配置)
相位侦测误差	-129	

减去误差和不确定度, 最终的有效数据窗口为 509 ps, 大约对应 10 taps。考虑到双 IDELAY 的运行机制, 实际扫描范围为上述值的一半。

事实上, 图 7 中的 MAX 值并不需要特意去计算, IDELAY 模块会根据输入的 IOCLK 和 GCLK 信号进行自动校准, 通过控制 CAL 端口, 自动将校准获得的 zero 或 half MAX 数值送入 IDELAY 寄存器。之后, 只需通过 IDELAY 模块的 INC 端口进行加 1 或减 1 操作即可。

相位侦测法通过动态调整每路数据延时, 实现对最佳采样点的持续锁定, 不需要手动调整延时。缺点是如果数据长时间全 0 或全 1, 将暂时丢失锁定。但通信类 ADC 应用中, 模拟前端通常有隔直或增益控制, 不会出现长时间溢出的情况。

帧对准和 2.2 节一致, 无论是等路径法还是相位侦测法, 都能保证 1 Gb/s 采样正确对准, 后者耗用资源较多但适用范围更广, 如多片应用等。

2.4 硬件实现

实测 AD9653 评估板对一个信号源输出的正弦波进行采样, 速率 1 Gb/s 的输出数据通过高速连接器送到一块 Spartan-6 FPGA 板。

等路径法需要利用 ADC 内置测试码来辅助调试, 毕竟 PCB 是不确定因数, 而相位侦测法几乎是上电就能正常输出。

采集系统重现出了正确波形, 长时间工作稳定。得益于 Spartan-6 的低功耗, FPGA 板只需一条 USB 线供电即可。

3 结论

ADI 原厂的 AD9653 评估板配套的是高端的 Virtex 系列 FPGA。实际上, 只要充分发挥 Spartan-6 的 IO 逻辑小块功能, 低端 FPGA 也完全可以胜任此类源同步 SerDes 数据转换器的应用。成本功耗上的巨大差距令这种低成本的采集方案拥有更大的竞争优势。

参考文献

- [1] 王威, 张秋云, 江虹, 等. 基于 FPGA 和 TCP/IP 的多路采集与切换系统设计与实现[J]. 电子技术应用, 2019, 45(6): 125-129.
- [2] 易志强, 韩宾, 江虹, 等. 基于 FPGA 的多通道同步实时高速数据采集系统设计[J]. 电子技术应用, 2019, 45(6): 70-74.
- [3] 刘安, 禹卫东, 马小兵, 等. 基于 FPGA 的高速串行数据收发接口设计[J]. 电子技术应用, 2017, 43(6): 48-51.
- [4] ATHAVALE A, CHRISTENSEN C. High-speed serial I/O made simple[M]. San Jose: Xilinx, 2005.
- [5] 童子权, 白锦玲. LVDS 传输技术在高速数据采集系统中的应用[J]. 国外电子测量技术, 2009, 28(2): 59-61.
- [6] Xilinx. Spartan-6 FPGA selectIO resources user guide[M]. San Jose: Xilinx, 2014.
- [7] 田耘, 徐文波, 胡彬. Xilinx ISE design suite 10.x FPGA 开发指南[M]. 北京: 人民邮电出版社, 2008.
- [8] Xilinx. Spartan-6 FPGA clocking resources user guide[M]. San Jose: Xilinx, 2013.
- [9] 屈超. 多通道 ADC 的高速接口设计[J]. 无线电通信技术, 2013, 39(3): 76-78.
- [10] ADI. 4 通道、16 位、125MSPS 串行 LVDS 1.8V 模数转换器 AD9653[M]. Texas: Analog Devices, 2012.
- [11] Xilinx. Spartan-6 FPGA data sheet[M]. San Jose: Xilinx, 2011.
- [12] Xilinx. Source-synchronous serialization and deserialization[M]. San Jose: Xilinx, 2010.

(收稿日期: 2019-10-25)

作者简介:

文科(1987-), 男, 硕士研究生, 工程师, 主要研究方向: 电子元器件测试及应用评估。

朱正(1982-), 男, 本科, 高级工程师, 主要研究方向: 电子元器件测试及应用评估。

马敏舒(1989-), 女, 硕士研究生, 工程师, 主要研究方向: FPGA、算法研究。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所