

## 基于 DMB 的考场同步信息接收及显示终端设计\*

陈雪飞,张红升,王国裕

(重庆邮电大学 光电工程学院,重庆 400065)

**摘要:** 为了保证考场信息的精准发布,避免考场中因时间或指令不同步而导致的不公平现象,基于数字多媒体广播(Digital Multimedia Broadcasting, DMB)技术,设计了一款面向大型考试的同步信息接收终端。该终端基于 FPGA 和单片机设计,可接收 DMB 信号,驱动 LED 点阵屏实时显示时间和考场文本信息,并提供语音播报功能。可保证时间精准同步到秒,所有考场误差不超过 0.5 s。所显示的考场指令具有同步性、一致性、准确性和醒目的特点,有效保证了各考场中时间和指令的同步实时发布。

**关键词:** 数字多媒体广播;FPGA;单片机;LED 点阵屏;信息发布

中图分类号: TN87

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200027

中文引用格式: 陈雪飞,张红升,王国裕. 基于 DMB 的考场同步信息接收及显示终端设计[J]. 电子技术应用, 2020, 46(8): 126-128.

英文引用格式: Chen Xuefei, Zhang Hongsheng, Wang Guoyu. Design of educational synchronization information receiving and display terminal based on DMB[J]. Application of Electronic Technique, 2020, 46(8): 126-128.

### Design of educational synchronization information receiving and display terminal based on DMB

Chen Xuefei, Zhang Hongsheng, Wang Guoyu

(College of Electronic Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

**Abstract:** In order to ensure the accurate release of the test site information, avoid the unfairness caused by the time synchronization in the test room, a synchronization information receiving terminal for large-scale examinations is designed based on digital multimedia broadcasting technology. Based on FPGA and MCU design, the terminal can receive DMB signals and drive LED dot matrix screen to display time and test text information in real time, and provides voice broadcast function. The time can be accurately synchronized to the second, and all the test field errors are less than 0.5 s. The displayed test field instructions have the characteristics of synchronization, consistency, accuracy and eye-catching, which effectively guarantees the simultaneous release of time and instructions in each examination room.

**Key words:** digital multimedia broadcasting; FPGA; MCU; LED dot matrix screen; information release

#### 0 引言

同步化多媒体信息接收是教育信息化建设的重要内容。在一个现代化的教室中,为了保证教学、考试的有序进行<sup>[1]</sup>,广播终端和同步时钟是必备的教学设施。广播终端主要用来接收学校管理部门(如考试中心等)发来的统一指令和考试内容;同步时钟则为所有教室提供相同的时间基准。

在考场中,最初使用的是常规时钟来显示时间,成本较低,但精准度较差,需要人工校准。近年来,有学者提出了基于 GPS 的同步时钟<sup>[2]</sup>,但 GPS 在教室内有信号弱、易受其他信号干扰的问题。随着网络的普及,系统基于手机信号的同步时钟被提出,但手机接收需要流量

费,对于长期使用并不经济实用,而且手机信号在偏僻地区存在不稳定现象,不能很好达到同步时钟效果;也有学者提出基于以太网的同步时钟<sup>[3]</sup>,但也存在网络系统不稳定的问题,不能保证考场时钟的严格同步。

在考场指令和考试内容的播报方面,目前大都采用基于有线广播<sup>[4]</sup>、调频广播<sup>[5]</sup>和 IP 广播<sup>[6]</sup>的方式。有线广播结构简单,但施工量较大,对于一些大型校园其建设和维护的成本都较高。调频广播是无线方式,虽然施工简单,但是内容单一,音质较差,且容易被窃听和干扰,安全性很低。IP 广播虽然功能强大,但也需要大量的布线,对大型校园而言,需要大量的路由设备,建设成本和维护成本都很高。

结合以上现状,本文利用数字多媒体广播(Digital Multimedia Broadcasting, DMB)技术,设计了一款基于 FPGA

\* 基金项目: 重庆市技术创新与应用发展项目(cstc2019jcsx-msxmX0079)

# 嵌入式技术 Embedded Technology

和单片机的考场同步信息接收、播放及显示终端。DMB 广播可以以无线的方式传输文字、图像、音频等业务<sup>[7]</sup>,对于考场信息播报尤为适用。DMB 发射信号中包含了精确的时间基准信号,在接收端可以实现所有终端时间和考场信息精准同步<sup>[8]</sup>。该终端接收 DMB 信号,在考场中能醒目、友好、同步地显示时间信息,又能以语音和文字方式灵活播放考场指令,所有教室内信息播放的同步误差小于 0.5 s,满足标准化教室的建设求。

## 1 系统方案设计

基于 DMB 的考场同步信息接收及显示终端包括 DMB 接收模块、音频播放模块和 LED 显示模块。图 1 所示为该终端的系统框图。DMB 接收模块连接天线,广播信号经天线接收后,RF 模块将 DMB 信号从中检索出来,并将其从高频降为中频,中频信号经过 ADC 转换后转换为 8 位的数字信号,数字信号送入 DMB 基带解码芯片中<sup>[9]</sup>,进行信道解码和解复用后,得到音频数据流和文本数据流,其中音频数据流经过 DMB 基带解码片内的音频解码器进行信源解码,然后通过 DAC 芯片转换,还原为声音信号,经功放放大信号后,驱动喇叭进行播放<sup>[10]</sup>;文本数据流经过 DMB 基带解码的数据接口,输出给 DMB 接收模块内的单片机进行解析,得到标准时间信息和考场指令信息后,送入 LED 显示模块,该模块将文本数据转化为像素信息,并通过扫描方式驱动 LED 点阵屏显示。两类信息通过该终端在所有考场同步播放和显示。

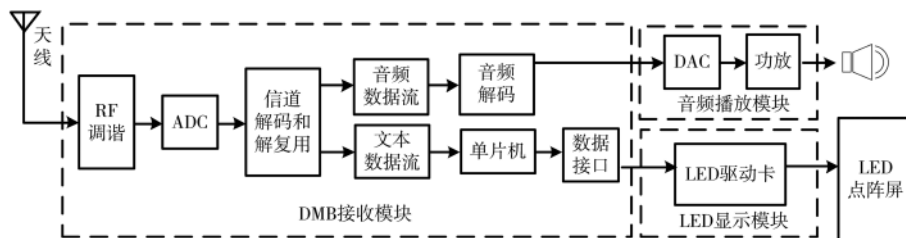


图 1 接收及显示终端的系统框图

## 2 LED 驱动模块的设计

### 2.1 DMB 信息处理设计

LED 驱动模块是基于 FPGA 和单片机设计的,其中 FPGA 芯片采用的是 Altera 公司的 EP4CE6E22C8N,该芯片内含 6 272 个逻辑单元;单片机采用 ARM Cortex-M3 中的产品 STM32F103RCT6,其为 32 位单片机,速度最高达到 72 MHz,支持多种通信接口,以上均满足设计需求。

将 DMB 接收模块与 LED 驱动模块通过 UART 接口相连接。LED 驱动模块结构示意图如图 2 所示。在 STM32 中设计包括 UART 模块、RTC 时钟模块、字库模块及 SPI 发送模块。本设计中使用 UART 接口采集时间基准数据和考场文本数据,考场文本数据格式为 GB2312 码和 ASCII 码。在接收 DMB 信号的同时,利用 STM32 中的实

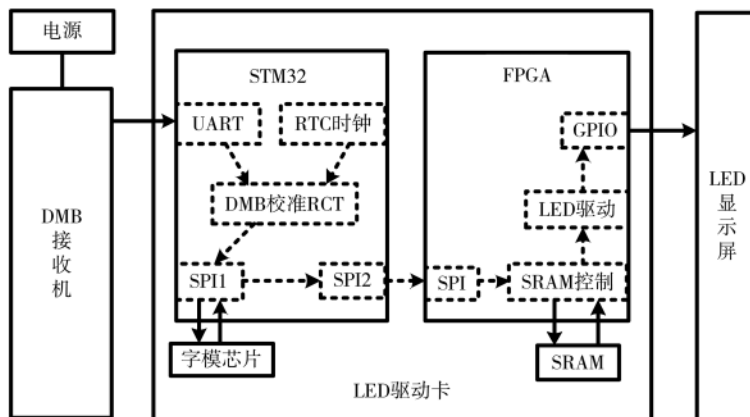


图 2 LED 驱动模块结构图

时时钟(RTC)功能<sup>[11]</sup>,产生一个内部时钟计数器,将计数器的值换算成年、月、日、时、分、秒,在内部中断中,不断校准单片机内部计数器所产生的时间。将校准好的时间和文本数据传入字库芯片中分别进行取模,STM32 芯片通过 SPI 接口与字库芯片相连,通过计算点阵在芯片中的地址,从该地址连续读出字符点阵信息<sup>[12]</sup>,完成取模,从而转化成 LED 屏的像素点阵。

### 2.2 LED 显示屏驱动设计

通过 SPI 接口将 STM32 处理完的数据传递给 FPGA,为后续驱动 LED 显示屏做准备。在 FPGA 中设计接收模块和 LED 屏驱动模块。通过 SPI 接收数据,存入通过 IP 核例化的双口 RAM 中,传给 LED 驱动模块,用于 LED 屏显示。在 LED 驱动模块中,按照 LED 显示屏的驱动芯

片来设计驱动电路。本实验中,LED 屏驱动芯片为 ICN2053,LED 屏接口为 HUB75E。接口数据线有数据时钟信号 CLK、颜色信号线 RGB、锁存信号 LE、行选信号 ABCDE 及消隐信号 OE<sup>[13]</sup>。显示屏是根据指令来进行控制的,指令定义如表 1 所示。表中各个指令是根据 LE 的长度来决定的,LE 的长度是指当 LE 为高电平时 CLK 的上升沿的个数,实现显示屏显示即完成各指令即可。

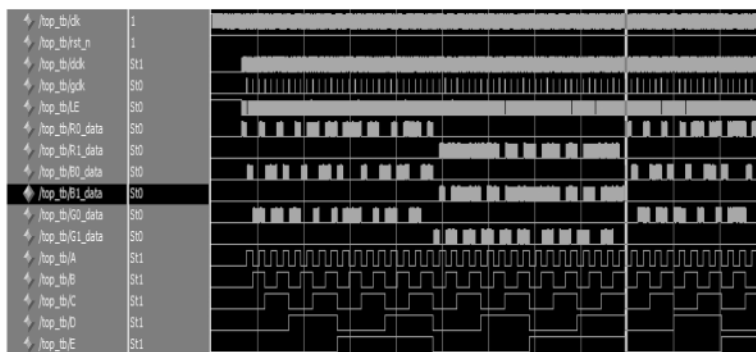
表 1 LED 显示指令定义表

指令名称	LAT	指令描述
DATA_LATCH	1	锁存 16 bit 数据送给 SRAM
VXYNC	3	更新显示数据
EN_OP	12	使能所有输出通道
PRE_ACT	14	写使能

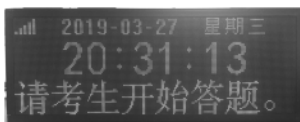
驱动 LED 显示屏步骤如下:

- (1)依次发送写使能 PRE\_ACT 和使能输出通道 EN\_OP 指令,使 LED 屏进入工作状态;
- (2)发送数据,将转换好的数据分别从 RGB 接口输入;

在 FPGA 中,使用 Verilog HDL 语言进行 LED 驱动模块设计,使用 Modelsim 软件对该模块进行仿真,波形如图 3 所示,图中 dclk 为 LED 屏工作时钟,LE 为 LED 屏驱动指令,可以看出指令给出后,数据从数据线 RGB 输出,在时钟配合下行依次增加完成全屏显示,从而证明驱动模块正确。



本设计接收端采用  $192 \times 64$  的 LED 屏显示,在考场中可以实现时间和考试指令同步显示,显示如图 4 所示,而在不需要考试指令时,LED 显示屏可以进行时间全屏显示,显示如图 5 所示。实验室测试时,将 DMB 接收模块和 LED 控制模块分别连接到 3 块 LED 屏时钟来进行同步性测试,结果表明,LED 屏可同时显示刷新,最大误差不超过  $0.5 \text{ s}$ ,满足标准化考场的需求。



2019-03-27 星期三  
20:30:50

《电子技术应用》 <http://www.chinaaet.com>

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所