

基于 FPGA 的通用光纤通信系统设计*

杨春玲, 左 令

(哈尔滨工业大学 电气工程及自动化学院, 黑龙江 哈尔滨 150001)

摘要: 光纤通信系统在工业现场应用日益广泛, 针对现有光纤通信系统通用性、灵活性不足等问题, 设计了一套通用性强、结构轻便的光纤通信系统。采用 FPGA 作为主控制器, 通过 USB3.0 总线从上位机接收指令及数据, 然后在光纤通信链路上完成数据发送与接收, 并控制串化-解串器芯片和光电转换模块完成信号形式的转换与传递。实验结果表明, 系统在 1.6 Gb/s 的有效速率下长时间通信无误码出现, 能够正确可靠地执行数据传输任务。

关键词: 光纤通信; FPGA; USB3.0; 逻辑设计

中图分类号: TN929.1

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200289

中文引用格式: 杨春玲, 左令. 基于 FPGA 的通用光纤通信系统设计[J]. 电子技术应用, 2020, 46(9): 110-113, 117.

英文引用格式: Yang Chunling, Zuo Ling. Design of fiber-optic communication system based on FPGA[J]. Application of Electronic Technique, 2020, 46(9): 110-113, 117.

Design of fiber-optic communication system based on FPGA

Yang Chunling, Zuo Ling

(Electrical Engineering and Automation School, Harbin Institute of Technology, Harbin 150001, China;)

Abstract: Fiber-optic communication system is widely used in industrial field. To solve the problems that the existing system lacks generality and flexibility, a set of fiber-optic communication system with strong versatility and light structure is designed in this paper. FPGA is used as the main controller, it can receive the instruction and data from the host computer through the USB3.0 bus, complete data transmission and reception on the fiber-optic communication link, and control the SerDes and the fiber-optic transceiver to complete the conversion and transmission of signals. The experimental results show that the system can communicate correctly and reliably under the rate of 1.6 Gb/s.

Key words: fiber-optic communication; FPGA; USB3.0; logic design

0 引言

近年来, 光纤凭借其传输容量大、抗干扰能力强、保密性能好等优点, 被广泛用于工业现场的通信, 但现有的光纤通信系统存在一些不足。国外的成熟系统价格昂贵、技术垄断, 且用户无法根据需求对系统功能进行改动。国内研究已取得不少成果, 但仍可进行改进。采用 PCI、PCIe 等总线接口, 需要计算机进行插卡, 设备不够灵活^[1-2]。采用 FPGA 片上集成的串行收发器, 依赖于此类芯片, 价格较高^[3-4]。

基于上述分析, 本文设计了一套基于 FPGA 的通用光纤通信系统。对通信部分逻辑进行了设计封装, 且在接收端预留了应用接口, 用户可以根据不同应用场合加入其他设计, 具有一定的通用价值。系统采用 USB3.0 总线接口, 方便与各类计算机及嵌入式设备进行通信, 设备结构简捷轻便。最后, 光纤通信部分逻辑为自主设计, 通信协议灵活, 不依赖于搭载了串行收发器的芯片。

1 通用光纤通信系统硬件设计

1.1 系统硬件总体设计方案

系统硬件总体设计方案如图 1 所示。

系统核心的硬件部分包括 USB3.0 总线接口和光纤通信单元。

对于 USB3.0 总线, 若直接在 FPGA 内部对其协议进行开发, 存在周期长、难度大的问题。本系统采用 Cypress 公司的 CYUSB3014 微控制器作为 USB3.0 接口芯片, 将复杂的 USB 协议描述转化为对该芯片的控制及访问, 实现系统与上位机的通信。

在光纤通信单元, 串行线路上速率较高, 与 FPGA 提供的并行数据之间需要进行串并转换。与此同时, 要实现光纤通信还需考虑光电信号的转换, 本系统采用串化-解串器芯片和光电转换模块完成光纤通信部分的信号形式转换与传递。

本系统采用 Cyclone IV 系列 FPGA, 在发送和接收两端均为其配备了 DDR、Flash 等片外存储器用于缓存数据、固化程序, JTAG 接口用于系统调试。

* 基金项目: 航空科学基金(20170177001)

嵌入式技术 Embedded Technology

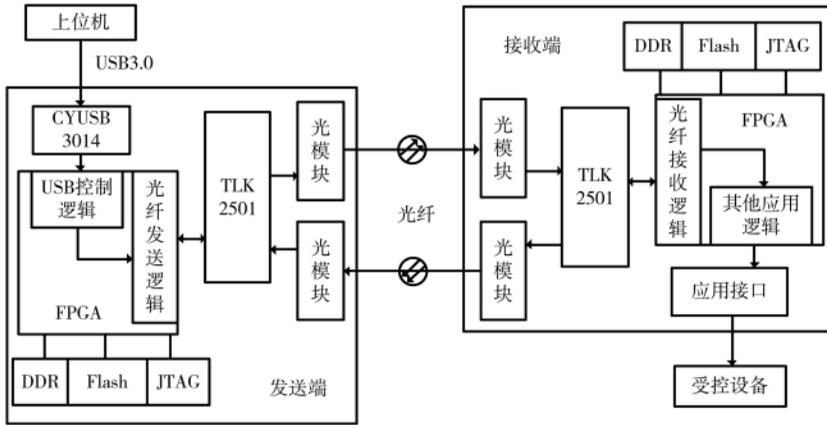


图1 系统硬件总体设计方案

集成串化-解串器 TLK2501 负责信号的串并转换,TLK2501 内部具有 8B/10B 编解码模块,能确保串行数据时钟可恢复以及链路信号的直流平衡,串行数据速率范围 1.5 Gb/s~2.5 Gb/s,其时钟、数据、控制及标志信号与 FPGA 相连。AFBR5921 为高性能光纤收发器,负责光电信号转换,速率范围 1.062 5 Gb/s~2.125 Gb/s。TLK2501 的串行侧信号为 CML 电平,而 AFBR5921 的电信号为 LVPECL 电平,两者连接时需采用偏置电压和分压电阻配合进行电平转换^[6]。

TLK2501 主要引脚功能见表 2。

1.2 USB 总线接口设计

图 2 为 USB 总线接口电路连接示意图。

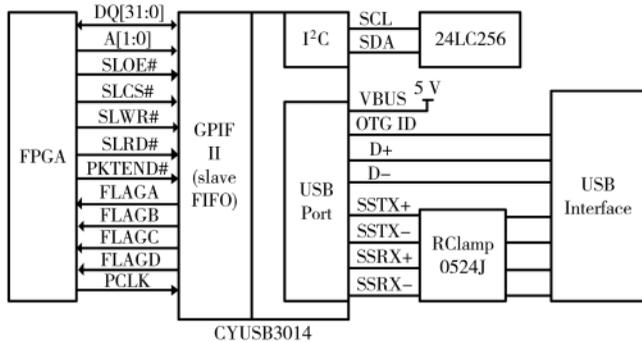


图2 USB总线接口电路连接示意图

CYUSB3014 是一款基于 ARM9 处理器的 USB3.0 专用控制芯片,其内部具有可编程的 GPIF II 接口,USB Port 与 GPIF II 通过 DMA 进行数据传输。GPIF II 可配置为不同模式,本设计将其配置为同步 slave FIFO,FPGA 作为主器件对其进行访问。当上位机发送数据时,CYUSB3014 会将其存放在内部 DMA 缓冲区,对 FPGA 而言,相当于按照时序要求对一块存储空间进行读写。

由于 CYUSB3014 与 FPGA 相连的引脚众多,为使 FPGA 与其通信时获得较好的时序特性,将这部分信号全部连接至 FPGA 的 BANK7 和 BANK8。USB Port 部分为 USB 接口的相关信号,为防止 ESD 损坏芯片,添加了静电保护器 RClamp0524J。同时,为保证 VBUS 输入电压不超过芯片要求的 6 V,利用稳压后的 5 V 电源直接对其供电。24LC256 为 32 KB 容量的 EEPROM,通过 I²C 总线与 CYUSB3014 连接,用于存放其固件程序,I²C 总线在空闲时被上拉^[5]。

GPIF II 在 slave FIFO 模式下的接口信号功能见表 1。

1.3 光纤通信单元设计

本系统的光纤通信单元需要信号的双向传递,因此发送端与接收端均包含收发功能,结构一致。图 3 为光纤通信单元电路连接示意图。

表 1 GPIF II 接口在 slave FIFO 模式下的信号功能

信号名称	功能
DQ[31:0]	双向数据总线
A[1:0]	地址信号,用于访问不同线程
SLOE#	数据总线使能信号,访问总线时拉低
SLCS#	片选信号,对芯片进行操作时需拉低
SLWR#	写使能信号,低有效
SLRD#	读使能信号,低有效
PKTEND#	发送结束标志,低有效
FLAG	缓冲区空、满等状态标志
PCLK	FPGA 提供的参考时钟

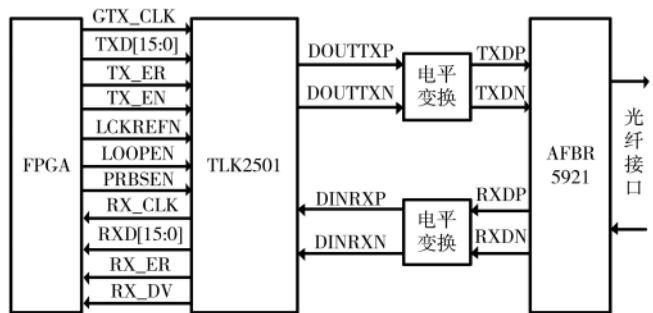


图3 光纤通信单元信号连接示意图

表 2 TLK2501 主要引脚功能

信号名称	功能
GTX_CLK	发送时钟,频率 75 MHz~125 MHz
TXD[15:0]	发送端并行数据
TX_ER、TX_EN	发送端控制信号,用于选择发送端工作状态
LCKREFN	参考锁定控制信号,高有效
LOOPEN	芯片内部自环测试使能
PRBSEN	伪随机序列发生使能
RX_CLK	接收端恢复时钟
RXD[15:0]	接收端并行数据
RX_ER、RX_DV	接收端状态标志信号
DOUTTXP/N	串行发送差分信号
DINRXP/N	串行接收差分信号

嵌入式技术 Embedded Technology

2 通用光纤通信系统 FPGA 逻辑设计

2.1 发送端逻辑设计

发送端整体逻辑结构如图 4 所示。

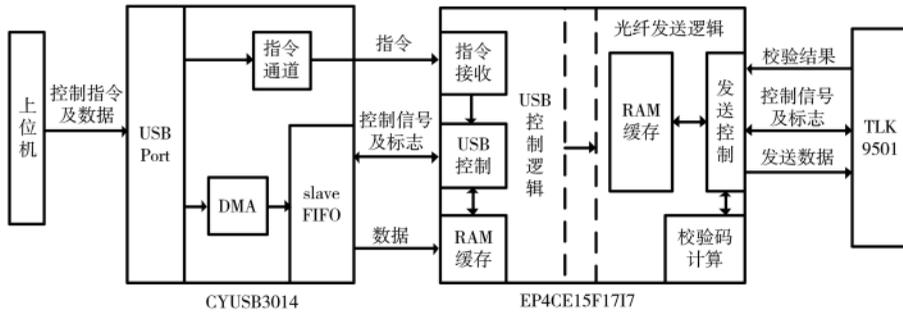


图 4 光纤通信单元信号连接示意图

发送端逻辑主要由 USB 控制逻辑和光纤发送逻辑组成,在其间设置了 RAM 缓存数据,使它们可以工作在不同的时钟域。系统工作时,首先由上位机传送控制指令及数据,在 CYUSB3014 中,指令通过专门通道传输,数据通过 DMA 传输,指令与数据分开传输的优势在于 FPGA 可以更加灵活地进行响应。指令包括 FPGA 要执行的操作及地址等信息。

2.1.1 USB 控制逻辑

USB 控制逻辑主要实现了 slave FIFO 的访问,本系统中数据由上位机向 FPGA 传递,故以读操作为例进行介绍。进行读操作时,首先要将片选信号 SLCS# 拉低,并将地址 A[1:0]切换到操作对应的线程,若 FPGA 检测到缓冲区不空标志(本设计为 FLAGC)及水印值标志(本设计为 FLAGD)为高,可将数据总线使能 SLOE# 和读使能 SLRD# 拉低,开始读取。必须注意的是,SLRD# 与数据存在两个周期的延时,即在 SLRD# 拉低两周期后,数据才会出现在总线上,同理,拉高后的两周期内,总线上仍有数据。如果等缓存区不空标志变低时才结束读使能,可能产生读溢出,因此芯片设计者为用户提供了水印值标志,它会比缓冲区不空标志提前水印值个周期变为低电平,水印值的设定可参考官方建议。但如果在水印值标志变低时就结束读使能,又可能丢失末尾数据。所以要准确控制拉高读使能和总线使能的时间,使得 FPGA 不多读也不少读。计算方法为,时钟沿检测到水印值标志为低后,读使能需维持低电平的周期=水印值×(32/总线宽度)-3,总线使能需维持低电平的周期=水印值×(32/总线宽度)-1,在设计中通过计数器从预设值减计数到 0 得到这两个维持时间^[7-8]。

USB 控制模块状态转换图如图 5 所示。

上电或复位后系统进入 IDLE 状态,拉低 SLCS# 片选信号。收到读命令后,进入 CHECK 状态,并将地址总线确定为线程 3,对应读操作。检测到 FLAGC 和 FLAGD 为高时,证明缓冲区有数据,进入 WAIT 状态。在 WAIT 状态下拉低总线使能 SLOE# 和读使能 SLRD#,并将两个使

能对应的维持时间计数器置数。等待两周期后,数据会出现在总线上,此时进入 READ 状态,并开始从缓冲区读出数据,写入 RAM。当检测到水印值标志 FLAGD 变

低时,进入 RD_DELAY 状态。SLRD# 维持低电平,到达所需时间后拉高,进入 OE_DELAY 状态。SLOE# 维持低电平,到达所需时间后拉高,同时结束写 RAM 操作,回到 IDLE 状态,完成一次数据的读取。

2.1.2 光纤发送逻辑

光纤发送逻辑负责按协议将数据打包成帧,并对光纤通信的整体流程进行控制。通信采用的协议如图 6 所示。

图 6 所示。

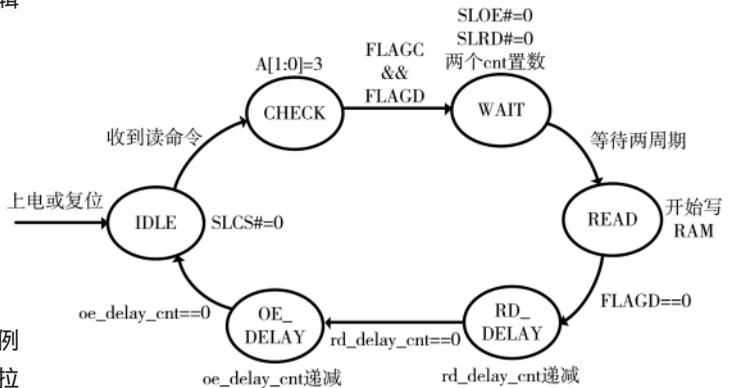


图 5 USB 控制模块状态转换图

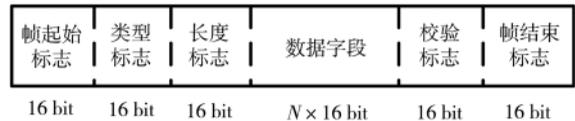


图 6 光纤传输部分通信协议格式

如果只是不停地发送,难以确保通信可靠进行,所以发送端还要对接收端的应答,如解串器同步状态及数据校验结果等,做出不同的响应与调整,图 7 为基于此思路设计的光纤发送逻辑状态转换图。

系统上电或复位后进入 IDLE 状态。当收到上位机的发送指令时,进入 SYNC 状态,控制串化器发送同步序列,与接收端的解串器进行同步。如果持续收到同步错误应答或应答超时,系统会进入 ERROR 状态,并向上位机报告错误。如果收到接收端同步成功的应答,则开始发送数据。在 SOF 到 EOF 的 6 个状态中,按照协议进行数据发送,其中 CRC 校验码的计算范围是类型标志、长度标志及数据字段,在 DATA 状态中会将待发送数据从 RAM 中依次读出并发送。发送完毕后,系统会进入 CHECK 状态,等待接收端应答的校验结果。如果校验错误或应答超时,系统会进入 ERROR 状态向上位机报告错误,如果校验正确,则准备开始下一帧的发送,当本次

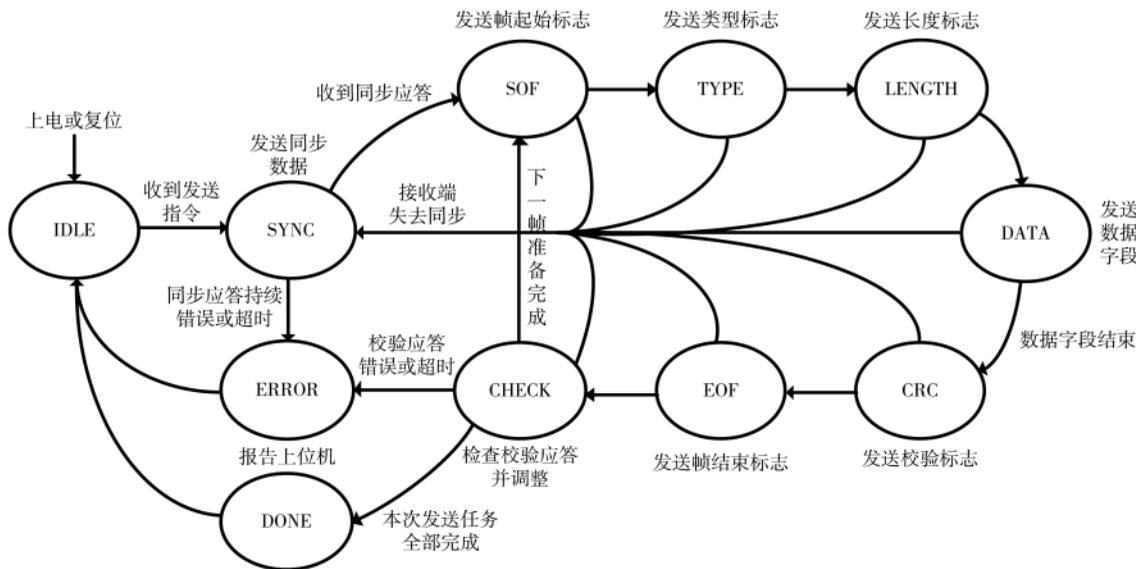


图7 光纤发送逻辑状态转换图

所需数据全部发送成功后，系统经过 DONE 回到 IDLE 状态，并通知上位机发送结束。

2.2 接收端逻辑设计

接收端整体逻辑结构如图8所示。

接收端逻辑主要由光纤接收逻辑和其他应用逻辑组成。其他应用逻辑由用户根据具体场景设计，光纤接收逻辑负责数据帧的解析、校验与存储，并对解串器状态和校验结果进行应答，配合发送端实现可靠传输。图9为光纤接收逻辑状态转换图。

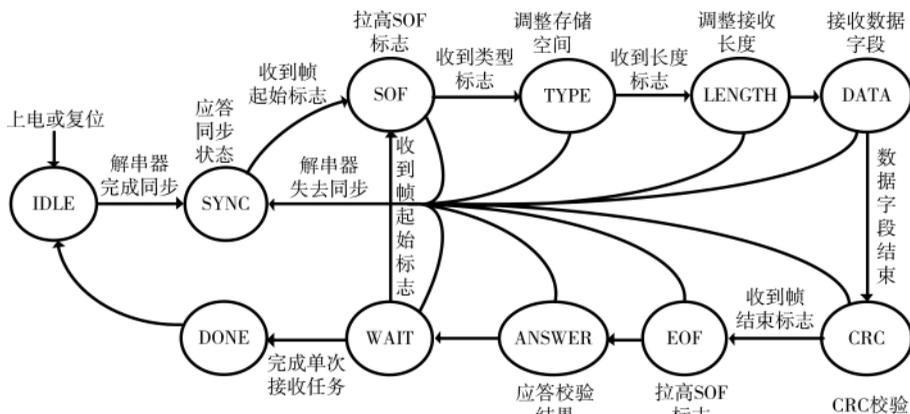


图9 光纤接收逻辑状态转换图

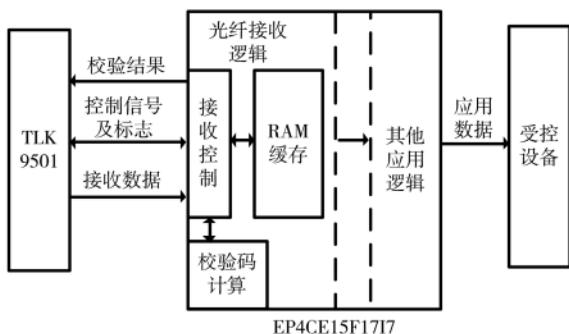


图8 接收端整体逻辑结构

系统上电或复位后进入 IDLE 状态，当检测到解串器收到发送端发来的同步序列并同步成功后，进入 SYNC 状态。在 SYNC 状态中，向发送端应答解串器的同步状态，同时对接收数据进行检测。收到帧开始标志后，系统进入 SOF 状态，SOF 到 EOF 的 6 个状态为一帧数据的接收流程。这期间系统会依次完成帧起始 SOF 信号的拉高，根据类型标志对数据存储位置的调整，根据长度标

志对数据接收长度的调整，将数据字段写入 RAM，CRC 校验，帧结束 EOF 标志的拉高等操作。然后在 ANSWER 状态下向发送端应答校验结果，并回到 WAIT 状态等待下一帧的到来，若本次接收任务全部完成，则会经过 DONE 回到 IDLE 状态。

3 实验验证

完成系统设计后，搭建从上位机到光纤接收端的数据传输平台进行通信测试。上位机通过 USB 控制窗口向发送端传输数据，随后由发送端经过光纤将数据发送到接收端，并检验数据传输是否正确。FPGA 提供给 CYUSB3014 GPIF II 接口的 PCLK 时钟设置为 100 MHz，提供给 TLK2501 的 GTX_CLK 时钟也设置为 100 MHz，对应光纤通信链路上的有效数据速率为 1.6 Gb/s。

在上述条件下，连续发送不同大小的数据帧，传输测试结果见表3。

结果表明，本系统在 1.6 Gb/s 的有效速率下能够正

(下转第 117 页)

电路与系统

Circuits and Systems

网络,则:

(1)充电路径:交流电源经由整流桥、二极管 D5、中间储能电容 C_1 及二极管 D6 向输出滤波电容 C_2 和负载 R_{load} 提供能量,转换为交流电源经由整流桥、二极管 D5、储能电容网络(C_3 、D8、 C_4 串联)、二极管 D6 向输出滤波电容 C_2 和负载 R_{load} 提供能量。

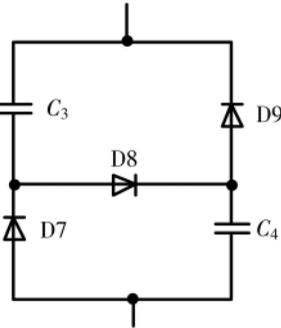


图7 储能电容网络

(2)放电路径:交流电源经由整流桥、开关器件 M2、中间储能电容 C_1 及开关器件 M1 向输出滤波电容 C_2 和负载 R_{load} 提供能量,转换为交流电源经由整流桥、开关器件 M2、储能电容网络(D7、 C_3 并联 C_4 、D9) 及开关器件 M1 向输出滤波电容 C_2 和负载 R_{load} 提供能量。

5 结论

本文提出一种高效率无电感的 AC/DC 开关电源拓扑结构及其控制方法,详细分析了工作机理和工作过程,原理样机验证本拓扑结构效率高达 94%,进一步分析了用逐流电路替代中间储能电容的可行性。本拓扑结构本质特征:

(1)中间储能电容 C_1 和负载电容 C_2 串联,由交流输入电源充电。

(2)中间储能电容 C_1 和交流输入电源串联,向负载

电容 C_2 放电。

试验证明,本拓扑结构有以下特点:

- (1)降压型拓扑结构。
- (2)功率开关器件零电压开通,工作在开关状态。
- (3)二极管零电流关断,无二极管反向恢复损耗。
- (4)有较好的抗击雷击浪涌的能力。

参考文献

- [1] 刁明君.开关电源的研究发展综述[J].通信电源技术,2018,35(7):89-93.
- [2] 张治国,谢运祥,袁兆梅.高频 LCC 谐振变换器的分析与轨迹控制[J].中国电机工程学报,2011,31(27):52-58.
- [3] ABDI B,RANJBAR A H,GHAREHPETIAN G B.Reliability considerations for parallel performance of semiconductor switches in high-power switching power supplies[J].IEEE Transactions on Industrial Electronics,2009(6):2133-2139.
- [4] 钟景高,王上衡,王东.关于提升绕线电感器焊接可靠性研究[J].电子技术,2017(7):48-50.
- [5] 杨庆江,刘晓红.提高无源逐流电路功率因数的一种方法[J].现代电子技术,2011,34(1):200-202.
- [6] 韩德强,冯云贺,王宗侠,等.Simics 环境下故障注入的研究与实现[J].电子技术应用,2015,41(1):21-24.

(收稿日期:2020-03-29)

作者简介:

崔俊国(1976-),男,博士,主要研究方向:电力电子、开关电源、隔离驱动等。

(上接第 113 页)

表3 光纤传输测试结果

帧数据容量	测试次数	出错次数
16 bit×64	50	0
16 bit×128	50	0
16 bit×256	50	0

确进行完整的数据通信。

4 结论

本文设计了一套基于 FPGA 的通用光纤通信系统,在硬件设计基础上通过 FPGA 逻辑实现了完整的数据传输流程。光纤通信有效速率可达 1.6 Gb/s,该系统通用性强、结构简捷、性能可靠,具有一定的应用价值。

参考文献

- [1] 黄林达.基于 PCI Express-FC 协议高速数据传输模块的设计[D].成都:电子科技大学,2015.
- [2] 朱琛,崔镭,邵春伟,等.基于 FPGA 的高速光纤传输卡[J].电子与封装,2018,18(3):22-25.

- [3] 袁行猛,徐兰天.基于 FPGA 的高速光纤通信基带板的设计[J].电子产品世界,2018,25(7):58-61.
- [4] 刘天华.数字图像远程光纤传输与以太网高速通信系统设计[D].重庆:重庆大学,2018.
- [5] 王国忠,刘磊,储成群.基于 USB3.0 高速图像数据传输系统设计[J].仪表技术与传感器,2019(3):107-109.
- [6] 岳建民.红外阵列半实物仿真中光纤高速传输技术的研究[D].哈尔滨:哈尔滨工业大学,2017.
- [7] 杨亚涛,曲鸣,曹广灿,等.支持多安全运算模块的 USB3.0 控制器固件设计[J].电子科技大学学报,2019,48(2):196-198.
- [8] 陈国松.基于 FPGA 和 USB3.0 的图像信息采集与处理系统设计与实现[D].长春:吉林大学,2019.

(收稿日期:2020-04-10)

作者简介:

杨春玲(1965-),女,教授,主要研究方向:电子系统设计、FPGA 应用及算法硬件加速。

左令(1997-),男,硕士研究生,主要研究方向:FPGA 应用及算法硬件加速。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所