

基于 FPGA 的高精度鉴相器实现

董淑豪¹, 吴东岷²

(1. 中国科学技术大学 微电子学院, 安徽 合肥 230026;

2. 中国科学院苏州纳米技术与纳米仿生研究所, 江苏 苏州 215000)

摘要: 基于模拟电路的鉴相器虽然响应速度快, 但是很难达到较高的精度, 并且开发周期长不易优化。为了可以实时检测 MEMS 器件谐振时微小的相位变化, 提出一种基于 FPGA 的高精度鉴相器。该鉴相器主要是由数字混频器、FIR 数字滤波器、DDS 信号发生器以及模数转换电路组成。鉴相方法是通过将被测信号与一同频、相位可调、且初始相位为 90° 的参考信号混频, 并通过高阶 FIR 滤波器提取与相位有关的差频信号, 调节参考信号相位使得此差频信号趋近于 0, 则此参考信号的相位调节量即为被测信号的相位。鉴相器的时钟频率为 100 MHz, 鉴相精度可以达到 0.0001° 。工作频率灵活可调, 并且应用于锁相环中时, 可以很方便地与 MEMS 器件的驱动电路兼容。

关键词: FPGA; FIR; 鉴相器; DDS; MEMS

中图分类号: TN763.3

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200377

中文引用格式: 董淑豪, 吴东岷. 基于 FPGA 的高精度鉴相器实现[J]. 电子技术应用, 2020, 46(10): 57-60, 78.

英文引用格式: Dong Shuhao, Wu Dongmin. Realization of high precision phase detector based on FPGA[J]. Application of Electronic Technique, 2020, 46(10): 57-60, 78.

Realization of high precision phase detector based on FPGA

Dong Shuhao¹, Wu Dongmin²

(1. School of Microelectronics, University of Science and Technology of China, Hefei 230026, China;

2. Suzhou Institute of Nano-Tech and Nano-Bionics, Suzhou 215000, China)

Abstract: Although the response speed of the phase detector based on analog circuit is fast, it is difficult to achieve high precision, and the development cycle is long and difficult to optimize. In order to detect the tiny phase change of micro-electro-mechanical system (MEMS) devices in real time, a high-precision phase detector based on field programmable gate array (FPGA) is proposed. The phase detector is mainly composed of digital mixer, finite impulse response (FIR) digital filter, direct digital synthesis (DDS) signal generator and analog digital converter circuit. The phase detection method is to mix the measured signal with the reference signal with the same frequency, adjustable phase and initial phase of 90° , and extract the phase related difference frequency signal through high-order FIR filter, adjust the reference signal phase to make the difference frequency signal close to 0, then the phase adjustment amount of the reference signal is the phase of the measured signal. The clock frequency of the phase detector is 100 MHz, and the phase accuracy can reach 0.0001° . The working frequency is flexible and adjustable. When it is used in PLL, it can be easily compatible with the driving circuit of MEMS devices.

Key words: FPGA; FIR; phase detector; DDS; MEMS

0 引言

微机电系统 (Micro-Electro-Mechanical System, MEMS), 体积小、功耗低、谐振频率高、光学特性好^[1], 在医疗、军事、科研等领域得到广泛应用。在 MEMS 微振镜的同步控制过程中, 传统的模拟鉴相器很难达到较高精度, 并且模拟鉴相器开发周期长, 不易优化。基于现场可编程门阵列 (Field Programmable Gate Array, FPGA) 的数字鉴相器可以大大提高鉴相精度^[2], 并且灵活可调, 方便实现 MEMS 微镜的同步控制。

1 鉴相器总体方案

鉴相器原理是通过将被测信号与一同频、初始相位为 90° 、且相位可调的参考信号进行混频, 并通过 FIR 滤波器提取与相位有关的差频信号, 同时调节参考信号的相位, 使得此差频信号趋近于 0^[3], 此时对参考信号的相位调节量便是被测信号的相位。

其中设定参考信号的相位为 90° 是为了方便鉴相器输出值的处理。

通过对 MEMS 微振镜工作状态的了解, 以及对数字

微电子技术 Microelectronic Technology

鉴相器原理的分析,给出鉴相器实现的系统框图,如图1所示。其中主要包括模数转换(Analog Digital Converter, A/D)电路、直接数字频率合成器(Direct Digital Synthesis, DDS)、混频器有限长单位冲激响应(Finite Impulse Response, FIR)滤波器。

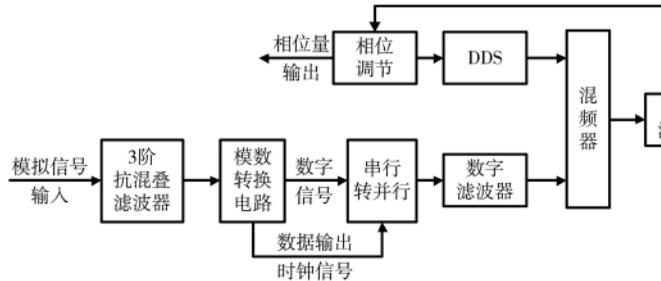


图1 鉴相器系统框图

2 DDS 原理与 FPGA 实现

DDS 具有精度高、信号灵活可调的优点。DDS 主要组成部分是:相位累加器、波形存储器和时钟模块。其原理是:每当时钟模块的有效时钟沿到来时,相位累加器按某一步长逐次累加,并且相位累加器的输出作为波形存储器的寻址地址,同样是当时钟有效沿到来时,根据累加器的输出(即寻址地址)来从波形存储器取出数据并作为 DDS 最终的输出。图2为产生正弦信号的 DDS 原理框图。

图2中, ϕ_{inc_i} 是累加步长, ϕ_{inc_i} 越大, DDS 输出正弦信号的频率也就越高; ϕ_{mod_i} 是相位调制量, 输出信号的相位随 ϕ_{mod_i} 的变化而变化; ϕ_{mod_i} 是频率调制量, 当 ϕ_{mod_i} 被启用的时候, 相位累加器的累加步长将会变为 ϕ_{inc_i} 与 ϕ_{mod_i} 的和, 也就是说, ϕ_{mod_i} 的值可以改变输出正弦信

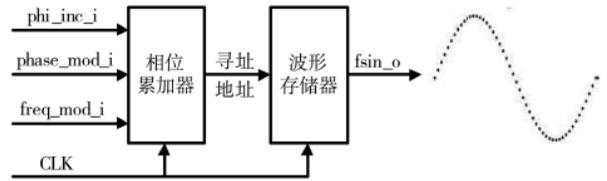


图2 DDS 原理框图

号的频率。

DDS 的输出信号为 f_{sin_o} , 是离散的正弦数字信号。假设 DDS 输出信号 f_{sin_o} 的频率为

$f_{req_fsin_o}$, 其与累加器步长 ϕ_{inc_i} 、频率调制量 ϕ_{mod_i} 、主时钟频率 f_{req_clk} 和累加器精度 $pre_phase_accumulator$ (phase accumulator precision) 有关^[3]。并且其关系式为:

$$f_{req_fsin_o} = \frac{f_{req_clk}}{2^{pre_phase_accumulator}} \times (\phi_{inc_i} + \phi_{mod_i}) \quad (1)$$

FPGA 中通过数字振荡器(Numerically Controlled Oscillator, NCO)搭建 DDS 模块,如图3所示。

通过 Signaltap 嵌入式逻辑分析仪,检测 FPGA 中 DDS 模块的输出信号,如图4所示。

3 鉴相器的 Simulink 模型搭建与仿真

为了初步验证鉴相器的可行性,搭建 Simulink 模型,如图5所示。

鉴相器的 Simulink 模型包括 DDS 模块、相位调节模块^[4]、混频器模块、FIR 滤波器模块以及系统函数(System Function, S-Function)模块等。

在鉴相器的 Simulink 模型中 DDS 模块是由相位累加器(Phase Accumulator)和波形存储器(Wave ROM)组成的,如图6所示。

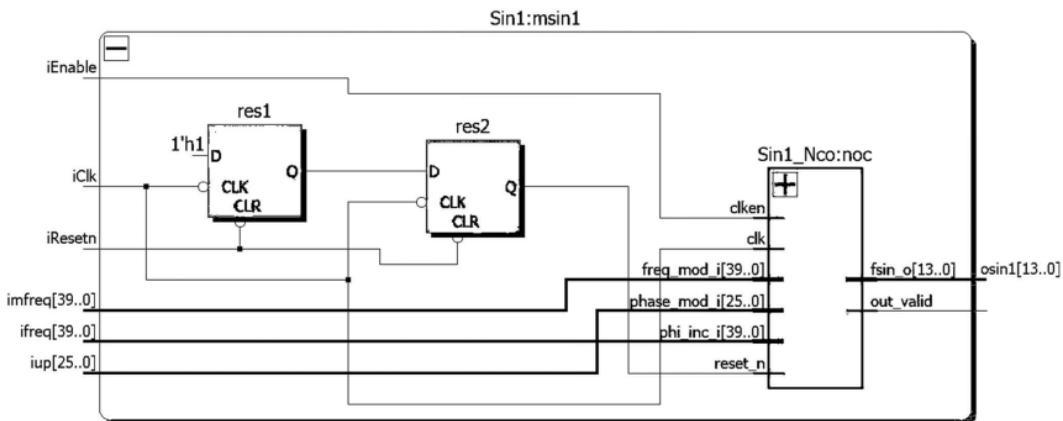


图3 基于 NCO 的 DDS 逻辑电路图

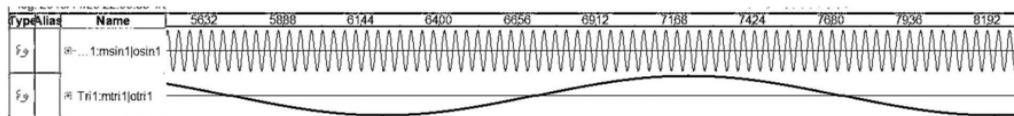


图4 DDS 产生的数字信号

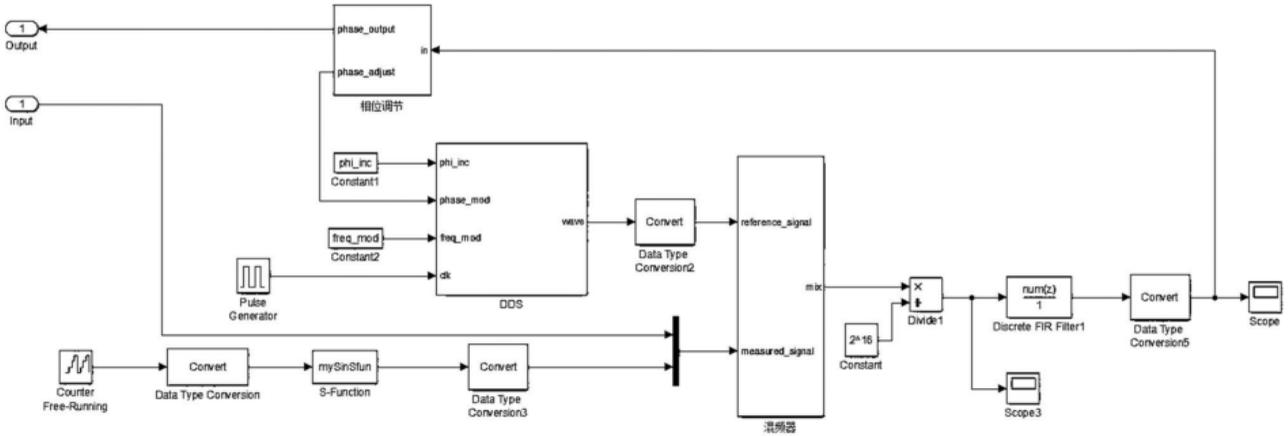


图5 鉴相器的 Simulink 模型

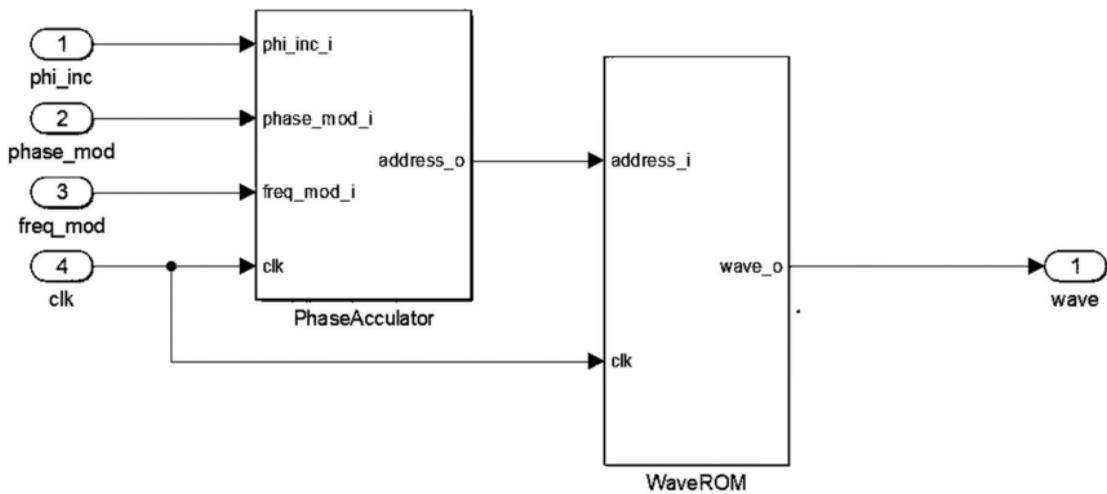


图6 DDS 的 Simulink 模型

其时钟信号由脉冲生成器(Pulse Generator)产生,如图5所示。

DDS 模块用以产生相位可调的参考信号。

而 S-Function 模块产生数字信号,用以模拟通过 A/D 电路采样过来的被测信号,并作为鉴相器的输入。

S-Function 模块的系统函数如下:

$$\text{sys} = \text{Amp} \times \sin(\text{Freq} \times 2\pi t + u \times \frac{2\pi}{360} \times 0.000\ 085\ 83) \quad (2)$$

其中 u 为输入变量,通过此变量可以控制数字信号的相位。由式(2)可以知道, u 每变化单位 1,数字信号相位变化 $0.000\ 085\ 83^\circ$ 。

通过 S-Function 模块产生被测信号。并且以 1 为单位增量 Δu ,以 3 倍的数字信号周期为时间间隔 Δt ,从 0 开始,每过 Δt ,便对 S-Function 输入变量 u 增加 Δu 。则 S-Function 模块将产生相位以 $0.000\ 085\ 83^\circ$ 为单位增量的相位递增的数字信号。以此数字信号为鉴相器模型的输入信号,并对鉴相器模型进行仿真,可以得到仿真结果,即鉴相器的输出(未量化) q 与时间 t 之间关系曲线如图 7 所示。

q 并不是最终的相位值。尽管 q 需要量化之后才可以转化为对应的相位值,但是 q 同样可以表征出相位的变化,并且可以更加直观地表现出当相位发生单位变化时所造成的鉴相器输出的最小变化量。

例如,放大如图 7 所示的仿真曲线,如图 8 所示,被测信号每变化 $0.000\ 085\ 83^\circ$ 时,鉴相器输出值(未量化)便会相应地增加一清晰可辨的数字量。

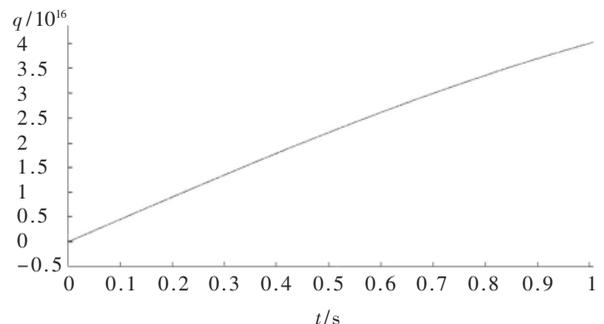


图7 鉴相器的 Simulink 模型仿真曲线

4 鉴相器的 A/D 电路简述

A/D 电路用于对 MEMS 工作状态进行采集并传递

通信与网络 Communication and Network

specifications[S].2012.

[2] ECMA International.Standard ECMA-398 ,close proximity electric induction wireless communications[S].2011.

[3] 吴湛击.无线通信新协议与新算法[M].北京:电子工业出版社,2013.

[4] 陈磊,谈振辉.基于优先级和休眠机制的无线体域网 MAC 协议的能效优化[D].北京:北京交通大学,2014.

[5] SARANG S, DRIEBERG M, AWANG A.Muti-priority based QoS MAC protocol for wireless sensor network[C].2017 IEEE International Conference on System Engineering and Technology, Shah Alam, Malaysia, 2017.

[6] IEEE Standards Association.IEEE 802.15.6.wireless body area network[S].2012.

[7] KIM B S, Fang Yuguang, WONG T F.Rate-adaptive MAC protocol in high-rate personal area networks[C].2004 IEEE Wireless Communications and Networking Conference.Atlanta,

GA, USA.2004.

[8] MathWorks.State flow user's guide[Z].MATLAB & Simulink. R2013a, 2013.

[9] 夏宇闻,韩彬.Verilog 数字系统设计教程[M].北京:北京航空航天大学出版社,2017.

[10] 丁彬勇,黄鲁,白雪飞.脉冲超宽带通信系统基带单元设计与芯片实现[D].合肥:中国科学技术大学,2012.

[11] 米联电子科技有限公司.XILINX ZYNQ 以太网通信篇——基于 MZ7X 系列开发板[Z].2018.

(收稿日期:2020-03-03)

作者简介:

汪健(1995-),男,硕士,主要研究方向:无线通信 MAC 层的设计与实现。

林敏(1974-),通信作者,男,博士,教授,主要研究方向:无线通信芯片设计、微电子与固体电子学等,E-mail:mlin99@shu.edu.cn。

(上接第 60 页)

参考文献

[1] 何嘉辉,周鹏,余晖俊,等.电磁驱动大尺寸 MEMS 扫描镜的研究[J].光子学报,2017,46(1):21-28.

[2] 胡宗恺,饶志宏.高精度数字鉴相技术的 FPGA 实现[J].通信技术,2010,43(12):177-179.

[3] 许文浩,屈乐乐,殷文浩.基于 FPGA 和 DDS 的频率步进信号源的设计与实现[J].数字技术与应用,2017(1):147.

[4] Gu Dawei, Yao Yao, Zhang Dengming, et al. Matlab/Simulink based modeling and simulation of fuzzy PI control for PMSM[J].

Procedia Computer Science, 2020: 166.

[5] 陈媛媛,刘有耀.FIR 滤波器的 FPGA 设计与实现[J].电子设计工程,2017,25(24):65-69,73.

[6] 安书董,李明,王宛人,等.基于 FPGA 的低抖动时钟锁相环设计方法[J].航空计算技术,2017,47(6):109-111.

(收稿日期:2020-05-11)

作者简介:

董淑豪(1993-),男,硕士研究生,主要研究方向:MEMS 驱动电路。

吴东岷(1973-),通信作者,男,博士,研究员,主要研究方向:MEMS 光学成像系统等,E-mail:dmwu2008@sinano.ac.cn。

(上接第 63 页)

工艺设备可以选择以反射功率或者直流偏压值作为控制目标,进行射频功率匹配调节。虽然负载形式和结构不同,但自动匹配原理相似。

6 结论

通过研究和试验,采用本文介绍的射频匹配分析方法,对相关电路的设计改进,可以为射频功率匹配设计提供指导,对设备工艺参数的确定提供较大帮助。

在设备老化,工作状态发生变化,或者工艺条件比较极端的情况下,通过增减旁路电容、补偿电感方法扩大设备匹配能力,可以提高设备工艺适用性。

通过给不同工艺预置匹配电容位置,可以提高阻抗匹配速度、精度和稳定性,降低反射功率,提高生产效率,有利于提高产品的工艺性能和质量。

(上接第 72 页)

实现[J].航空计算基数,2013,43(4):113-121.

(收稿日期:2020-02-02)

参考文献

[1] 张志.射频电源自动阻抗匹配器的开发和实验研究[D].沈阳:东北大学,2008.

[2] 卢慧.射频阻抗自动匹配方法的研究与实现[D].郑州:郑州大学,2017.

[3] 郑珍,王海,周渭,等.AD8302 型相位差测量系统的设计[J].电子科技,2005(11):48-52.

(收稿日期:2020-05-31)

作者简介:

赵英伟(1971-),男,工程硕士,高级工程师,主要研究方向:半导体工艺设备。

张文雅(1982-),男,本科,高级工程师,主要研究方向:半导体工艺设备。

郝晓亮(1979-),男,本科,高级工程师,主要研究方向:半导体工艺设备。

作者简介:

马力科(1982-),通信作者,男,硕士,高级工程师,主要研究方向:信号处理处理平台及嵌入式系统开发,E-mail: mcdona_cn@163.com。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所