基于 FPGA 的功率谱分析系统

付恩琪[1,2],孙秀男[1,2],梁 昊[1,2]
(1.中国科学技术大学 核探测与核电子国家重点实验室,安徽 合肥 230026;
2.中国科学技术大学 近代物理系,安徽 合肥 230026)

摘 要:针对激光雷达的微弱信号探测,设计了一种实时功率谱分析系统。系统使用 12 位 1 GS/s 的模数转换器(Analog to Digital Converter,ADC)进行采样,采用 FPGA 作为数据采集处理的控制核心,并通过 DDR3 及千兆以太网实现数据的存储上传。在上位机软件控制下,结合各个功能模块,实现了参数可配置的两种功率谱估计方案。测试结果表明,系统有效提升了数据处理速度,并通过分段累加改善了功率谱估计的性能。

关键词:FPGA;功率谱估计;快速傅里叶变换;窗函数
中图分类号:TN911 **文献标识码**:A **DOI**:10.19358/j.issn.2096-5133.2020.09.013
引用格式:付恩琪,孙秀男,梁昊. 基于 FPGA 的功率谱分析系统[J].信息技术与网络安全,2020,39(9):68-73.

Power spectrum analysis system based on FPGA

Fu Enqi[1,2], Sun Xiunan[1,2], Liang Hao[1,2]
(1.State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;
2.Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Aiming at the weak signal detection of lidar, a real-time power spectrum analysis system is designed. The system uses 12 bit 1 GS/s Analog to Digital Converter(ADC) for sampling, uses Field Programmable Gate Array(FPGA) as the control core of data acquisition and processing, and realizes data storage and upload through DDR3 and Gigabit Ethernet. Under the control of the host computer software, combined with various functional modules, two power spectrum estimation schemes with configurable parameters are implemented. The test results show that the system effectively improves the speed of data processing and improves the performance of power spectrum estimation by piecewise accumulation.

Key words: FPGA; power spectrum estimation; Fast Fourier Transform(FFT); window function

www.pcachina.com

0 引言

功率谱估计是信号分析的重要方法,广泛应用于雷达信号处理、语音识别、无线通信等领域[1-3]。针对激光雷达的微弱信号探测,由于单个脉冲功率谱强度较低,通常需要将多个脉冲功率谱进行分段累加以提高探测性能[4]。经典谱估计建立在快速傅里叶变换(Fast Fourier Transform,FFT)基础之上,目前常用的基于 MATLAB 的功率谱估计运算耗时长、效率低,无法满足实时数据处理的需求。随着现场可编程门阵列(Field Programmable Gate Array,FPGA)集成度进一步提高,其内部资源丰富,性能强大,设计更加灵活,并具有很好的兼容性和可移植性,成为理想的解决方案。

本文设计了一种基于 FPGA 的功率谱分析系统,在上位机软件控制下对关键参数进行配置,实现了数据采集、硬件触发、DDR3 存取、功率谱估计、结果上传等系列功能。重点研究了两种功率谱估计方案:方案一不加窗,由单精度浮点的并行 FFT 模块实现,计算结果精度高;方案二增加了实时加窗处理,由 24 bit 定点的流水线 FFT 模块实现,在降低频谱泄露的同时进一步提升处理速度。系统通过分段累加处理提高了对微弱信号的探测性能。

1 系统总体结构

1.1 硬件总体结构

功率谱分析系统的硬件总体结构如图 1 所示,包括数据采集子板和数据处理母板,两者通过 FPGA

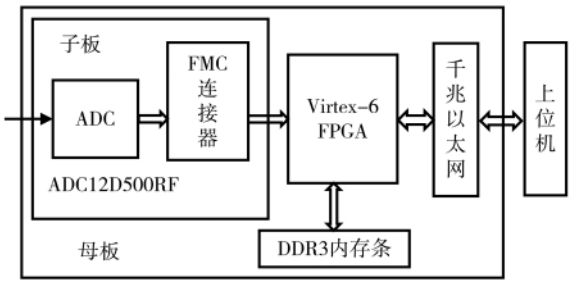


图 1 系统硬件总体结构

夹层卡(FPGA Mezzanine Card,FMC)连接。子板负责前端模拟信号采样,以 1 GS/s 的 12 位 ADC 芯片 ADC12D500RF 为核心,数字信号以250 MHz、48 bit 的 4 路并行模式输出。母板负责整体系统控制及信号处理,使用 Xilinx 公司的 Virtex-6 FPGA 芯片 XC6VLX240T 完成数据触发采样、DDR3 存取、功率谱估计。最后,通过千兆以太网将计算结果上传至上位机。

1.2 逻辑总体结构

功率谱分析系统的逻辑结构主要可分为数据接收、功率谱估计以及结果上传三部分。数据接收部分包括 ADC 数据接口、硬件触发和 DDR3 接口模块;功率谱估计部分包括 FFT 前置接口、FFT 处理和分段累加模块;结果上传部分包括上位机命令解析、千兆以太网接口模块,总体结构如图 2 所示。

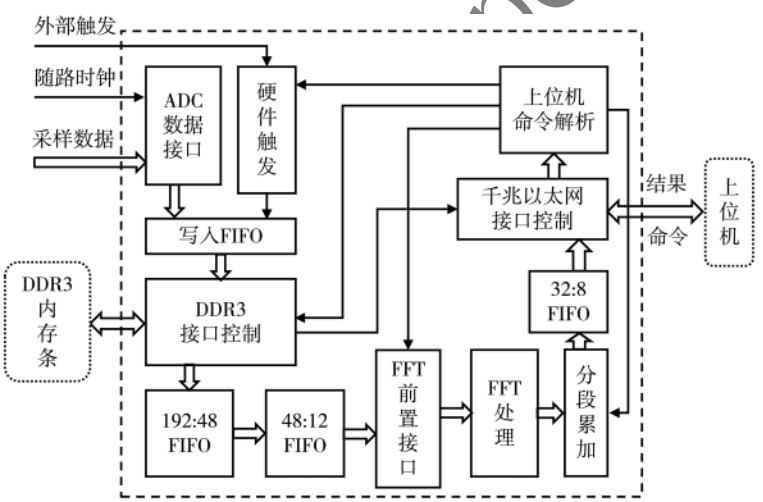


图 2 系统逻辑总体结构

数据采集由外部硬件触发控制,触发频率为 10 kHz,采集总时间为 1 s。系统通过上位机配置的参数如下:(1)触发采样点数 L,范围是 20 000~67 000 点;(2)触发延时 t,范围是 0~1 000 ns,每次触发后延迟 t ns 再采集 L 个采样点;(3)距离门点数 M,范围是 200~1 024 点,以 M 为节点对采样点数 L 进行分段,每段都需要进行 FFT 处理,FFT 模块变换长度为固定的 1 024 点,其中输入 FFT 模块的前 M 点为采样数据点,后(1 024−M)点做补零操作;(4)累加次数 P,范围是 1 000~10 000 次,每次触发分段的 FFT 结果需要与之前保存的相同段结果累加,当 P 设置为 10 000 次时对应连续采集 1 s。

系统的工作流程如下:(1)上位机软件完成参数的设置后,各指令通过千兆以太网接口下发至相应的功能模块;(2)对信号进行触发采样,当 FIFO 中达到一定数据量就开始向 DDR3 中写入数据,直至写完 P 次触发的数据量;(3)将数据从 DDR3 中读出进行功率谱估计,每次触发采样信号分为 floor(L/M)段,即向下取整,进行 FFT 计算、求模平方后保留前一半结果,最后将每次触发对应段结果累加 P 次存入相应的 RAM 中;(4)将功率谱估计结果上传至上位机。

2 系统逻辑设计

2.1 数据接收部分

ADC 数据接口使用 Xilinx 器件原语 IBUFGDS 和 IBUFDS[5]将随路时钟和采样信号由差分 LVDS 信号转换为单端信号,同时注意将接收采样信号的寄存器固定在 FPGA 的 IO 单元上,否则可能造成数据错位。原信号宽度为 48 bit,利用四个寄存器缓存串并转换后信号宽度为 192 bit,剩下 64 bit 做补零处理,与 256 bit 的 DDR3 数据存储位宽匹配。

硬件触发模块负责控制采样信号的触发写入、每次触发的采样点数以及触发延时。系统工作时,模块时钟频率为 62.5 MHz,收到触发信号后,利用计数器控制触发延时 t,在 t/16 个周期内禁止 FIFO 的写入。同理,对采样点数 L,在 L/16 个周期内允许 FIFO 写入,之后禁止写入直至下一次触发。触发延时的控制精度为 16 ns,触发采样点数的控制精度为 16 个采样点。

DDR3 接口由 Xilinx 公司提供的 IP 核与用户控制模块构成[6],根据上位机指令,与读写 FIFO 配合,完成信号存取操作。

2.2 功率谱估计部分

针对两种功率谱估计方法,方案一采用 32 bit 单

精度浮点的并行 FFT 模块，保证了谱分析的精度；另一方面，FPGA 实时生成的汉宁窗系数无法达到很高的精度，为提高数据处理速度，方案二采用 24 bit 定点的流水线 FFT 模块。

2.2.1 FFT 前置接口

FFT 前置接口的功能是根据距离门点数 M 进行分段取数、补零操作以及数据格式转换。DDR3 读出的采样信号经两级 FIFO 缓冲后送入 FFT 前置接口，通过控制 FIFO 读使能每次读出 M 个采样点，其余 $(1\ 024-M)$ 点做补零处理。对于并行处理 FFT 模块利用 Floating-point IP 核将 12 bit 的采样信号转换为 32 bit 单精度浮点。

为了降低频谱泄露[7]，为流水线 FFT 处理模块提供了实时硬件加窗处理，已知汉宁窗时域表达式为：

$$w(n)=0.5\left(1-\cos\left(2\pi\frac{n}{N-1}\right)\right) \tag{1}$$

其中，$n=0,1,\cdots,N-1$，而距离门点数 M 就对应着式中的 N。当 M 设置完成后，上位机同时发送系数 $1/(M-1)$，利用乘法器、CORDIC IP 核及减法器实时生成 18 bit 汉宁窗系数，与原信号相乘后结果保留 24 bit 作为流水线 FFT 模块输入。

另外，对于分段后多余的采样点，需要读出并丢弃。图 3 展示了 FFT 前置接口工作状态转移图。

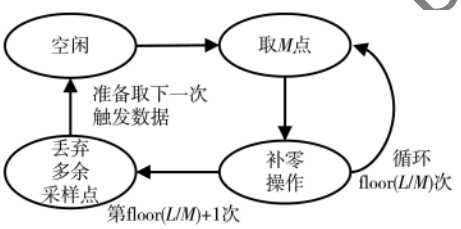


图 3 FFT 前置接口工作状态转移图

2.2.2 FFT 处理模块

并行 FFT 处理模块的设计主要参考了苏斌[8]等提出的方案，采用按时间抽取 (Decimation In Time，DIT) 的基-2 FFT 算法实现 32 bit 单精度浮点的快速傅里叶变换，通过四个蝶形单元并行计算提升处理速度，其结构如图 4 所示。模块中主要包含双端口 RAM、蝶形运算单元、旋转因子 ROM 及地址产生控制单元等。

模块中存储器较多，在实现过程中为

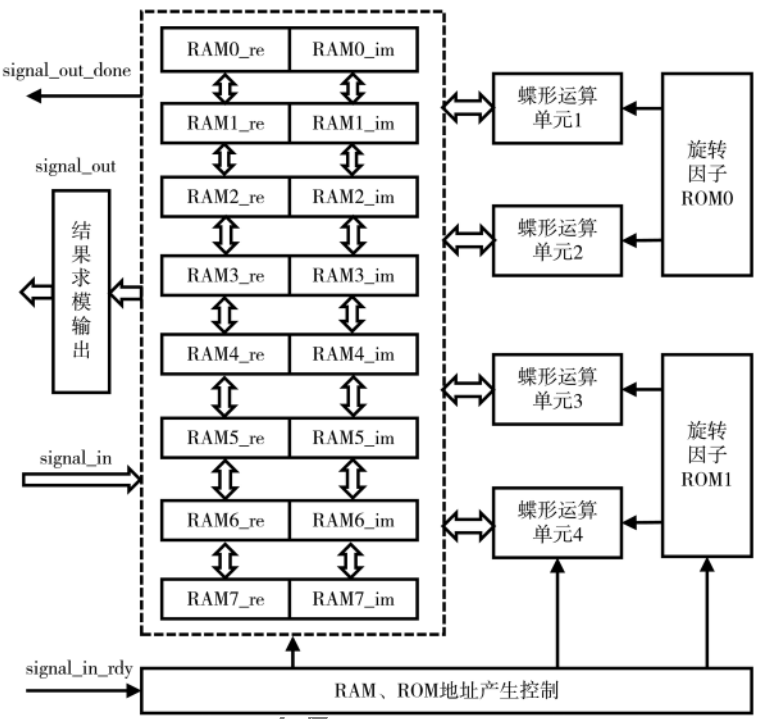


图 4 并行 FFT 处理模块的总体结构

了降低地址控制复杂度，根据 FFT 计算规律，将 RAM0、RAM2、RAM4、RAM6 分为一组，其读写地址用一对寄存器 ram_up_wr_addr、ram_up_rd_addr 控制，而 RAM1、RAM3、RAM5、RAM7 为另一组，读写地址用另一对寄存器 ram_down_wr_addr、ram_down_rd_addr 控制。同时利用多路选择器控制四个蝶形单元与 RAM 的连接，在 FFT 计算的不同阶段进行切换，最终以较少的信号实现对 16 个 RAM 的控制。

流水线 FFT 处理模块采用按频率抽取 (Decimation In Frequency，DIF) 的基-2 FFT 算法，通过单路延时反馈 (Single-path Delay Feedback，SDF) 架构[9-10]实现 24 bit 定点的快速傅里叶变换，其结构如图 5 所示。流水线结构在 FFT 变换的每一级都有单独的处理模块，每个模块中都包含蝶形运算单元、延时缓存

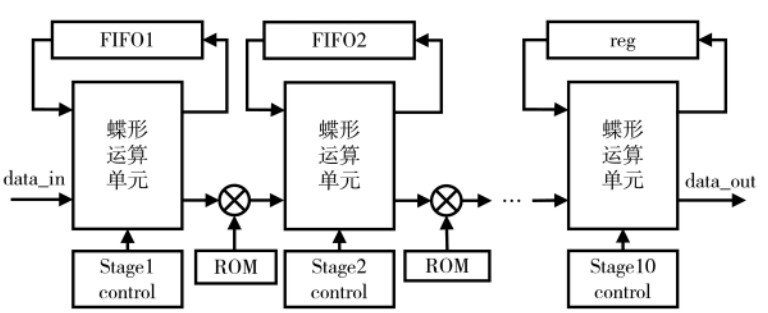


图 5 流水线 FFT 处理模块的总体结构

单元、旋转因子 ROM 及信号控制单元。

蝶形运算单元由 24 bit 有符号的乘法器和加减法器构成，定点运算需要考虑截断和溢出。对于截断，将乘法器输出从高位开始向下截取 24 位作为计算结果。另一方面，为了防止加减计算发生溢出，设计在每一级的输入端将信号大小减半。

根据流水线处理的特点，延时缓存单元由 FIFO 实现，当需要缓存的数据少于 16 点时，使用移位寄存器作为延时缓存单元。信号控制单元主要负责控制 FIFO 的读写使能、选通信号以及旋转因子 ROM的读地址。通过控制选通信号，延时缓存单元一方面可以存储输入信号，另一方面也存储蝶形运算的输出结果，分时复用的策略保证了信号的流水线处理。

2.2.3 分段累加模块

分段累加模块主要包括双端口 RAM、加法器及控制逻辑，结构如图 6 所示，其功能是根据累加次数 P 将对应段的功率谱结果累加并保存。第一次触发的分段 FFT 结果直接存入 RAM 中，之后每次触发处理后的结果到来时取出 RAM 中对应段数据送入加法器，并把结果存回 RAM 直至完成 P 次累加。

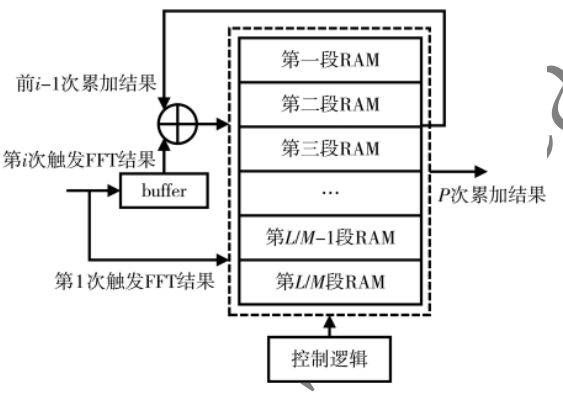


图 6 分段累加模块结构

2.3 结果上传部分

千兆以太网接口负责控制命令收发以及结果上传，由 Xilinx 公司提供的 IP 核产生 MAC 层，结合物理层芯片 88E1111 实现。最终需要上传的数据大小为 floor$(L/M)\times512\times32$ bit，将自定义数据帧的数据长度设置为1 024 B，收到一次上传命令则上传 2 帧，如此循环 floor(L/M)次即可将所有数据上传。

3 系统测试

功率谱分析系统的测试内容包括并行 FFT 处理模块的仿真、流水线 FFT 处理模块的仿真、整体系统的功能验证和处理速度测试。

3.1 并行 FFT 处理模块的仿真

利用 MATLAB 生成波形数据，作为 FFT 模块测试信号。图 7 是并行 FFT 处理模块仿真结果与 MATLAB 运算结果的对比，观察发现，两者处理结果一致，频谱峰值在 10^5 量级，绝对误差在 10^{-2} 量级，故单精度浮点处理的相对误差为 10^{-7} 量级。

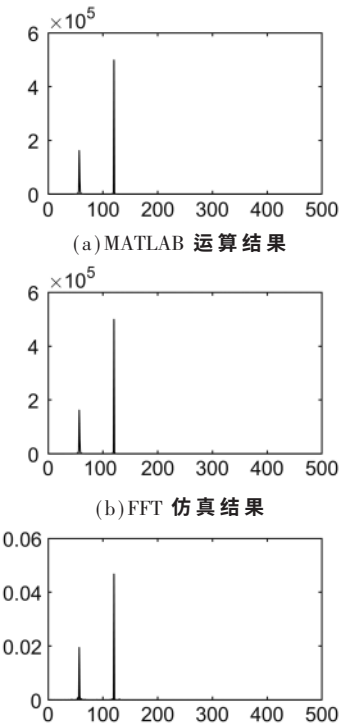


图 7 并行 FFT 处理模块误差分析

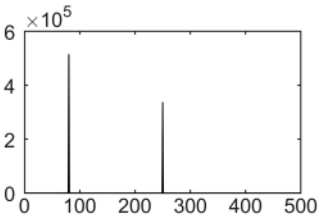
综合结果表明模块最高工作频率为250.2 MHz，系统采用 200 MHz 作为工作频率，完成 1 024 点 FFT 计算共耗时 17.41 μs，除去信号输入输出后变换时间为 7.17 μs。表 1 展示了硬件资源占用情况。

表 1 并行 FFT 处理模块硬件资源消耗

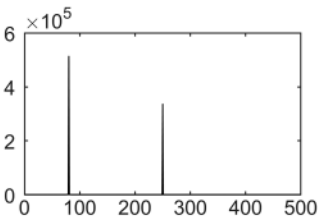
逻辑资源	消耗	总数	利用率/%
Registers	7 138	301 440	2
LUTs	14 682	150 720	9
RAM/FIFO	12	416	2
DSP48E1s	32	768	4

3.2 流水线 FFT 处理模块仿真

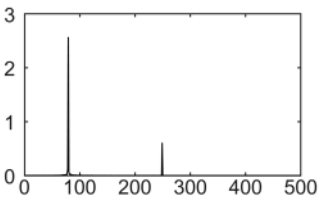
图 8 是流水线 FFT 处理模块仿真结果与 MATLAB 运算结果的对比，其中，频谱峰值在 10^5 量级，绝对误差在 10^0 量级，故 24 bit 定点处理的相对误差为 10^{-5} 量级。FFT 前置接口模块生成的汉宁窗系数精



(a)MATLAB 运算结果



(b)FFT 仿真结果



(c)绝对误差

图 8 流水线 FFT 处理模块误差分析

度为 10^{-5} 量级,将信号加窗后再进行 FFT 计算,此时整体的相对误差为 10^{-4} 量级。

综合结果表明模块最高工作频率为394.3 MHz,在 200 MHz 频率下完成1 024 点 FFT 计算耗时 10.65 μs。表 2 展示了流水线 FFT 处理模块硬件资源占用情况。

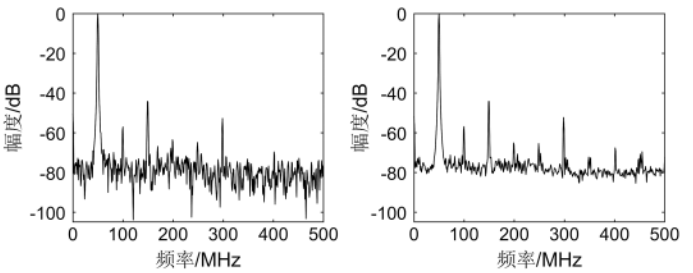
表 2 流水线 FFT 处理模块硬件资源消耗

逻辑资源	消耗	总数	利用率/%
Registers	5 855	301 440	1
LUTs	4 595	150 720	3
RAM/FIFO	15	416	3
DSP48E1s	72	768	9

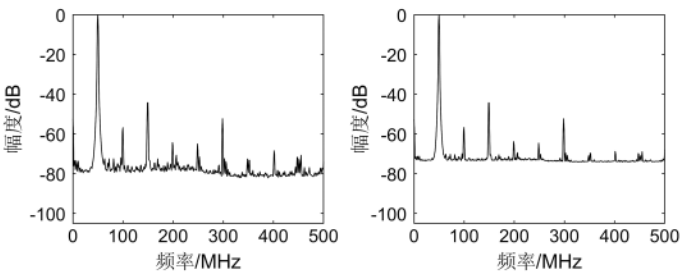
3.3 功率谱分析系统测试

上位机指令下发后,通过 ChipScope 抓取各模块中收到的参数数据,对比发现各命令正确下发。利用控制变量法,分别改变输入信号频率、每次触发采样点数及累加次数等参数,进行数据采集、分段 FFT 处理并上传,利用 MATLAB 程序分析上传结果,验证了各个功能的正确性。

通过分段累加的方式,保留了大量信号的基本特征,同时改善了功率谱估计的性能。图 9 展示了系统分段累加 1、10、100、1 000 次处理后功率谱的对比,可以看出,随着累加次数的增加,功率谱逐渐平滑。



(a)分段累加 1 次功率谱 (b)分段累加 10 次功率谱



(c)分段累加 100 次功率谱 (d)分段累加 1 000 次功率谱

图 9 不同累加次数下功率谱对比

将触发采样点数 L 设置为 20 000,距离门点数 M 为 1 024,即每次触发完成 19 次 FFT 运算,通过改变累加次数改变整体运算量。以信号开始输入为计时起点,结果开始输出为计时终点,分别测试两种方案进行功率谱估计消耗的时间,结果如表 3 所示。

表 3 两种功率谱估计方案耗时

累加次数	方案一耗时/ms	方案二耗时/ms
5	1.410	0.512
10	2.844	1.032
25	7.135	2.592
50	14.288	5.192
100	28.594	10.392

表 4 是本文功率谱估计方案与其他方案的比较。本文系统的优势是采样频率高,可根据需求灵活配置关键参数,频率分辨合适,并提供了实时硬

表 4 功率谱估计方案性能比较

	采样频率/MHz	距离门点数	FFT 长度	功率谱分辨/MHz
文献[11]	160	100	512	0.31
文献[12]	400	256	256	1.56
文献[13]	500	150	256	1.95
本文方案	1 000	200~1 024	1 024	0.98

www.pachina

件加窗处理。另一方面，由于数据量较大，本文采取先缓存后处理方式，整体消耗时间相对偏长，接下来将尝试采用多路并行 FFT 方案进一步提升速度。

4 结论

本文设计了一种基于 FPGA 的功率谱分析系统，通过硬件平台和逻辑算法的结合，灵活实现了数据采集、触发、缓存、功率谱估计、结果上传等系列功能。测试结果表明，两种 FFT 处理方案均达到较高的精度和速度。在上位机软件的控制下，系统能够实现实时功率谱估计，并通过分段多次累加改善功率谱估计的性能，提高了激光雷达对微弱信号的探测处理能力。

参考文献

[1] 宋宁，关华.经典功率谱估计及其仿真[J].现代电子技术，2008，31(11)：159-161.

[2] 邓泽怀，刘波波，李彦良.常见的功率谱估计方法及其 Matlab 仿真[J].电子科技，2014，27(2)：50-52.

[3] 王仕奎.随机信号分析理论与实践[M].南京：东南大学出版社，2016.

[4] 贾晓东.1.55 μm 相干测风激光雷达样机的研制[D].合肥：中国科学技术大学，2015.

[5] 徐文波，田耘.Xilinx FPGA 开发实用教程(第二版)[M].北京：清华大学出版社，2012.

[6] 张晓光.基于激光相位的高速量子随机数发生器[D].合肥：中国科学技术大学，2017.

[7] 段艳丽，王敏，林永照，等.数字信号处理[M].北京：电子工业出版社，2015.

[8] 苏斌，刘畅，潘志刚.基于 FPGA 的高速浮点FFT/IFFT 处理器设计与实现[J].中国科学院大学学报，2015，32(2)：259-263.

[9] 高亚军.基于 FPGA 的数字信号处理[M].北京：电子工业出版社，2012.

[10] HE S S，TORKELSON M.Design and implementation of a 1024-point pipeline FFT processor[C].Proceedings of the IEEE 1998 Custom Integrated Circuits Conference.IEEE，1998：131-134.

[11] 付友涛.相干测风激光雷达实时数据采集处理系统研究[D].青岛：中国海洋大学，2013.

[12] 漆洋.小型激光测风雷达信号处理器研制[D].成都：成都信息工程大学，2018.

[13] 董佳.基于 FPGA 的相干测风激光雷达实时信号预处理实验研究[D].哈尔滨：哈尔滨工业大学，2017.

(收稿日期：2020-04-29)

作者简介：

付恩琪(1996-)，女，硕士研究生，主要研究方向：物理电子学。

孙秀男(1992-)，男，博士研究生，主要研究方向：物理电子学。

梁昊(1970-)，通信作者，男，博士，副教授，主要研究方向：核电子学、信号采集与处理等。E-mail：simonlh@ustc.edu.cn。

(上接第 67 页)

[9] OLIEHOEK F A，SPAAN M T J，VLASSIS N.Optimal and approximate Q-value functions for decentralized POMDPs[J].Journal of Artificial Intelligence Research，2008，32：289-353.

[10] BANERJEE B，LYLE J，KRAEMER L，et al.Solving finite horizon decentralized POMDPs by distributed reinforcement learning[C].Proceedings of the AAMAS Workshop on Multiagent Sequential Decision Making Under Uncertainty(MSDM-12)，2012：9-16.

[11] FOERSTER J N，ASSAEL Y M，FREITAS N D，et al.Learning to communicate to solve riddles with deep distributed recurrent Q-Networks[J].arXiv：1602.02672，2016.

[12] NISIOTI E，THOMOS N.Fast Q-learning for improved finite length performance of irregular repetition slotted ALOHA[J].IEEE Transactions on Cognitive Communications and Networking.DOI：10.1109/TCCN.2019.2957224.

[13] ZHANG W X，MA L，LI X N.Multi-agent reinforcement learning based on local communication[J].Cluster Computing，2019，22：15357-15366.

[14] BECKER R，ZILBERSTEIN S，LESSER V，et al.Solving transition independent decentralized markov decision processes[J].Journal of Artificial Intelligence Research，2004，22：423-455.

[15] AFANASYEV A，MOISEENKO I，ZHANG L X.ndnSIM：NDN simulator for NS-3[D].LosAngeles：University of California，2012.

(收稿日期：2020-04-27)

作者简介：

姚进发(1990-)，男，博士，研究员，主要研究方向：未来网络、强化学习。

www.pcachina.com

版权声明

经作者授权，本论文版权和信息网络传播权归属于《信息技术与网络安全》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《信息技术与网络安全》编辑部

中国电子信息产业集团有限公司第六研究所