

一种 26 ~ 28 Gb/s 高能效低抖动 Bang-bang CDR 设计

蒋姝洁, 林福江

(中国科学技术大学 微电子学院, 安徽 合肥 230026)

摘要:设计实现了一款 26 ~ 28 Gb/s 的高能效低抖动 Bang-bang CDR 电路, 采用改进的全速率非线性鉴相器结构, 提高了鉴相器电路的输入灵敏度, 改善高数据速率下磁滞效应的影响, 从而提升环路整体的抖动性能; 通过压控振荡器和压控振荡器缓冲电路协同调谐的方式减小为驱动大的鉴相器负载的时钟缓冲电路的功耗。采用 TSMC 40 nm CMOS 工艺, 输入 $2^{31} - 1$ 300 mV_{pp} 的伪随机二进制序列 (PRBS) 数据, 在 28 Gb/s 下该时钟数据恢复电路恢复出的时钟抖动为 1.66 ps (pp), 数据抖动为 1.81 ps (pp); 在注入 4 MHz 正弦抖动的情况下, 抖动容限小于 0.75 UI_{pp}。在 1 V 电源电压下, 功耗小于 38.5 mW。

关键词: Bang-bang 时钟数据恢复电路; 协同调谐; 高能效; 低抖动

中图分类号: TN432

文献标识码: A

DOI: 10.19358/j.issn.2096-5133.2020.05.011

引用格式: 蒋姝洁, 林福江. 一种 26 ~ 28 Gb/s 高能效低抖动 Bang-bang CDR 设计[J]. 信息技术与网络安全, 2020, 39(5): 51-57.

Design of a 26 ~ 28 Gb/s high power efficiency and low jitter Bang-bang CDR

Jiang Shujie, Lin Fujiang

(School of Microelectronics, University of Science and Technology of China, Hefei 230026, China)

Abstract: This paper presents a 26 ~ 28 Gb/s high power efficiency bang-bang CDR, an improved full-rate non-linear phase detector (PD) is adopted to improve the sensitivity of the input data and prevent the effect of hysteresis at high data rates, thereby improving the overall jitter performance of the loop. The co-tuning of VCO and VCO buffer is used to decrease the power consumption of the buffer to drive the heavy load of the PD. In 40 nm CMOS technology, the simulated recovered data jitter is 1.66 ps, the recovered clock jitter is 1.81 ps at 28 Gb/s for $2^{31} - 1$ 300 mV_{pp} pseudo-random binary sequence (PRBS) as input data. The power consumption is less than 38.5 mW with 1 V supply.

Key words: Bang-bang clock and data recovery circuit; co-tuning; high power efficiency; low jitter

0 引言

随着万物互连时代的到来, 收发系统需要处理的数据流量信息的数量和速度迅速增长, 100 千兆以太网系统 (100 GbE) 正在逐渐取代 10 千兆以太网系统以满足数据流量增长的需要。一个典型的 100 千兆以太网系统需要 4 个 25 Gb/s 的链路^[1], 本文设计了一款 26 ~ 28 Gb/s 的 CDR 以满足 100 GbE 的数据中心需求。

高速串行通信芯片间集成了上百条线, 高能效^[2]低抖动的时钟数据恢复电路是串行接口速率提升的主要瓶颈。CDR 设计的难点主要在以下两个方面: 一是设计采用先进的 40 nm CMOS 工艺, 该工艺的电源电压只有 1 V, 电路实现可用的电压摆

幅比较小; 与此同时, 工艺角变化对器件有较大影响, 设计需要覆盖宽的调谐范围。二是时钟产生电路需要驱动较大的鉴相器负载以在高数据速率下实现时钟和数据的正确恢复。其缓冲电路的功耗是 CDR 功耗的重要来源之一。

1 CDR 系统级分析与设计

1.1 电路整体设计

本文基于短距离高速数据通信应用背景, 采用了基于相位跟踪反馈结构的基于锁相环的全速率 Bang-bang CDR 结构, 电路基本结构如图 1 所示。该 CDR 环路主要由改进锁存器结构的全速率 Bang-bang 鉴相器 (BBPD) 电路、异或门电压电流转换电路 (XOR_VI)、低通滤波 (LPF) 电路以及由电感电容

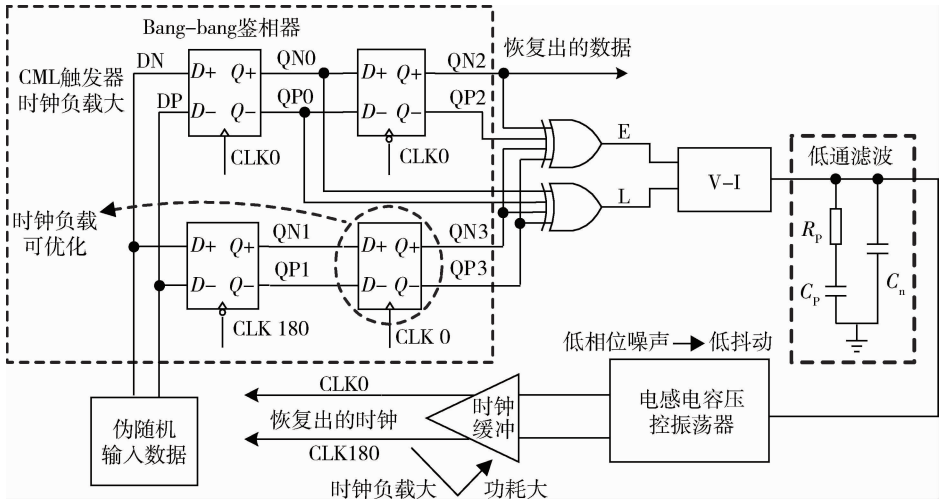


图 1 全速率时钟数据恢复电路

压控振荡器 (LC-VCO) 电路和时钟缓冲电路构成的时钟产生电路 4 个模块组成。

BBPD 将时钟产生电路产生的时钟信号和输入数据的信号相位进行比较,输出相位误差信号通过 V-I 电路产生电流信号对 LPF 充放电,与 LC-VCO 的调谐控制端相连,改变 LC-VCO 的频率,实现相位锁定,同时用提取出的时钟信号对输入数据重定时,保障时钟信号可以在输入数据眼图的中点实现最佳采样。

1.2 环路系统级分析

CDR 环路带宽可以表示为 $\omega_{-3\text{dB}} \approx 2\zeta\omega_n$, 其中:

$$\omega_{-3\text{dB}} = \frac{R_p I_p K_{\text{VCO}}}{2\pi} \tag{1}$$

$$\omega_n = \sqrt{\frac{I_p K_{\text{VCO}}}{2\pi C_p}} \tag{2}$$

$$\zeta = \frac{R_p}{2} \sqrt{\frac{I_p K_{\text{VCO}} C_p}{2\pi}} \tag{3}$$

其中环路稳定性要求 $\zeta > \sqrt{2}/2$ 。改变电容的大小可以改变环路带宽而不影响环路的稳定性能。

抖动代表了时钟和数据偏离过零点的情况,是衡量 CDR 性能的一个重要参数。当输入数据不包含抖动的时候,CDR 电路本身会产生抖动,抖动部分来自于 LC-VCO 的相位噪声及其控制电压上的纹波。这一纹波与压控振荡器的增益 K_{VCO} 有关。当输入数据包含抖动,抖动容限则体现了 CDR 环路在不增加误码率的前提下能够容忍的最大输入抖动。根据文献[3]中 Bang-bang CDR 抖动模型的分析,

最大抖动容限可以表示为:

$$G_{\text{JT}} = \frac{\pi}{\omega_p^2} \sqrt{\omega_p^4 + \left(\frac{2a\pi + b^2}{4}\right)\omega_p^2 + \left(\frac{a\pi}{4}\right)^2} \tag{4}$$

其中, $a = -0.5K_{\text{VCO}}I_p/C_p$, $b = -K_{\text{VCO}}R_pI_p$, $\omega_p = 1/T_p$, T_p 表示采样数据周期。

可以看到在 CDR 环路中有一个比较大的设计权衡:环路本身的抖动性能会随环路带宽的减小获得改善,但这意味着环路对输入数据中包含的抖动的处理能力也会相对变弱,尤其在面对高频输入抖动的时候。综合以上考量,经过仿真验证,本设计的环路带宽选择为 11.3 MHz, $I_p = 1\text{ mA}$, $R_p = 100\ \Omega$, $K_{\text{VCO}} = 708\text{ MHz/V}$ 。

2 CDR 环路模块设计

2.1 Bang-bang 鉴相器设计

相比于非线性鉴相器电路,传统线性鉴相器电路量化噪声较小,恢复出的数据的抖动性能较好。然而随着 CDR 速度的提升,传统线性鉴相器会进入亚稳态,受带宽的限制,形成鉴相盲区等问题。在高数据速率通信应用背景下,本文采用输出不随输入数据和恢复出的时钟的相位差的大小变化,并且可以产生大且稳定输出的 Bang-bang 鉴相器。图 2 所示的亚历山大 (Alexander) 鉴相器结构是广泛采用的一种 Bang-bang 鉴相器结构。

该结构由 4 个 D 触发器 (DFF) 构成,其中每个 DFF 由两个反相偏置的伪差分电流模逻辑 (CML) 锁存器 (latch) 级联构成,由于在 40 nm 工艺下电源电压比较低为 0.9 ~ 1 V,伪差分 CML 电路相比 CML 电路可以改善输出摆幅和电源低压之间的折

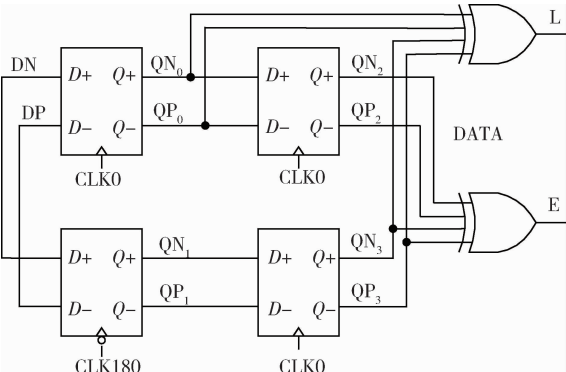


图2 Alexander鉴相器

中。其电路结构如图3所示。在触发器的输出路径上引入源极跟随器调整触发器输出的共模点。

为了进一步优化时钟负载路径和鉴相器功耗以及采样输出的逻辑电平,通过对 Bang-bang 鉴相器工作状态的分析,本设计采用优化的由7个锁存器构成的 BBPD 结构,如图4所示。

图5分别表示了7-latch BBPD 当时钟信号超前和滞后数据信号时相位比较的结果。相比亚历山大鉴相器,在不影响输出电平的情况下,优化了一个锁存器负载。

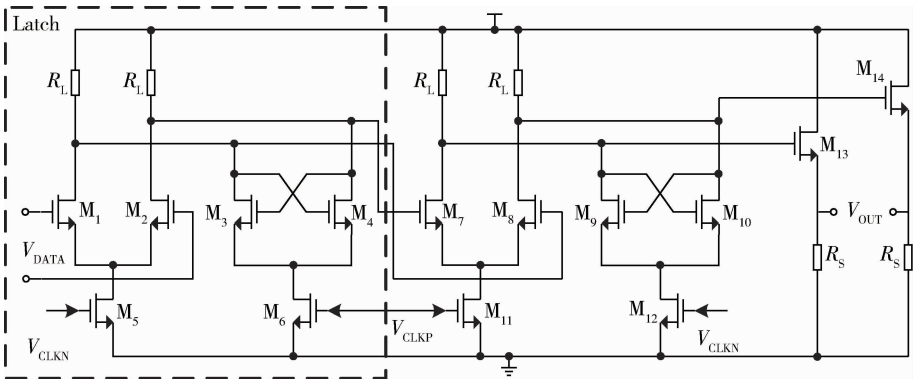


图3 伪差分 CML DFF

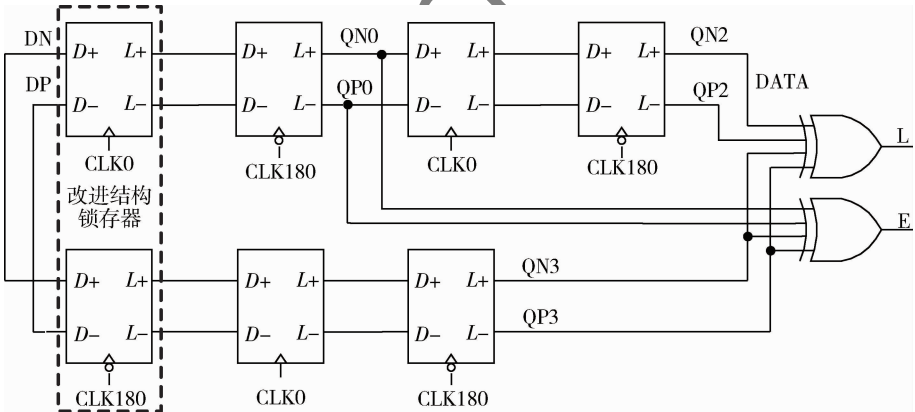
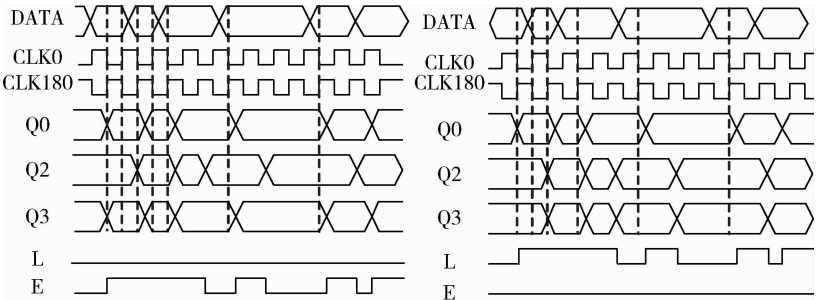


图4 7-latch BBPD



(a) 时钟信号超前数据信号 (b) 时钟信号滞后数据信号

图5 改进 Bang-bang 鉴相器工作示意图

传统的基于伪差分 CML 的锁存器结构如图 6 (a) 所示。在采样和锁存阶段共用电阻负载, 采样阶段差分对需要对输入数据放大直到达到锁存阶段可以实现正确锁存功能的最小电压, 采样阶段的时间常数可以表示为 $\tau_p = R_L C_L$ 。锁存阶段需要将这一最小电压放大至 CML 电路的满摆幅电压

$I_{SS} R_L$, 锁存阶段的时间常数可以表示为 $\tau_R = R_L C_L / (g_m R_L - 1)$ 。在负载电阻的选择上, 负载电阻过大, τ_p 增加, 输入电压放大和放电的速度都会减慢, 不利于高速数据采样; 负载电阻过小则会降低直流放大增益和电源效率。本设计采用改进的锁存器结构如图 6 (b) 所示。

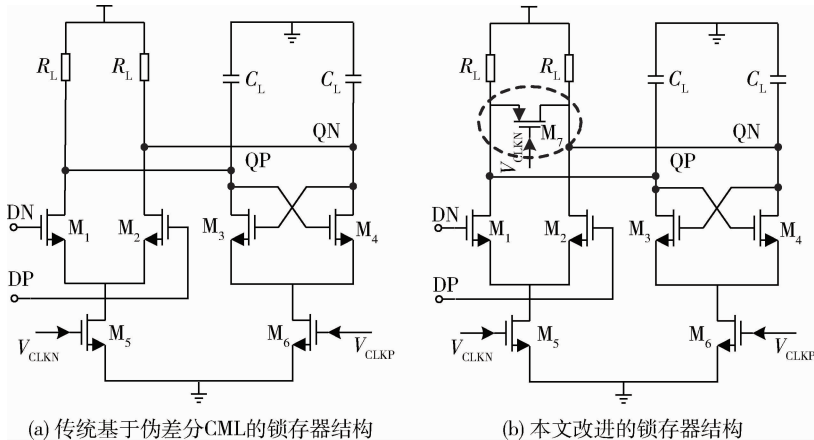


图 6 本设计采用的锁存器结构

该结构在差分输出之间引入一个 PMOS 开关 M7^[4], 可以适度降低有效负载电阻, 不至于在预充电的过程中电阻过小, M7 的引入在不影响 τ_R 的情况下, 减小了 τ_p 。这使得改进结构可以快速建立正确输出, 防止在高数据速率下磁滞效应对数据恢复的影响。

较, 实现输入数据和时钟相位比较的功能。设计采用如图 7 (a) 所示的 CML 异或门结构, 该结构对称性好, 在高数据速率下引入较小的静态相位失调。通过式 (5) 可知, 异或门的结果通过输出电流 I_L 产生。

$$I_L = \overline{Q_2 + Q_3} + \overline{Q_2 + Q_3} = Q_3 \cdot \overline{Q_2} + Q_2 \cdot \overline{Q_3} \tag{5}$$

改进结构的缺点是从 PMOS 开关控制端到输出的时钟馈通, 与此同时, 也会引入额外的时钟负载, 因此改进 CML 结构只应用在图 4 所示的与输入数据直接相连的锁存器链的第一级。最终采用改进锁存器结构的 BBPD 电路在相同的输入信号条件下采样相同的数据速率, 功耗减少了 9%。

出于电压摆幅的考虑, 设计采用图 7 (b) 所示的伪差分电压电流转换电路, 二极管连接的 M_{p1} 管作为负载与 V-I 电路构成电流镜, 弥补了伪差分 V-I 电路电流不能精确控制的缺点, 通过电流传输的方式提高了异或门和电压电流转换电路整体的工作速度^[5]。

2.2 异或门和电压电流转换电路设计

异或门将鉴相器采样得到的高速信号进行比

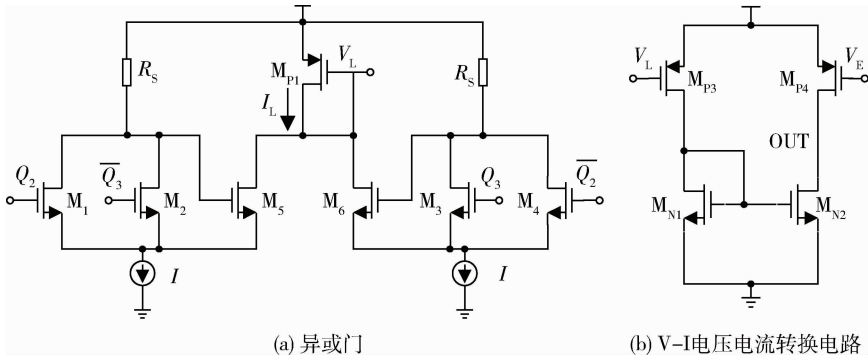


图 7 异或门和电压电流转换电路

2.3 协同调谐时钟产生模块设计

在输入数据无抖动的情况下,CDR 主要的抖动产生来自于时钟产生电路。因此环路对 VCO 的相

位噪声有较高要求,结合高数据速率的要求,本文采用相位噪声性能相对较优的 LC-VCO。电路结构如图 8 所示。

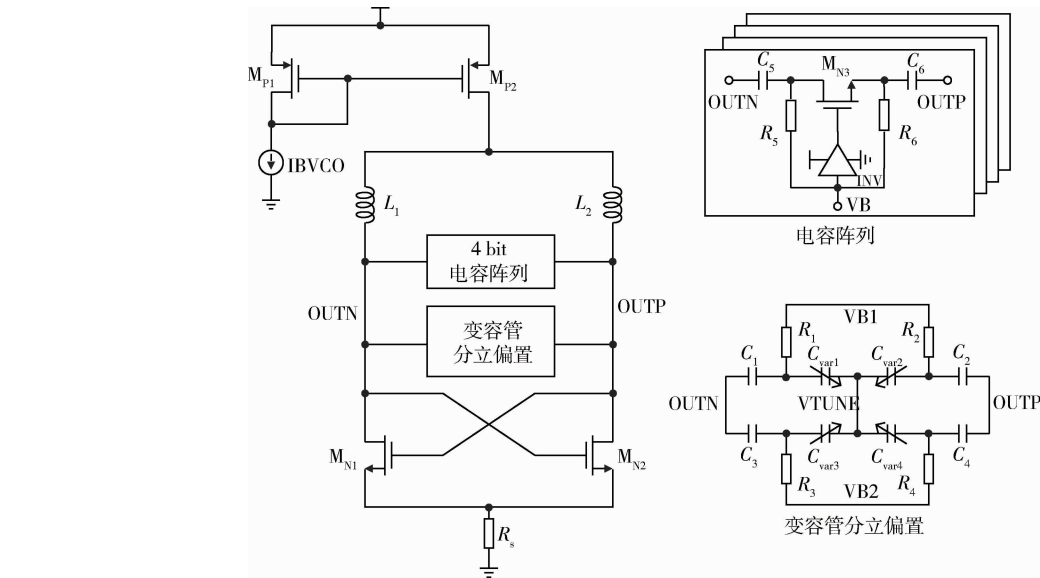


图 8 LC-VCO 结构

设计采用 NMOS 互补交叉耦合、PMOS 顶部电流偏置的 LC-VCO 结构,为覆盖工艺角和温度(PVT)变化需求,设计采用 4 bit 开关电容阵列粗调和变容管细调相结合的调谐方式在不恶化相位噪声的条件下覆盖较宽的调谐范围。其中,变容管分立偏置的方式可以改善调谐曲线的线性度,增加有效调谐范围,减小 AM-PM 噪声转换,提升相位噪声性能,从而改善 CDR 环路的抖动性能。本文设计的 LC-VCO 的相位噪声性能如图 9 所示,在 1 MHz 频偏下的相位噪声为 -104.08 dBc/Hz 。

用传统电阻负载 CML 缓冲电路,该缓冲电路的带宽至少要达到 26 GHz,为满足高速工作的需求,该负载电阻取值较小,在输出摆幅一定的情况下,需要较大的电流以实现缓冲电路对大的非线性鉴相器负载的驱动能力;通过缓冲器链将总的传输延时均分到每一级 CML 电路以获得最小的延时,达到拓展带宽的目的^[6]。此过程功耗较大。

应用电感负载峰化的特性,在电阻负载上串联电感可以在不额外增加功耗的情况下将带宽拓展到 1.7 倍左右,如图 10 所示。电感负载的差分缓冲电路其峰化的峰值点在 $1/\sqrt{LC}$ 处,该峰值点与负载电容有关。

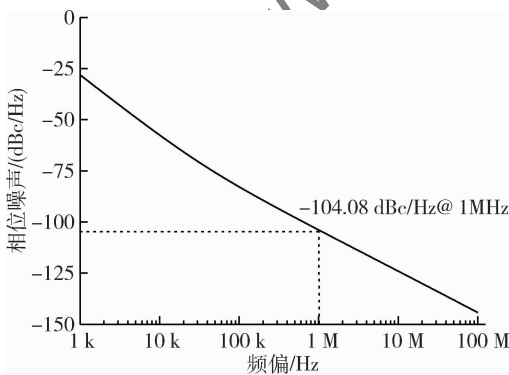


图 9 VCO 相位噪声

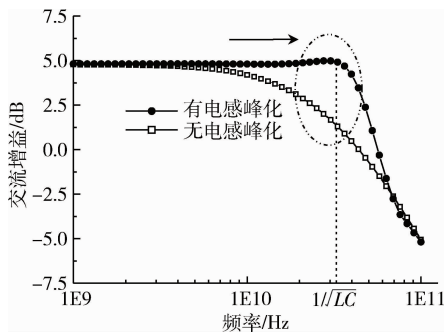


图 10 电感峰化带宽拓展功能

时钟缓冲电路需要提供足够的驱动以保证 Bang-bang 鉴相器正确实现时钟和数据的恢复。经过仿真,本设计至少需要驱动 50 fF 的电容,若采

在高速大负载要求下,为进一步降低功耗,本文创造性地采用压控振荡器和压控振荡器缓冲电

路协同调谐的电路结构,在差分时钟缓冲电路中引入和压控振荡器相同的电容调谐阵列进行协同调谐。该缓冲电路结构及其幅频特性曲线如图 11 所示。通过协同调谐,缓冲电路在 25 ~ 30 GHz 的频率范围内提供了相对稳定的增益,保证缓冲电路对下级电路的驱动。在低电源电压的 CML 设计中,缓冲电路在较大的负载下很难同时兼顾输出摆幅、环路带宽以及数据速率的影响。根据设计指标要求,缓冲电路仅需要在特定频段实现所需增益而不必在整个带宽内均保持较大的增益特性。电感负载的 CML 电路可以满足上述需求,但是会面对单独电感负载随负载电容变化比较敏感的问题。协同调谐结构的电容阵列缓解了上述问题,使得缓冲电路有一定的频率变化范围,可以较好地跟踪 VCO 输出的时钟信号的变化,改善电感负载 CML 电路随电容变化敏感的同时弱化了大的电阻电容负载对带宽和缓冲电路增益的限制,充分利用了电感峰化特性在不额外增加较大功耗的情况下为下级鉴相器电路提供足够的驱动。

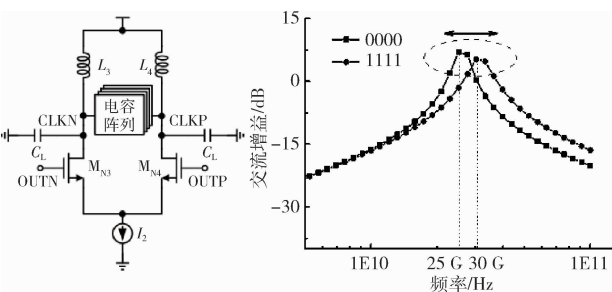


图 11 时钟缓冲电路结构及其幅频特性

经过仿真,该缓冲电路消耗电流小于 3.5 mA,功耗减小 56% 以上。

3 仿真结果

本设计基于 TSMC 40 nm CMOS 工艺,面积大约为 0.4 mm × 0.43 mm。采用 Cadence Spectre 对电路进行后仿真。CDR 电路输入包含抖动的 $2^{31} - 1$ 28 Gb/s 的 PRBS 数据信号,通过图 12 可以看出,CDR 可以从抖动较差的输入数据中恢复出眼图清晰的数据信号,可以有效抑制 92.2% 以上的抖动。叠加 10 000 个周期恢复出的时钟信号和数据信号的眼图如图 13 所示,恢复出的时钟信号的峰峰抖动为 1.66 ps,恢复出的数据信号的峰峰抖动为 1.81 ps。

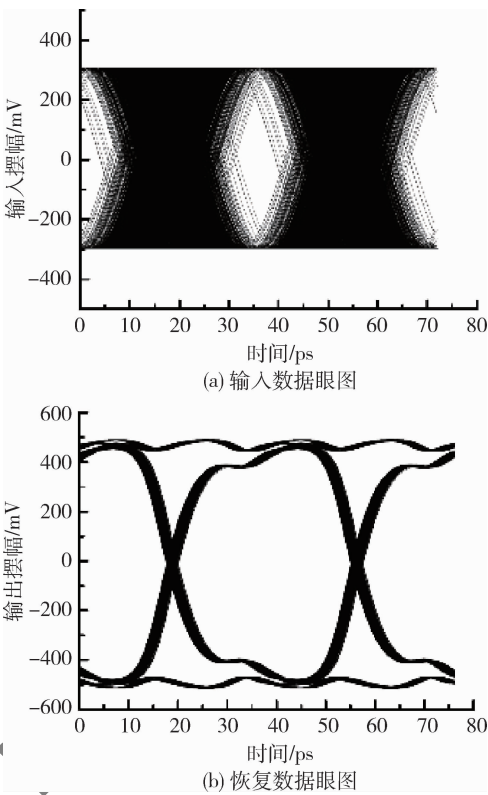


图 12 CDR 从近乎闭合的输入数据眼图中恢复出清晰的数据信号

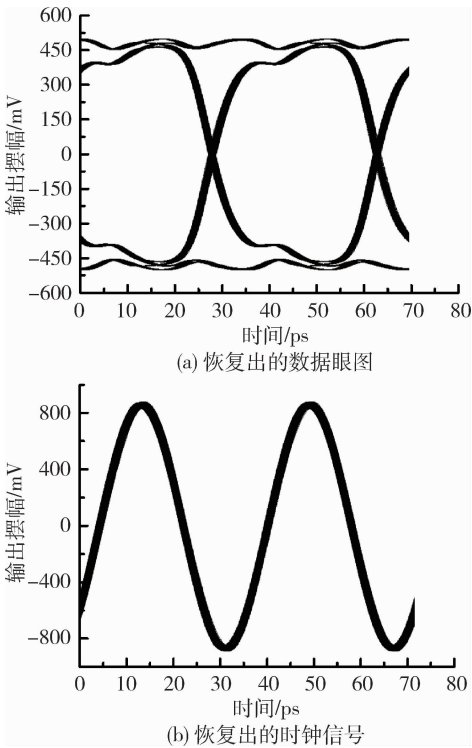


图 13 CDR 后仿真结果

在注入 4 MHz 正弦抖动的情况下,抖动容限小于 0.75 UIpp。在 1 V 电源电压下,CDR 电路的功耗小于 38.5 mW,能效可以达到 1.375 mW/Gb/s。CDR 电路设计指标与近年来的参考文献对比如表 1 所示。

表 1 CDR 性能对比

	文献[7]	文献[8]	文献[9]	本文
工艺/nm	90	65	65	40
数据速率/(Gb/s)	20	25	25	26~28
数据抖动(ps,pp)	7.56	6	N/A	2.1@26 Gb/s 1.81@28 Gb/s
时钟抖动(ps,pp)	4.22	N/A	10.51	1.79@26 Gb/s 1.66@28 Gb/s
功耗/mW	154	99	65	38.5
电源电压/V	1.5	1.2	1.2	1
面积/mm ²	0.97× 0.88	1.9× 1.3	1.04× 0.69	0.4× 0.43

4 结论

本文基于 TSMC 40 nm CMOS 工艺,设计了一个覆盖 26~28 Gb/s 的高能效低抖动时钟数据恢复电路,通过仿真结果可以看出,本设计采用的改进结构锁存器的 BBPD 和协同调谐的时钟产生电路,在相对较低的功耗下恢复出了低抖动的时钟和数据信号。

参考文献

[1] SUN L, PAN Q, WANG K C, et al. A 26-28-Gb/s full-rate clock and data recovery circuit with embedded equalizer in 65-nm CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(7): 2139-2149.

[2] FUKUDA K, YAMASHITA H, ONO G, et al. A 12.3-mW 12.5-Gb/s complete transceiver in 65-nm CMOS process[J]. IEEE Journal of Solid-State Circuits, 2010,

45(12): 2838-2849.

[3] ADRANG H, MIAR-NAIMI H. Modeling of jitter in Bang-Bang CDR with fourier series analysis[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(1): 3-10.

[4] JEON H J, KULKARNI R, LO Y C, et al. A Bang-Bang clock and data recovery using mixed mode adaptive loop gain strategy[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1398-1415.

[5] 石捷锋. 40 Gb/s SerDes 系统的时钟数据恢复电路优化设计[D]. 南京: 东南大学, 2016.

[6] HEYDARI P, MOHANA VELU R. Design of ultrahigh-speed low-voltage CMOS CML buffers and latches[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2004, 12(10): 1081-1093.

[7] LEE J, WU K C. A 20 Gb/s full-rate linear CDR circuit with automatic frequency acquisition[C]. IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 2009.

[8] WU K C, LEE J. A 2×25 Gb/s deserializer with 2:5 DMUX for 100Gb/s ethernet applications[C]. IEEE International Solid-State Circuits Conference, ISSCC 2010, Digest of Technical Papers, San Francisco, CA, USA, 2010, 1(2010): 511-513.

[9] WANG Z K, BAI R, WANG J C, et al. A 25Gbps, 2x-oversampling CDR using a zero-crossing linearizing phase detector[C]. IEEE Radio Frequency Integrated Circuits Symposium, 2014: 271-274.

(收稿日期: 2020-01-20)

作者简介:

蒋姝洁(1995-), 通信作者, 女, 硕士研究生, 主要研究方向: 模拟、射频集成电路设计。E-mail: jshujie@mail.ustc.edu.cn。

林福江(1959-), 男, 教授, 博士生导师, 主要研究方向: 微纳器件的射频建模、芯片设计和微波系统集成。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《信息技术与网络安全》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《信息技术与网络安全》编辑部
中国电子信息产业集团有限公司第六研究所