

# 基于 FPGA 的高精度信号发生器

付宝仁,王超,高鸿儒

(华北计算机系统工程研究所,北京 100083)

**摘要:**在当代许多电子信息系统中,信号源的性能参数往往对系统的功能起着决定性作用。采用直接数字频率合成技术(Direct Digital Synthesize, DDS),基于现场可编程门阵列(Field-Programmable Gate Array, FPGA)设计了能同时输出 4 路信号的高精度信号发生器。同时依靠串口通信的方式,通过 PC 端的控制界面实时调节系统输出信号的频率、相位和死区时间。

**关键词:** DDS; FPGA; 信号发生器

**中图分类号:** TP311.1

**文献标识码:** A

**DOI:** 10.19358/j.issn.2096-5133.2020.01.017

**引用格式:** 付宝仁,王超,高鸿儒.基于 FPGA 的高精度信号发生器[J].信息技术与网络安全,2020,39(1):87-91.

## High-precision signal generator based on FPGA

Fu Baoren, Wang Chao, Gao Hongru

(National Computer System Engineering Research Institute of China, Beijing 100083, China)

**Abstract:** In many contemporary electronic information systems, the performance parameters of a signal source often play a decisive role in the function of the system. In this paper, using Direct Digital Synthesize (DDS), a high-precision signal generator capable of simultaneously outputting four waves is designed based on Field-Programmable Gate Array (FPGA). At the same time, relying on the serial communication mode, the frequency, phase and dead time of the system output signal are adjusted in real time through the control interface of the PC.

**Key words:** direct digital synthesize; field-programmable gate array; signal generator

### 0 引言

电子信息产业的高速发展,对信号发生器的稳定性和易用性提出了越来越高的要求。当前市面上的信号发生器由于进行了硬件的固化和封装,降低了系统的扩展性,不利于二次开发和升级<sup>[1-2]</sup>。

本文运用直接数字频率合成技术(Direct Digital Synthesize, DDS)和脉冲宽度调制技术(Pulse Width Modulation, PWM),选用 STORM IV\_E22C 系列 FPGA,实现 4 路高精度信号发生器。其通过串口通信的方式连接 PC,通过 PC 端的控制界面对输出信号进行实时、可视化的调节,支持调节各路信号的频率、相位和死区时间,具有良好的易用性。输出信号的控制参数保存在 FPGA 的寄存器中,只有当参数需要改变时,PC 端才与 FPGA 通信,因此即使串口通信中断,也不影响输出信号的稳定性。最后,输出信号的范围和精度只与 FPGA 硬件的时钟频率和累加器的位数相关,该设计支持扩展更多路

输出信号,具有良好扩展性。

### 1 基础知识

#### 1.1 PWM 波

PWM 控制技术是通过微处理器的数字输出控制模拟电路的一种非常有效的技术,在测量、通信和功率控制等许多领域得到了广泛运用<sup>[3-6]</sup>。

简单来说,PWM 波即为占空比可变的方波,通过调整占空比来控制系统的输出功率,常用于电机的调速、LED 灯的亮度调整等。

#### 1.2 DDS 原理

DDS 主要由标准参考频率源、相位累加器、波形存储器、DAC、低通平滑滤波器等构成<sup>[7-8]</sup>。其中,通常用高稳定度的晶体振荡器作为参考频率源,其输出信号作为时钟信号,保证 DDS 中各部件能够同步工作。DDS 的实质是对相位进行可控等间隔的采样<sup>[9-10]</sup>。

图 1 是一个 DDS 系统的基本原理框图,工作过

程如下:首先将频率控制字  $K$  发送至  $N$  位全加器,  $f_{clk}$  为时钟,每当全加器接收到一个时钟脉冲,  $N$  位全加器同时会收到累加寄存器储存的相应波形的相位值,这个相位值的模  $2^N$  与频率控制字相加,从而能得到  $N$  位待输出波形的相位值<sup>[11]</sup>。再根据具体要求的设定,将  $N$  位的二进制代码截掉低  $X$  位,则高  $Y$  位(显然  $Y = N - X$ )就是地址对波形查询表的寻址,经过 D/A 转换,最后输出  $M$  位的波形幅度值,形成了数字化的波形值。

在固定的时钟脉冲作用下,相位会在累加器中线性累加,直到累加寄存器满量时就会产生一次溢

出。这就意味着一次波形周期的结束,这个周期即为 DDS 产生波形的频率周期<sup>[12]</sup>。

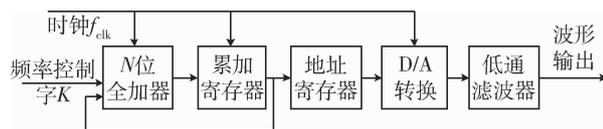


图1 DDS 原理框图

## 2 FPGA 模块设计

信号发生器通过串口接收控制指令,FPGA 端主要由串口通信模块和信号生成模块组成。寄存器传输级(Register Transfer Level,RTL)视图如图 2 所示。

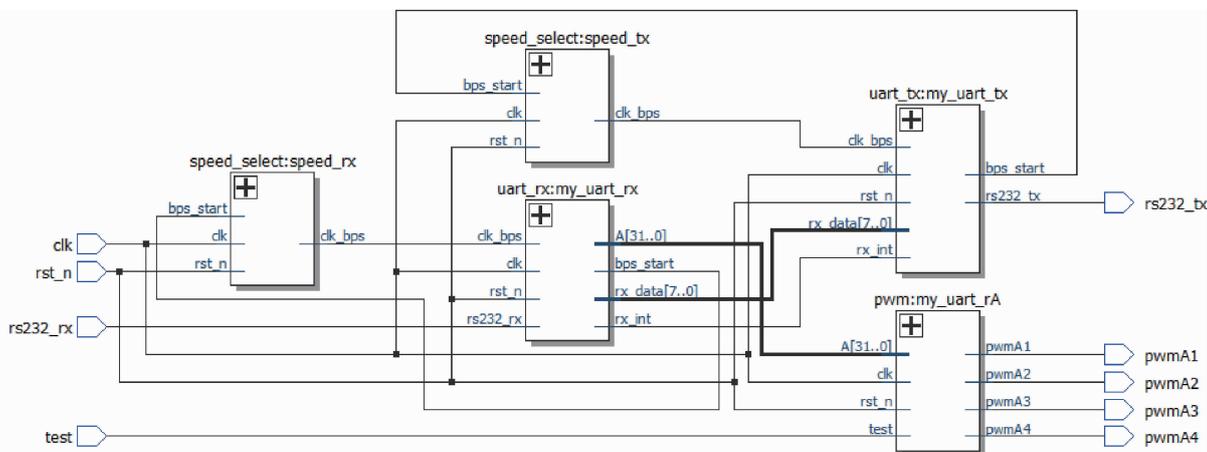


图2 信号发生器 RTL 视图

模块中各端口的信号说明如表 1 所示。

表 1 端口信号说明

信号名称	说明
clk	输入,时钟信号,50 MHz
rst_n	输入,复位信号,低电平有效
rs232_rx	输入,RS-232 接收数据信号
rs232_tx	输出,RS-232 发送数据信号
A[31:0]	输出,32 位控制字
test	过流监测信号

### 2.1 串口通信模块

串口通信模块需要完成波特率控制和控制指令的封装。它由 3 部分构成,分别定义为:数据发送模块、数据接收模块和波特率控制模块。

#### 2.1.1 数据接收模块

数据接收模块即 RTL 视图中 my\_uart\_rx 模块,其内部逻辑如图 3 所示,在接收信号 rs232\_rx 的下

降沿来到时,产生一个标志信号,同时使波特率使能信号 bps\_start 拉高,波特率产生模块的采样信号 clk\_bps(高电平有效)会控制串口采集一个帧的数据(8 个数据位)。当数据接收完成,发出信号 rx\_int,并送出采集到的数据 rx\_data。

由于 PC 端发送的是 32 位控制字,而串口一次只能发送 8 位数据,因此需要设置一个 32 位的数据寄存器 A[31:0]。

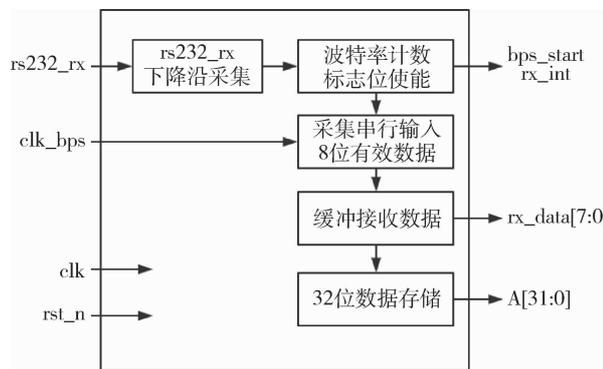


图3 数据接收模块示意图

### 2.1.2 数据发送模块

数据发送模块即 RTL 视图中 my\_uart\_tx 模块,其内部逻辑如图 4 所示,当 FPGA 寄存器 rx\_data 已经收到一个完整数据帧时,发送判断信号 rx\_int 转为低电平,同时波特率计数标志位使能信号 bps\_start 被拉低,在波特率控制模块给出的定时信号 clk\_bps 的控制下产生一个帧的信号(1 个起始位、8 个数据位和 1 个停止位),并将该信号通过 rs232\_tx 发送到 PC 端。

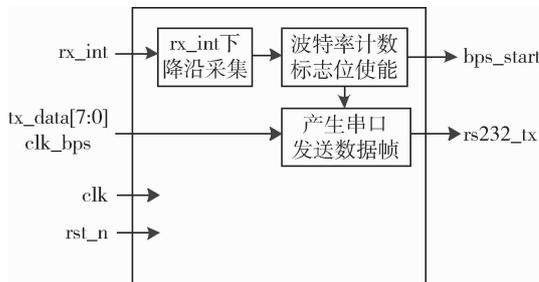


图 4 数据发送模块示意图

### 2.1.3 波特率控制模块

波特率控制模块由两部分组成,分别为接收控制模块和发送控制模块,即 RTL 视图中 speed\_rx 和 speed\_tx 模块。它们相互独立,但功能相同,即产生固定波特率的定时指示信号,其内部逻辑如图 5 所示。

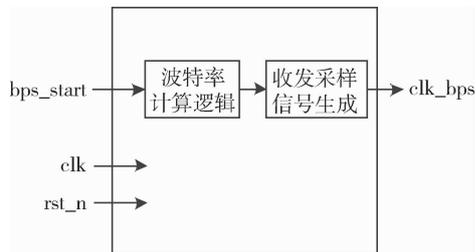


图 5 波特率控制模块示意图

根据 32 位寄存器中的数据,调整输出信号。其中高 8 位为控制字判断位,低 24 位是控制数值。控制字的类型包括:频率控制字  $K$ ,死区控制字  $T$ ,相位控制字  $H$  和开关控制字  $P$ 。

通过 PWM 波技术和 DDS 技术,信号生成模块的具体算法如图 6 所示。

#### 2.2.1 频率控制模块

由于 FPGA 输出 4 路 PWM 波信号,因此需要设置 2 个  $N$  位累加器 cnt1 和 cnt2,并且设定每个累加器的初始值都为 0。FPGA 的晶振频率为 50 MHz,即时钟信号的周期为 20 ns,每个时钟信号的上升沿来到时,累加器的值加  $K$ ,当累加器值满(即为  $2^N$ )时,累加器清零,完成一个周期后继续累加,这时累加器的值会形成一个锯齿波形。锯齿波的周期  $T = \frac{20 \text{ ns} \cdot 2^N}{K}$ ,通过频率控制字  $K$  控制锯齿波的周期,从而控制输出的 PWM 波的频率。

### 2.2 信号生成模块

信号生成模块即 RTL 视图中 my\_uart\_rx 模块,

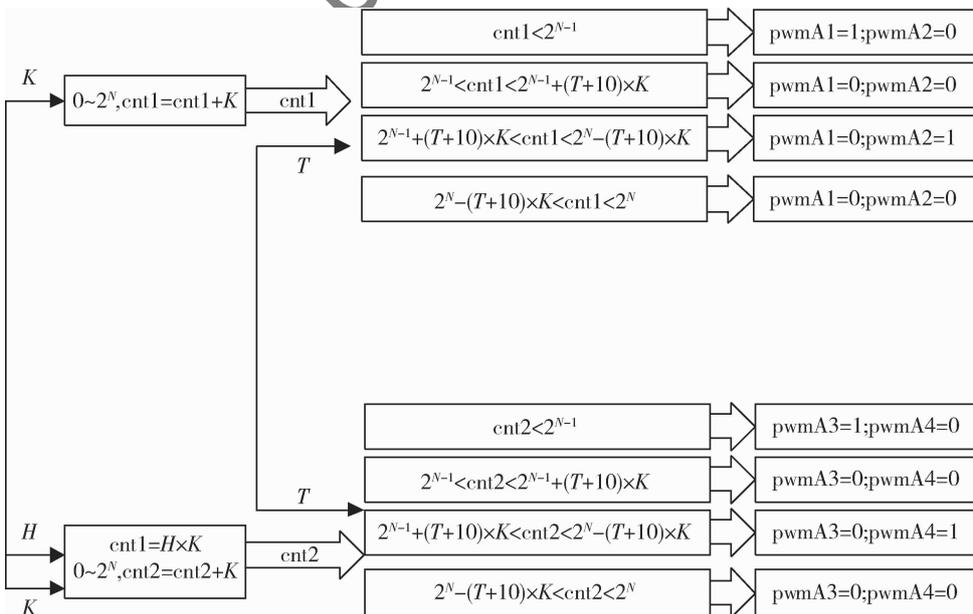


图 6 PWM 波生成算法

### 2.2.2 相位控制模块

以第一个累加器 cnt1 的起始计数时间为基准, 调节 cnt2 的起始时间, 即改变另一对输出 PWM 波的产生时间, 实现相位控制。当累加寄存器 cnt1 的值为  $K \times H$  时, 累加寄存器 cnt2 开始计数。通过调整移相控制字  $H$ , 即可对输出 PWM 波信号 pwmA1 与 pwmA3 的相位角进行控制。

### 2.2.3 死区时间控制模块

死区时间是 PWM 输出时, 为了防止上下桥臂不会因为开关速度问题发生同时导通而设置的一个保护时段, 通常也指 PWM 响应时间。

为了确保输出波形有死区时间, 将累加器的值与  $2^{N-1}$  加上死区时间控制字  $T$  的值进行比较。输出波形死区时间调节原理图如图 7 所示。

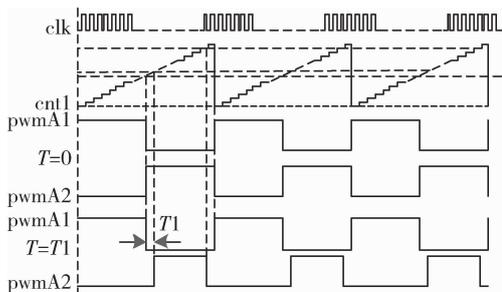


图 7 死区时间调节原理图

图 7 是以 cnt1 为例说明的, 当  $cnt1 < 2^{N-1}$ , pwmA1 输出高电平, pwmA2 输出低电平; 当  $2^{N-1} < cnt1 < 2^{N-1} + T \times K$ , pwmA1 输出低电平, pwmA2 输出低电平; 当  $2^{N-1} + T \times K < cnt1 < 2^N - T \times K$ , pwmA1 输出低电平, pwmA2 输出高电平; 当  $2^N - T \times K < cnt1 < 2^N$ , pwmA1 输出低电平, pwmA2 输出低电平。由此, 可以通过改变死区时间控制字  $T$  来改变输出 PWM 波的死区时间。

### 3 控制界面设计

为了操作方便, 避免复杂计算, 使用 LabVIEW 软件开发了一个直观且功能齐全的控制界面如图 8 所示。控制界面将系统内部复杂的计算、进制转换和数据帧组装等进行了封装, 显著提高了产品的易用性。

控制界面的内部模块设计如图 9 所示, 因为频率、相位和死区时间的转换算法不同, 所以分为独立的业务模块。

各模块的主要功能如下:

校验模块: 校验对应业务下输入参数的合法性。



图 8 PC 端控制界面

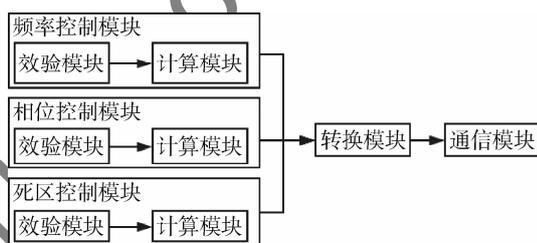


图 9 控制界面内部模块图

计算模块: 将输入参数根据对应的业务模块计算出对应的控制字数值。

转换模块: 将计算模块输出的十进制控制字转换为二进制, 加上对应的控制字标志位, 组成 32 位数据帧。

通信模块: 设置比特率, 将数据帧切割, 组装成协议报文通过串口传输。

### 4 精度分析

本文使用的是 Altera 公司发行的基于 Cyclone IV 芯片的 FPGA 开发板, 配有 50 MHz 的晶振, 28 位的累加器。从而由 DDS 的原理可知:

(1) 输出 PWM 波信号的频率  $f$  为:

$$f = \frac{f_{\text{clk}}}{2^N} K \quad (1)$$

(2) 输出 PWM 波信号的频率分辨率  $\Delta f$  为:

$$\Delta f = \frac{f_{\text{clk}}}{2^N} \quad (2)$$

(3) 输出 PWM 波信号的相位差  $p$  为:

$$p = H \times 360^\circ \times \frac{f}{f_{\text{clk}}} = H \times 360^\circ \times \frac{K}{2^N} \quad (3)$$

(4) 输出 PWM 波信号的相位差分辨率  $\Delta p$  为:

$$\Delta p = 360^\circ \times \frac{f}{f_{\text{clk}}} = 360^\circ \times \frac{K}{2^N} \quad (4)$$

(5) 输出 PWM 波信号的死区时间  $t$  为:

$$t = \frac{10 + T}{f_{\text{clk}}} \quad (5)$$

上述式中,  $f_{\text{clk}}$  为时钟频率(50 MHz),  $N$  为累加器位数, 其余  $K$ 、 $H$  和  $T$  分别代表频率、相位和死区时间的控制字, 都是 24 位二进制数。

频率控制字  $K$  的范围是  $0 \sim 2^{24} - 1$ , 根据式(1)可得出该信号发生器的调频范围是  $0 \sim 3.125$  MHz。由式(2)至式(4)依次得出系统的调频精度小于 1 Hz, 相位差分辨率为  $0.17^\circ$ , 死区时间分辨率为 20 ns。

## 5 结论

本文基于 DDS 技术和 PWM 控制技术, 实现了一种 4 路信号发生器, 其具有调频、调相和调整死区时间功能。输出信号的相关参数存储在 FPGA 的寄存器中, 只有当参数需要更改时, PC 端控制界面才会与信号发生器通信。从而解决了现有信号发生器在通信中断时, 无法保证输出信号稳定性的问题; 同时增强了现有信号发生器的易用性。该信号发生器体积小、操作和控制灵活, 具有良好的扩展性, 易于进行二次开发和升级。

## 参考文献

- [1] 张秋艳, 王超, 陈严君. 具有射频监测能力的雷达接收前端技术[J]. 信息技术与网络安全, 2018, 37(8): 58-61.
- [2] 朱彩莲. 基于 FPGA 量程自动切换高精度数字频率计的设计[J]. 电子世界, 2019(20): 46-47.

- [3] 田艳, 田莎莎. 基于 FPGA 的全自动洗衣机控制器设计与实现[J]. 软件导刊, 2012(9): 48-51.
- [4] 黄俊. 基于 FPGA 的高频高精度数字移相信号发生器[D]. 杭州: 浙江师范大学, 2013.
- [5] 周首杰. 基于单片机的 PWM 单相交流电机变频调速设计[J]. 物联网技术, 2019(10): 55-57.
- [6] 李鑫. 摩擦点选系统的自动控制研究[D]. 北京: 中国矿业大学, 2014.
- [7] 李露. 基于 CAN 总线的多功能床控制器的研发[D]. 石家庄: 河北工业大学, 2013.
- [8] 王丹丹. 数字射频存储系统中高速 DAC 电路的设计与实现[D]. 燕山: 燕山大学, 2016.
- [9] 王江华. 基于 VXI 总线动态测试仪的研制[D]. 北京: 北京航空航天大学, 2014.
- [10] 冯越江, 张秋实, 吕东云. 基于 DDS 微波频率源的技术特征分析[J]. 中国新通信, 2019(19): 62-63.
- [11] 李焯阳, 雷倩倩, 杨延飞. 全通用 AES 加密算法的 FPGA 实现[J]. 计算机工程与应用, 2019.
- [12] 杨卫. 基于算法 FPGA 实现的直接数字频率合成器研究与设计[D]. 苏州: 苏州大学, 2009.

(收稿日期: 2019-11-26)

## 作者简介:

付宝仁(1995-), 男, 硕士研究生, 主要研究方向: 信息安全。

王超(1982-), 通信作者, 男, 博士, 高级工程师, 主要研究方向: 信息安全。E-mail: wangchao@ncse.com.cn。

高鸿儒(1992-), 男, 硕士研究生, 主要研究方向: 计算机科学与技术。

# 版权声明

经作者授权，本论文版权和信息网络传播权归属于《信息技术与网络安全》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《信息技术与网络安全》编辑部  
中国电子信息产业集团有限公司第六研究所