

一种 28 Gb/s 无电感限幅放大器设计

徐晓宇, 林福江

(中国科学技术大学 微电子学院, 安徽 合肥 230026)

摘要: 基于 TSMC 40 nm CMOS 工艺, 提出了一种 28 Gb/s 无电感器限幅放大器设计。设计采用一种改进的交织有源反馈(interleaving active feedback)技术扩展电路带宽。直流失调消除电路采用一种改进的低通负反馈技术衰减直流失调电压。蒙特卡洛仿真结果表明限幅放大器输出端的直流失调电压均值为 200.1 μV , 标准差为 5.8 mV。在 1 V 的电源电压下, 限幅放大器增益为 39 dB, 带宽为 30.2 GHz, 输入灵敏度为 2.7 mV_{pp}, 误码率为 10^{-12} 。限幅放大器不包括输出缓冲器的功耗为 37.7 mW。

关键词: 限幅放大器; 直流失调消除; 交织有源反馈; 带宽拓展技术

中图分类号: TN722

文献标识码: A

DOI: 10.19358/j.issn.2096-5133.2020.04.013

引用格式: 徐晓宇, 林福江. 一种 28 Gb/s 无电感限幅放大器设计[J]. 信息技术与网络安全, 2020, 39(4): 68-72.

The design of a 28 Gb/s inductorless limiting amplifier

Xu Xiaoyu, Lin Fujiang

(School of Microelectronics, University of Science and Technology of China, Hefei 230026, China)

Abstract: This paper presents a 28 Gb/s inductorless limiting amplifier that uses an improved interleaving active feedback technique to extend bandwidth in 40 nm CMOS technology. DC offset voltage cancellation circuit uses an improved low-pass negative feedback technique to attenuate the offset voltage. Monte Carlo simulation results show that the standard deviation of the DC offset voltage at the output of the limiting amplifier is 5.8 mV, and the mean value is 200.1 μV . The limiting amplifier achieves a gain of 39 dB, a bandwidth of 30.2 GHz and input sensitivity of 2.7 mV_{pp} for a bit error rate of 10^{-12} , and the limiting amplifier exclude output buffer consumes 37.7 mW at a supply voltage of 1 V.

Key words: limiting amplifier; DC offset cancellation; interleaving active feedback; bandwidth enhancement technique

0 引言

随着物联网和云计算的发展, 数据中心的带宽迅速增长。为了承载巨大的数据流量, 光链路在数据中的应用也越来越广泛。作为光链路中光接收机的重要组成部分, 限幅放大器接收到跨阻放大器的小摆幅电压信号, 放大后传递给时钟恢复电路, 确保时钟恢复电路能正常工作。同时为了保证信号传输质量, 减少限幅放大器引入的码间干扰, 限幅放大器的带宽要足够大^[1]。拓展电路带宽的方案有 Cherry-Hooper 结构、电感峰化技术、有源负反馈等。文献[2]在传统的 Cherry-Hooper 结构的基础上, 调整了反馈电阻的位置, 引入一个低频零点, 抵消实数极点, 使得共轭复数极点成为主极点, 拓展电路的带宽。但 Cherry-Hooper 结构对电源电压要求较高。文献[3]中使用的电感峰化技术会使得芯片的面积很大。文献[4]

采用的有源负反馈结构会增加电路的复杂度和功耗。限幅放大器通常采用级联结构满足高增益和大带宽的要求。这种级联结构会累加并放大因器件失配产生的直流失调电压。过大的直流失调电压会影响差分放大器的静态工作点, 进而影响差分信号的正常放大, 导致输出信号脉冲宽度失真。为了衰减限幅放大器的直流失调电压, 电路中会加入由低通滤波器构成的负反馈环路^[5]。

本文提出的限幅放大器采用四级三阶级联结构, 利用改进的交织有源负反馈拓展带宽。直流失调电压消除电路由低通滤波器和二级运放组成。基于 TSMC 40 nm CMOS 工艺, 提出了一种 28 Gb/s 无电感器限幅放大器设计。

1 限幅放大器原理

限幅放大器采用级联结构。输入信号经过前

几级放大单元之后,信号幅度变大,使得后几级放大单元会进入非线性放大状态,输出信号的幅度由输出共模电平决定,实现限幅功能。限幅放大器采用直流耦合方式。这种级联结构会增大系统的直流失调电压。利用低通负反馈环路降低电路的低频增益,在不影响高频信号放大的前提下,可以有效衰减电路的直流失调电压。

2 总体分析

本文提出的限幅放大器应用于 28 Gb/s 光接收机中,其整体架构如图 1 所示。对于典型的光接收机,接收光功率为 -18 dBm,光电二极管的响应度为

0.75 A/W,跨阻放大器的增益为 1 000 Ω ,限幅放大器接收到的输入信号幅度就是 12 mV^[3]。为了保证后级时钟恢复电路的正常工作,限幅放大器的增益需要达到 40 dB。同时,为了避免引入过大的码间干扰,限幅放大器的带宽需要达到至少 26 GHz。直流失调电压消除电路的设计需要考虑到信号传输过程中会出现长“0”信号或者长“1”信号的情况,此时信号的频率较低,低通负反馈环路引入的低频截止频率需要保证在几十 kHz 才能避免长信号传输过程中出现明显的电平下降^[1]。

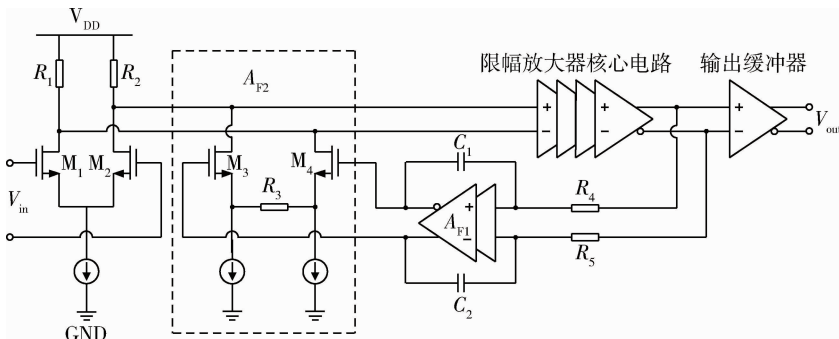


图1 本文提出的无电感限幅放大器的架构

2.1 限幅放大器放大单元设计

本文提出的限幅放大器在多级多阶级联结构的基础上,采用一种改进的交织有源反馈技术进一步拓展带宽,如图 2 所示。在有源负反馈环路中的晶体管的栅极插入电阻。例如 M_{11} 和 M_{12} ,电阻限制晶体管 M_{11} 和 M_{12} 栅极电容对信号通路的影响,提高限幅放大器的带宽。但插入电阻的阻值过大会增加限幅放大器在滚降频率附近的过量增益。

文献[6]和文献[7]讨论了多级多阶级联结构。假设限幅放大器的核心电路由 n 个相同的 m 阶具有巴特沃斯频率响应的放大单元级联构成,则限幅放大器的带宽为:

$$BW_{tot} = BW_{cell} \sqrt[n]{\sqrt{2} - 1} \quad (1)$$

式中, BW_{cell} 表示 m 阶放大器的带宽。根据式(1),每个 m 阶放大器的增益带宽积可表示为:

$$GBW_{cell} = \frac{BW_{tot} \sqrt[n]{A_{tot}}}{\sqrt[n]{\sqrt{2} - 1}} \quad (2)$$

式中, A_{tot} 表示限幅放大器的中频增益。本次设计指标中增益为 40 dB,带宽为 26 GHz。在实际设计中,限幅放大器采用四级三阶级联结构,由式(2)可

知,每级三阶放大器的增益带宽积为 108 GHz。TSMC 40 nm CMOS 工艺的 f_T 大约为 340 GHz,每级三阶放大器的增益带宽积的设计目标小于 f_T 的三分之一,理论上可以实现设计目标。实际设计得到的三阶放大器的增益带宽积为 106.4 GHz。

文献[4]和[7]对交织有源负反馈技术在多级多阶级联电路中的应用进行了稳定性分析。一个采用交织有源负反馈技术的四级三阶限幅放大器可以被拆分成 4 个拥有不同极点的带有源负反馈的三阶放大器。为了保证限幅放大器整体的稳定性,这 4 个三阶放大器中的最右侧的极点必须位于复平面的左半平面。最右侧极点需要满足的条件为:

$$Re(\omega_{4|b,c}) = -\omega_0(1 - 0.762(A_0^2 A_1)^+) \leq 0 \quad (3)$$

式中, A_0 是三阶放大器信号通路中差分对的增益; A_1 是三阶放大器中反馈网络的增益。分析不等式可得三阶放大器的环路增益必须小于 2.3 才能保证限幅放大器的稳定性。本次设计的每级放大器信号通路中差分对增益为 2.3,反馈网络增益为 0.38,环路增益约为 2。

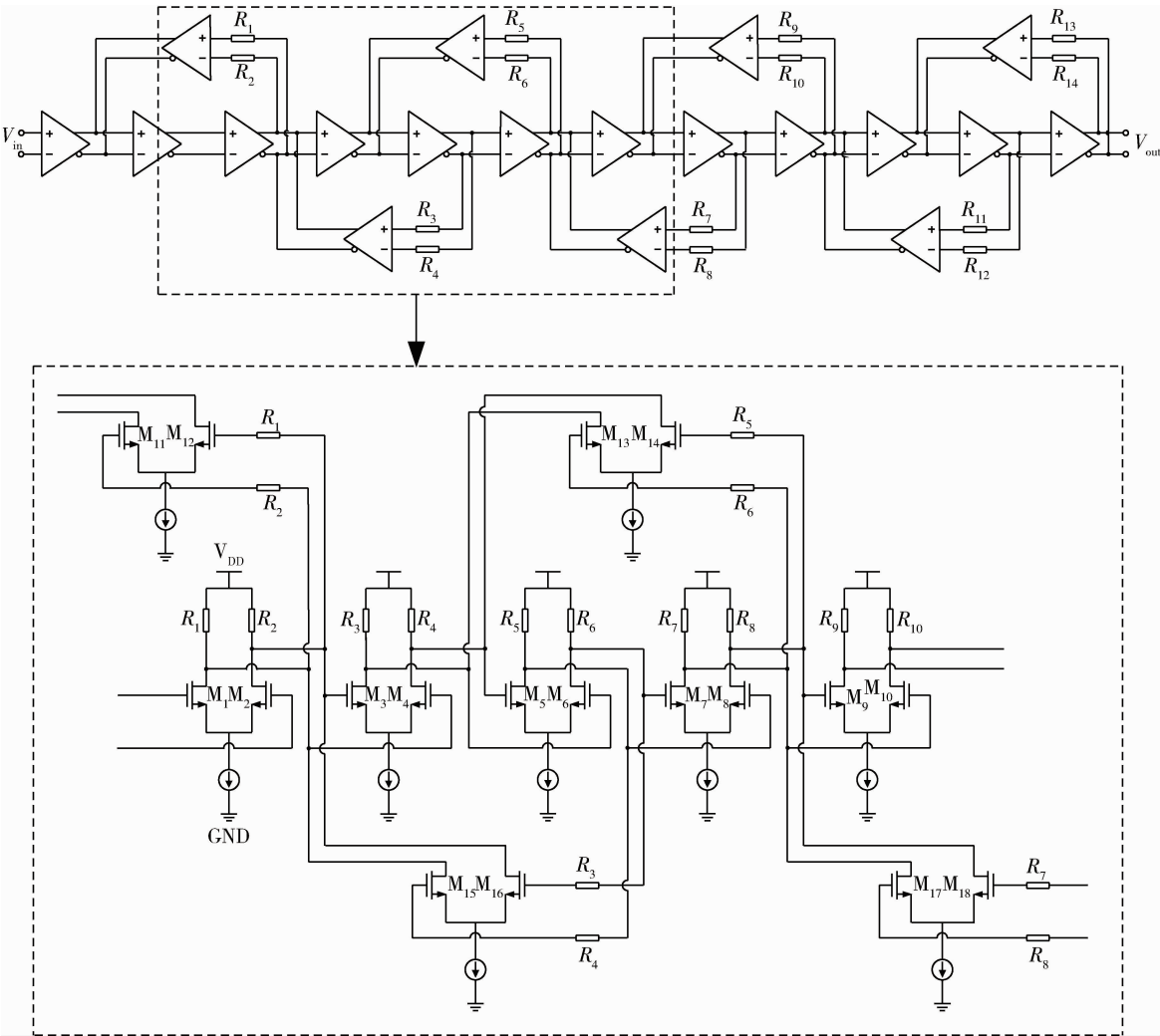


图2 应用改进交织有源负反馈技术的放大器核心电路

2.2 直流失调电压消除电路的设计

传统的低通负反馈网络由电阻和电容构成。为了使低频截止频率点达到几十 kHz，反馈网络中的电容的容值需要达到 0.1 μF 数量级，这会大大增加芯片面积。文献[5]将运放和低通滤波器组合，大大减少了所需电容的容值。本文设计的低通反馈网络由低通滤波器、二级运放和一级带有源负反馈的放大器组成，如图 1 所示。假设限幅放大器为带宽无限大的理想放大器，反馈网络为单极点系统，可以得到简化系统的传输函数为：

$$\frac{V_{out}}{V_{in}} = \frac{A_{tot}(A_{F1}RCs + 1)}{A_{F1}RCs + A_{tot}A_{F1}A_{F2} + 1} \tag{4}$$

式中， A_{tot} 是限幅放大器的中频增益； A_{F1} 是二级运放的低频增益； A_{F2} 是反馈网络第二级放大器的低频增益； R 是低通滤波器中所用电阻的阻值； C 是

低通滤波器中所用电容的容值。由式(4)可知，系统的低频增益近似为：

$$A \approx \frac{1}{A_{F1}A_{F2}} \tag{5}$$

低频截止频率近似为：

$$p_0 \approx \frac{A_{tot}A_{F2}}{RC} \tag{6}$$

根据式(5)、(6)可知，为了降低低频截止频率点，减小低通滤波器中电容的容值，设计电路时需要降低 A_{F2} 。但因为第二级放大器的负载电阻较小，为保证第二级放大器的输出摆幅，增大直流失调电压衰减范围，第二级放大器的工作电流较大。所以本文采用源极退化降低第二级放大器的低频增益。同时增大二级运放的低频增益 A_{F1} 以保证反馈网络对直流失调电压的衰减作用。二级运放为

带共模反馈的两级全差分放大器。实际设计中失调电压消除反馈网络采用的电容为 160 pF,系统的低频截止频率为 42.5 kHz。

2.3 输出缓冲器的分析和设计

输出缓冲器采用 f_T 倍增器结构,以减少输出缓冲器的输入电容对放大器核心电路的影响^[3]。限幅放大器的输出信号摆幅设计指标为 300 mV_{pp} ~ 400 mV_{pp},所以输出缓冲器的尾电流源设计成 5 mA,负载电阻为 75 Ω 。

3 仿真结果与分析

基于 TSMC 40 nm CMOS 工艺,本文提出了一种 28 Gb/s 无电感器限幅放大器设计。图 3 给出了限幅放大器闭环幅频特性曲线。在 TT 工艺角和 27 $^{\circ}\text{C}$ 的仿真条件下,系统的增益为 39 dB,带宽为 30.2 GHz,低频截止频率为 42.5 kHz。图 4 给出了限幅放大器的等效输入噪声曲线。等效输入参考噪声 1 kHz ~ 40 GHz 的积分为 0.19 mV。根据文献[1],在比特出错概率(Bit Error Ratio, BER)为 10^{-12} 的条件下,限幅放大器的灵敏度为 2.7 mV_{pp}。输入信号源为 28 Gb/s 的 2^7-1 伪随机比特序列(Pseudo-Random Bit Sequence, PRBS)信号,当输入信号幅度分别是 10 mV_{pp} 和 100 mV_{pp} 时,输出信号的眼图如 5 所示。图 6 给出了限幅放大器输出直流失调电压蒙特卡罗仿真结果。输出端的直流失调电压均值为 200.1 μV ,标准差为 5.8 mV。

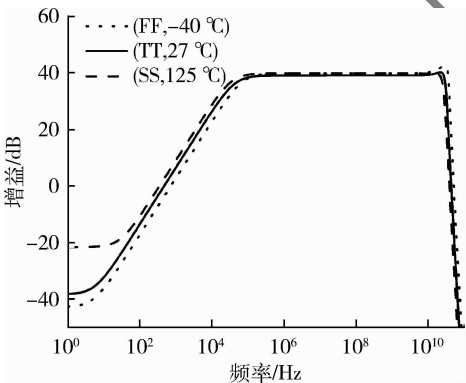


图3 限幅放大器的闭环幅频特性曲线

本文设计的限幅放大器与其他文献所设计性能对比如表 1 所示。

4 结论

本文基于 TSMC 40 nm CMOS 工艺,设计了一种应用改进交织有源反馈的无电感限幅放大器。在典型值条件下,该限幅放大器的增益为 39 dB,带宽为

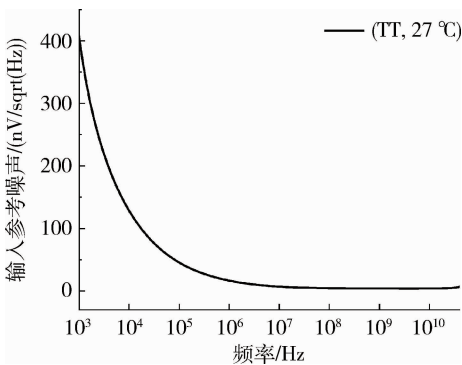


图4 限幅放大器的输入参考噪声曲线

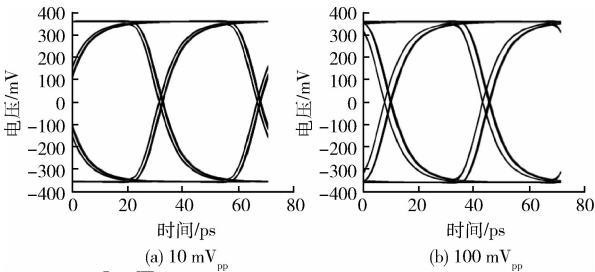


图5 输入信号分别为 10 mV_{pp} 和 100 mV_{pp} 时的输出信号眼图

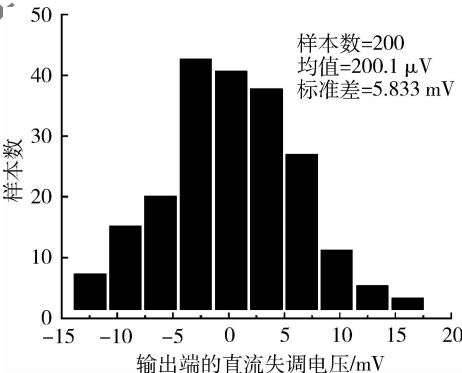


图6 限幅放大器输出失调电压蒙特卡罗仿真结果

表 1 本设计与其他设计性能对比

方法	文献[8]	文献[9]	文献[4]	本文
增益/dB	31.1	35	37	39
带宽/GHz	22.1	4.1	16.5	30.2
灵敏度/mV _{pp} @10 ⁻¹² BER	NA	2.9	NA	2.7
功耗/mW	23	14.7	60	37.7
工艺/nm	65	90	65	40

30.2 GHz。输出端的直流失调电压均值为 200.1 μV ,标准差为 5.8 mV。误码率为 10^{-12} 时,输入灵敏度为 2.7 mV_{pp}。电源电压为 1 V 时,限幅放大器不包含输出缓冲器的功耗为 37.7 mW。仿真结果表明该限幅

放大器具有高增益、大带宽、高灵敏度的特点,适用于高速光接收机。无电感限幅放大器设计可以有效减小芯片面积,降低成本。

参考文献

- [1] SACKINGER E. Broadband circuits for optical fiber communication[J]. IEEE Circuits & Devices Magazine, 2006, 22(3):38.
- [2] 谢生,谷由之,毛陆虹,等. 基于 SiGe BiCMOS 工艺的高速光接收机模拟前端电路[J]. 天津大学学报(自然科学与工程技术版), 2018, 51(1):57-63.
- [3] GALAL S, RAZAVI B. 10-Gb/s limiting amplifier and laser/modulator driver in 0.18- μm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2138-2146.
- [4] HE R, XU J F, YAN N, et al. Design and analysis of 20 Gb/s inductorless limiting amplifier in 65 nm CMOS technology[J]. Journal of Semiconductors, 2014, 35(10): 95-101.
- [5] SONNA P, CARRER H. Broadband programmable equalizer and limiting amplifier for an XFI interface in 45nm CMOS[C]. IEEE Conference on Micro-Nanoelectronics,

Technology and Applications. San Carlos de Bariloche, Argentina, 2009:77-80.

- [6] JINDAL R P. Gigahertz-band high-gain low-noise AGC amplifiers in fine-line NMOS[J]. IEEE Journal of Solid-State Circuits, 1987, 22(4):512-521.
- [7] HUANG H, CHIEN J, LU L. A 10 Gb/s inductorless CMOS limiting amplifier with third-order interleaving active feedback[J]. IEEE Journal of Solid-State Circuits, 2007, 42(5):1111-1120.
- [8] HOU Z X, PAN Q, WANG Y P, et al. A 23-mW 30-Gb/s digitally programmable limiting amplifier for 100GbE optical receivers[C]. IEEE Radio Frequency Integrated Circuits Symposium. Tampa, USA, 2014:279-282.
- [9] TAVERNIER F, STEYAERT M. A low power, area efficient limiting amplifier in 90nm CMOS[C]. Proceedings of 2009 ESSCIRC. IEEE, 2009.

(收稿日期:2020-01-18)

作者简介:

徐晓宇(1995-),通信作者,男,硕士研究生,主要研究方向:模拟IC设计。E-mail:heitao@mail.ustc.edu.cn。

(上接第57页)

- [5] 王月鹏,赵国庆. 二维FFT算法在LFMCW雷达信号处理中的应用及其性能分析[J]. 电子科技, 2005(5):25-28.32.
- [6] 周建. MIMO 雷达波形实时生成与DRF处理研究[D]. 西安:西安电子科技大学, 2018.
- [7] 陈国际,王冬,张汉光,等. 数字多波束形成的MATLAB仿真[J]. 数字技术与应用, 2016(5):97-99.
- [8] FEGER R, HADERER A, STELZER A. Experimental verification of a 77 GHz synthetic aperture radar system for automotive applications[C]. 2017 IEEE MTT-S International Conference on Microwaves for Intelligent Mobility (IC-

MIM). IEEE, 2017.

(收稿日期:2020-01-17)

作者简介:

张科遥(1993-),通信作者,男,硕士研究生,主要研究方向:雷达信号系统设计。E-mail:Aleven@mail.ustc.edu.cn。

林福江(1959-),男,教授,博士生导师,主要研究方向:微纳器件的射频建模、芯片设计和微波系统集成。

白雪飞(1977-),男,讲师,主要研究方向:数字集成电路设计、电子系统设计。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《信息技术与网络安全》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《信息技术与网络安全》编辑部
中国电子信息产业集团有限公司第六研究所