

FinFET 器件结构发展综述

熊倩¹, 马奎^{1,2}, 杨发顺^{1,2}

(1. 贵州大学 大数据与信息工程学院, 贵州 贵阳 550025;

2. 半导体功率器件可靠性教育部工程研究中心, 贵州 贵阳 550025)

摘要: 随着集成电路技术日新月异的发展, 器件尺寸不断缩小, 当场效应晶体管沟道缩短至 22 nm 以后, 传统平面场效应晶体管不再满足发展的需求。FinFET 是一种新型的三维器件, 由于良好的性能目前被广泛研究应用。主要介绍了 FinFET 器件的基础结构以及基础工艺流程, 以及在基础结构上所发展起来的一些改良后的 FinFET 器件结构。最后结合实际对未来 FinFET 器件结构的发展寄予展望。

关键词: 场效应晶体管; FinFET; 器件结构; 工艺

中图分类号: TN386

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200512

中文引用格式: 熊倩, 马奎, 杨发顺. FinFET 器件结构发展综述[J]. 电子技术应用, 2021, 47(1): 21-27.

英文引用格式: Xiong Qian, Ma Kui, Yang Fashun. Overview of FinFET device structure development[J]. Application of Electronic Technique, 2021, 47(1): 21-27.

Overview of FinFET device structure development

Xiong Qian¹, Ma Kui^{1,2}, Yang Fashun^{1,2}

(1. College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2. Semiconductor Power Device Reliability Engineering Research Center of Ministry of Education, Guiyang 550025, China)

Abstract: With the rapid development of integrated circuit technology, the size of devices continues to shrink. When the channel of the field effect transistor is shortened to 22 nm, the traditional planar field effect transistor no longer meets the development needs. FinFET is a new type of three-dimensional device, which is currently widely researched and applied due to its good performance. It mainly introduces the basic structure and basic process flow of FinFET devices, as well as some improved FinFET device structures developed on the basic structure. Finally, combined with the reality, the future development of FinFET device structure is expected.

Key words: field effect transistor; FinFET; device structure; process

0 引言

晶体管最重要的性能是控制电流的开断, 当晶体管的沟道缩短到一定程度时, 晶体管的沟道电流很难关紧。原因是内部电场的互相干扰导致栅极的电场不能发挥作用, 因此会关不断, 从而形成泄漏电流。传统的平面场效应(Metal Oxide Semiconductor, MOS)管由于受到短沟道效应^[1-2]的作用而不能再有效地控制电流, 从而产生三维鳍式场效应晶体管(Fin Field-Effect Transistor, FinFET)器件^[3]。FinFET 是加州大学伯克利分校的胡正明的教授发明的, 主要有两种, 分别是 1999 年发布的基于立体型结构的 FinFET 晶体管技术, 2000 年发布的全耗尽型绝缘衬底上的硅(Fully Depleted Silicon On Insulator, FOI)晶体管技术^[4]。在 FinFET 的架构中, 闸门呈类似鱼鳍的叉状 3D 架构, 可于电路的两侧控制电路的接通与断开。FinFET 技术的应用是在被发明的十年后, 首先推出

FinFET 应用的是 Intel, 在 22 nm 工艺节点时传统技术已经无法满足沟道缩短的进一步发展。2013 年 Intel 推出了第一代 22 nm FinFET 工艺, 该工艺是采用体硅 FinFET 结构。2014 年后 Intel 发布了 14 nm FinFET 技术, 采用的也是体硅 FinFET。随后各大厂商如格罗方德、三星、台积电等也开始转进到 FinFET 工艺当中^[5]。

本文首先梳理了体硅 FinFET 和 SOI FinFET 的结构形式以及部分被应用较广泛结构的工艺, 以及在体硅和 SOI 技术上发展起来的其他结构形式。着重总结了各种新型 FinFET 形式的结构特点, 最后对 FinFET 器件具有更好性能的结构形式的未来工作进行展望。

1 体硅 FinFET

体硅 FinFET 的应用是从 2013 年开始的, Intel 2013 年时在 22 nm 技术节点采用了 FinFET 技术, 从传统二维平面的 MOSFET 变为三维的 FinFET, 依旧是做在衬底硅

上。在体硅 FinFET 基础上发展起来的多栅结构,包括两栅、三栅、环栅、Ω 栅和 π 栅等结构形式^[6]。

1.1 体硅 FinFET 的结构以及工作机理

体硅 FinFET 的结构示意图如图 1 所示,可以看到,FinFET 的“鳍”被栅电极包围着,其源漏区分布在两侧,体硅 FinFET 的制备是在有源区上面淀积介质层然后刻蚀出凹槽,再刻蚀出硅岛。在凹槽的底部会形成凹槽器件结构,两种器件形成并联结构。凹槽器件能够有效地抑制短沟道效应、热载流子效应以及器件穿通,能够更好地提升器件的性能^[7]。

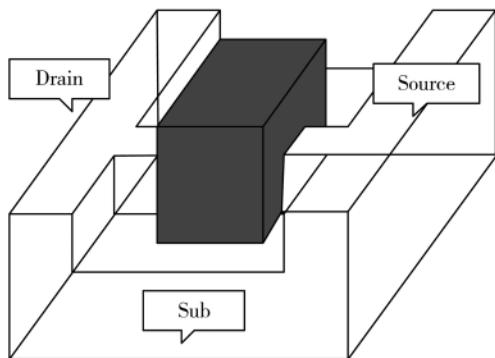


图 1 体硅 FinFET 结构

体硅 FinFET 优点^[7]:鳍形沟道直接与硅衬底接触,故其散射效果比较好,散热能力比较好;由于其没有二氧化硅衬底,因此这种 FinFET 器件的制作成本较为低廉^[2]。

体硅 FinFET 缺点:体硅 FinFET 的工艺制备流程比 SOI FinFET 工艺制备流程复杂,体硅 FinFET 的器件分离需要晶圆工艺,SOI FinFET 的器件分离通过掩埋层;由于缺乏埋氧层,源漏区域容易互相渗透,恶化了亚阈值摆幅和短沟道效应;“鳍”高度一般是厚度的两倍或者更多,因为增加“鳍”高度可以增大晶体管集成密度。对体硅 FinFET 更高的“鳍”使得对“鳍”的刻蚀、“鳍”壁的凹槽刻蚀以及隔离注入变得更困难^[8]。

1.2 体硅三栅 FinFET

Intel 2014 年开始的 14 nm 技术节点至 2019 年的 10 nm 技术节点都采用的是体硅三栅 FinFET 技术^[9],其结构示意图如图 2 所示^[10]。只是随着技术节点的提高,三栅 FinFET 的“鳍”的长度变长,每个“鳍”之间的距离变短,变化示意图如图 3 所示^[10]。

1.3 环栅 FinFET(GAA FinFET)及其工艺

三星 2019 年 5 月 16 日发布其 3 nm 布局了环栅 FinFET 结构,表示目前正在开放当中,据芯科技消息,台积电 3 nm 制程技术已经进入实验室阶段,业内人士透露在环栅 FinFET 基础上做出了突破^[4]。环栅 FinFET 的结构示意图如图 4 所示^[11]。

工艺流程:(1)隔离工艺之后,成型氮化物作为 Fin 的硬掩模,形成氧化物侧墙;(2)使用厚氧化物层作源漏硬掩模,以刻蚀栅沟槽(大马士革栅凹槽);(3)凹槽形成

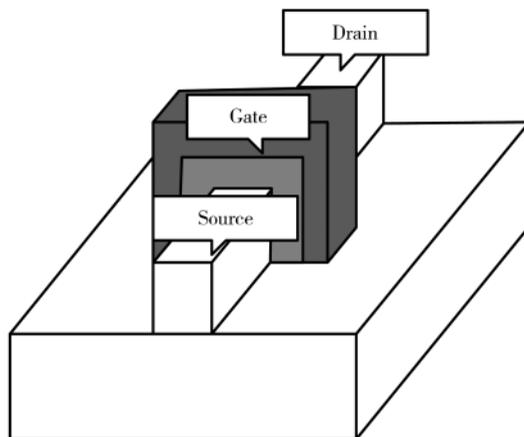


图 2 体硅三栅 FinFET 结构示意图

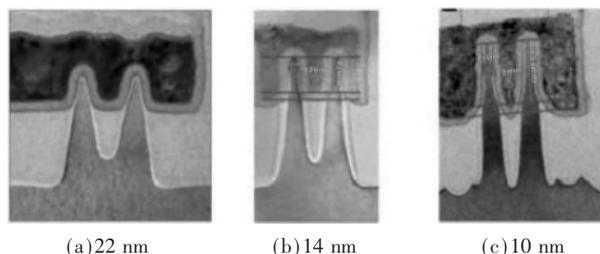


图 3 “鳍”变化示意图

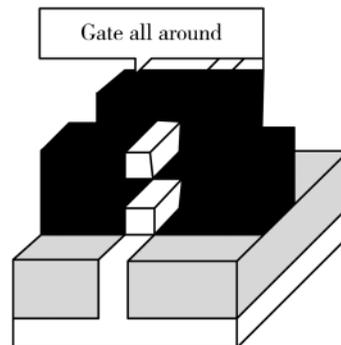


图 4 环栅体硅 FinFET 结构示意图

和 Fin 的两边同时定义宽输出源漏区;(4)形成氮化物侧墙,保证各向同性刻蚀底栅时保护 Fin 沟道;(5)自对准生长栅氧化层,并在凹槽中填充多晶硅栅。最后是刻蚀接触孔、金属淀积和成型等后端工艺^[12]。

体硅 FinFET 与 SOI FinFET 最大的不同就是体硅 FinFET 的沟道直接与衬底相连,而 SOI FinFET 具有一层掩埋层。其栅极制备过程与 SOI 栅极制备过程大致相同。

环栅的优点:环栅 FinFET 器件表现出优异的跨导和短沟道行为;随着栅极数量的增加,各自的电学特性曲线也随之上移,这是因为多栅器件栅控面积增大,使得反型层面积增大,载流子增多,源漏之间的工作电流也随之增大;多栅器件使得三维结构的反型层位置远离 Si-SiO₂ 界面从而降低载流子界面散射发生的几率,提高了载流子的有效迁移率。

环栅 FinFET 的缺点:制造成本比较高,推广比较缓

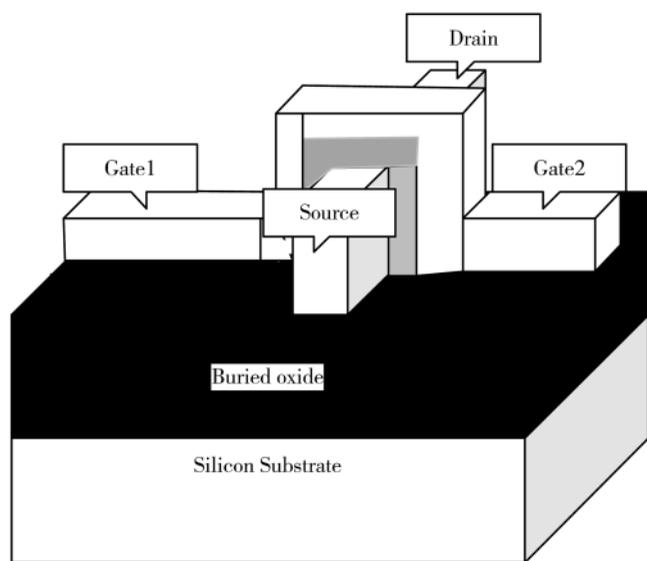
慢;存在驱动电流和寄生电容,寄生电容会给器件各个部分带来外部电阻;在环绕栅极中,栅极不仅会围绕通道,而且会围绕一些接触区域,这会增加结构的电容^[13]。

2 SOI FinFET

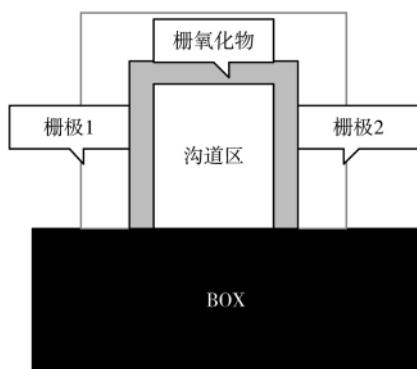
2017 年据 IBS 预测会在 7 nm 技术节点采用 SOI FinFET 技术,但是由于 SOI 技术成本比较高,7 nm 技术节点采用的体硅 FinFET 技术满足性能要求,因此 SOI+FinFET 技术没有被应用。2019 年进入的 7 nm 技术节点采用体硅上环栅 FinFET 技术。SOI FinFET 技术简而言之就是在器件下层多了一层埋氧化层^[14]。

2.1 双栅 SOI FinFET 器件结构

SOI FinFET 采用的 FinFET 是基于平面 MOSFET 的一种变形,它将导电沟道包裹在鳍状硅薄膜中,可以让栅极与鳍结构多了左右两侧的接触面,多栅的结构使其具有良好的载流子运输能力,有效地抑制沟道效应。其结构模型如图 5 所示。



(a)SOI FinFET 结构图



(b)SOI FinFET 结构图纵切图

图 5 SOI FinFET 结构图和 SOI FinFET 结构图纵切图

SOI FinFET 可以分为部分耗尽(Partially Depleted, PD)SOI FinFET 和全部耗尽(Fully Depleted, FD)SOI FinFET,

PD-SOI FinFET 是指栅下面的硅层厚度比紧邻沟道的耗尽层的厚度大,导致栅氧化层和沟道之间形成电学上的悬浮中性区,从而影响器件的电学特性,这叫做浮体效应。FD-SOI FinFET 是指硅层很薄,耗尽区可以从沟道一直衍生到氧化层,消除了浮体效应,对于器件源漏区的耗尽区的限制起着重要作用,可以改善漏电流、短沟道效应以及器件的亚阈特性^[7,15]。所以目前一般都是采用 FD-SOI FinFET。

SOI FinFET 的优点:SOI FinFET 因为存在一层埋氧化层使得源漏的寄生电容变小,可以应用于高频状态;SOI 结构的埋氧化层可以隔绝漏电流,可以被应用于低功耗的场合。

SOI FinFET 的缺点:FinFET 器件本身的 3D 鳍式结构不容易散热,热量会沿着垂直方向传递至金属走线层,埋氧化层使得热量不能够及时耗散出去,严重影响器件的各项电学特性,本身 FinFET 器件的 3D 鳍式结构不容易散热,热量会沿着垂直方向通过热传导至金属走线层,低功率埋氧化层使沟道中的热量不能及时耗散出去,严重影响器件的各项电学特性;低热导率的材料,栅极以及埋氧化层的低热导率材料导致器件很难散热,例如掩埋层的热导率 SiO_2 比 Si 低两个数量级,这就是自热效应^[16];并且 SOI FinFET 存在高晶圆成本、高缺陷密度等问题^[12]。

为了优化器件的性能,有以下的一些措施:埋氧化层作为热流路径的一层壁垒,使得器件中沟道中产生的热量难以往衬底耗散,大量的热量只能通过源漏极以及栅极散发出去,源极和漏极是关键散热路径,同时栅极/栅介质层接触面积引入的界面接触热阻对器件的热阻影响较大,栅极也是 SOI FinFET 器件中关键的散热路径,提高栅极以及源漏端接触材料的热导率有利于降低器件的温度,达到抑制自热效应的作用。例如将多晶硅栅换成金属栅,金属栅比多晶硅栅有更好的散热能力^[17]。

2.2 三栅 SOI FinFET

2.2.1 一般三栅 FinFET

三栅相对于两栅对沟道的控制作用更强,其结构示意图如图 6 所示。

工艺流程:(1)在硅衬底基础上淀积埋氧化层,接着淀积硅薄膜,同时对其进行离子注入掺杂(掺硼),这样就形成了可以制造 Fin 的 FinFET 器件的 SOI 结构,如图 7(a)所示;(2)在 SOI 结构的基础上淀积一层氧化物作为光刻掩蔽层,用 Fin 掩膜版刻蚀出鱼鳍区域,然后去除氧化物掩蔽层,此时带有鱼鳍体区的结构如图 7(b)所示;(3)淀积栅氧化层之后再淀积多晶硅栅,通过栅掩膜版(用来确定沟道长度)刻蚀掉多余的多晶硅栅区域,最终形成的 FinFET 结构如图 7(c)所示;(4)对源漏区域进行掺杂,砷离子注入(N 型),对沟道进行硼掺杂(P 型),最终形成一个源漏为高掺杂,沟道为轻掺杂的 N 型 FinFET

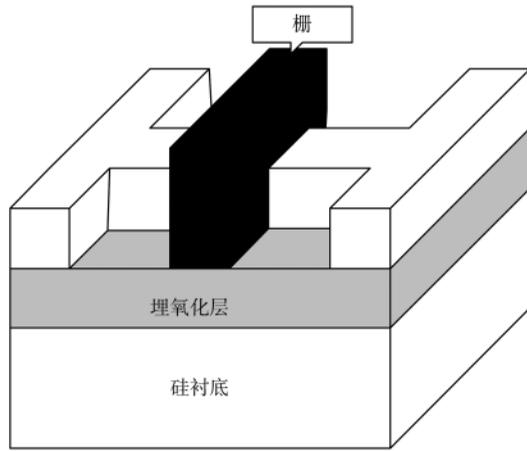
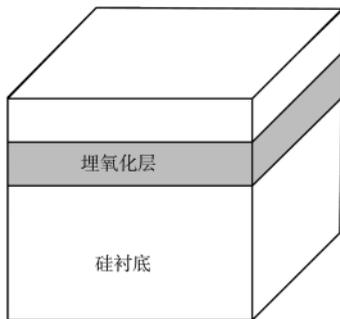
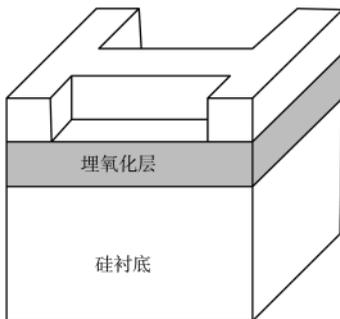


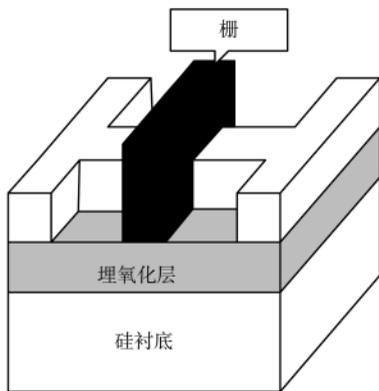
图6 三栅 FinFET 结构示意图



(a)



(b)



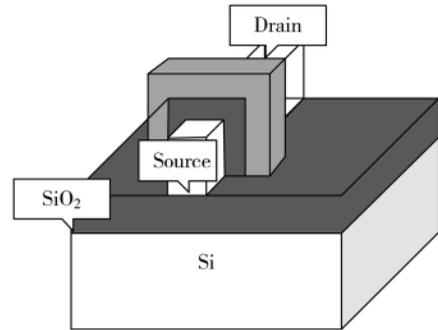
(c)

图7 FinFET 简要工艺流程

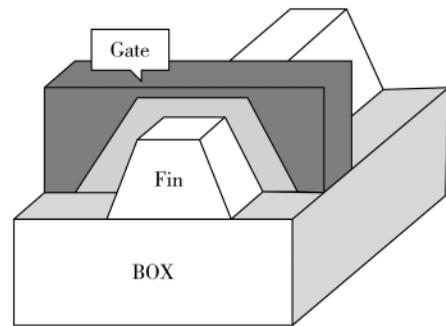
器件结构^[7, 18]。

2.2.2 矩形三栅和梯形三栅 SOI FinFET

矩形三栅和梯形三栅结构示意图如图8所示。



(a)理想矩形 FinFET 的 3D 草图



(b)梯形 FinFET 的横截面

图8 矩形三栅和梯形三栅结构示意图

从亚阈值摆幅、阈值电压、漏极电流和栅极电容这些性能指标方面,可以对梯形 FinFET 和矩形 FinFET 的性能进行完整的比较。结果表明,与梯形 FinFET 相比,矩形 FinFET 具有更好的性能^[19]。

2.3 环栅 SOI FinFET

工艺流程:前面工艺同体硅环栅 FinFET 工艺相同形成凹槽后,对 Fin 两侧做氮化物形成隔离,再对衬底进行高剂量注入,在沟道下面生长一层氧化物埋氧化层^[20],环栅 FinFET 结构示意图如图9所示。

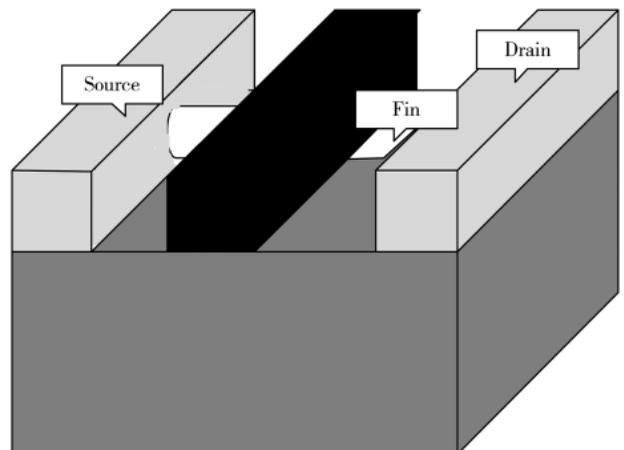
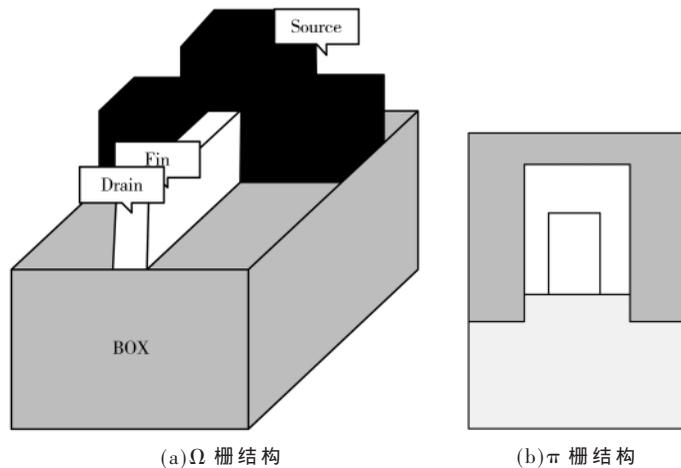


图9 SOI FinFET 环栅结构示意图

2.4 π 栅和 Ω 栅

Ω 栅的结构及 π 栅的横截面图如图 10 所示^[21]。



(a) Ω 栅结构 (b) π 栅结构

图 10 Ω 栅结构及 π 栅结构示意图

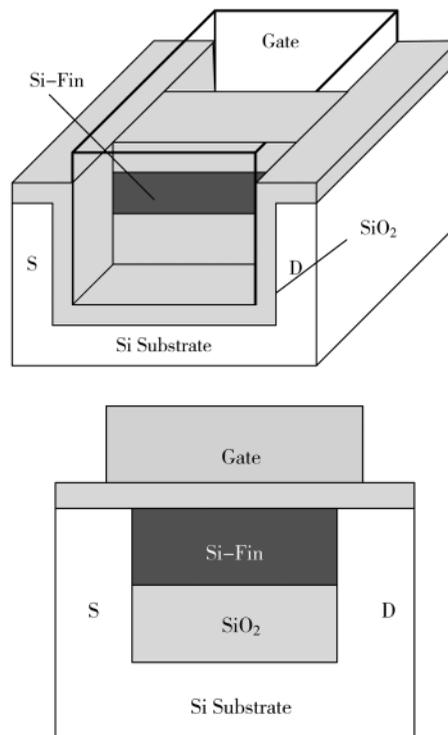


图 11 BOI FinFET 结构示意图与横截面图

3 基于 SOI FinFET 和体硅 FinFET 上改进的 FinFET

3.1 BOI FinFET 结构

北京大学微纳电子学研究院黄如院士提出并研制出了体硅和 SOI 结合 (Body oxide Insulator, BOI) FinFET 新结构器件, BOI 是尽量综合了 SOI FinFET 和 Bulk FinFET 两者的优势避免缺点而产生的^[22]。BOI FinFET 类似于 Bulk FinFET 的结构, 只是在沟道处填埋了一层二氧化硅绝缘层, 自然切断了从源到漏的泄漏通道, 由于这个绝缘层比 SOI 要小得多, 因此散热效果要比 SOI FinFET 好, 有了绝缘层, 它能够很好地控制漏电流。其结构示意图如图 11 所示^[23]。

3.2 FOI FinFET

2016 年, 微电子所殷华湘研究员的团队提出了 FOI FinFET 创新技术, 栅控作用很强但是性能不足, 所以研究所利用低温低阻 NiPt 硅化物在新型 FOI FinFET 上实现了全金属化源漏 (MSD) 形成的 FinFET 器件。其结构示意图如图 12 所示^[24]。

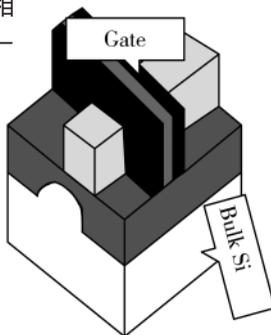


图 12 FOI FinFET 结构示意图

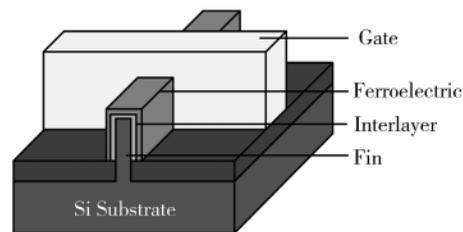


图 13 NC-FinFET

3.3 NC-FinFET

2019 年, 先导中心殷华湘研究员的团队研制成功性能优异的负电容 (Negative Capacitance, NC) NC-FinFET 器件, 实现了 SS 和阈值电压回滞分别为 34.5 mV/dec 和 9 mV 的 500 nm 栅长 NC-FinFET 器件以及 SS 和阈值电压回滞分别为 5 mV/dec 和 40 mV 的 20 nm 栅长 NC-FinFET^[25]。基于金属铁电绝缘体半导体 (MFIS) 的负电容 FinFET (NC-FinFET), 为了满足 VLSI 的高速和低功耗要求, NCFET 是最有前途的器件候选之一。在室温下, 它可以实现小于 60 mV/十倍的亚阈值摆幅 (SS)。其结构示意图如图 13 所示^[26]。

与现有技术的 FinFET 电路相比, NC-FinFET 电路可以在低电源电压或低能量下实现能量效率操作。可以通

过增加铁电体的厚度或选择具有较低剩余极化强度或较高矫顽电压的铁电材料来改善能量延迟权衡。

3.4 AlGaIn/GaN FinFET

GaN 材料能带来重大收益, 特别是在那些速度快、频率高、效率高、耐热性强、高功耗的应用领域^[27]。AlGaIn/GaN FinFET 结构示意图如图 14 所示。

3.5 JL FinFET

无结晶体管在源极、漏极和沟道区域使用统一且相同类型的掺杂, 这里介绍两种无结 (Junction Less, JL) FinFET 结构, 分别是横向渐变沟道 (Lateral Gradient Channel, LG) 和差分渐变沟道 (Differential Gradient Channel, DG) JL FinFET。JL FinFET 二维截面图如图 15 所示。

与 DG-JL FinFET 相比, LG-JL FinFET 具有更高的沟道迁移率, 因此具有更好的导通电流性能。另一方面, 梯度结构的较低掺杂分布会增加沟道的电阻率, 从而导

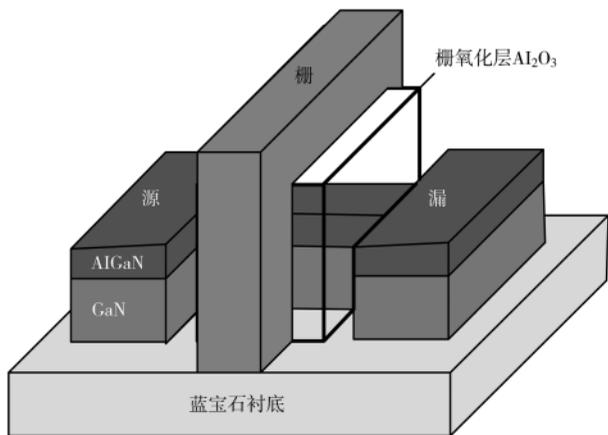


图 14 AlGaIn/GaN FinFET 结构

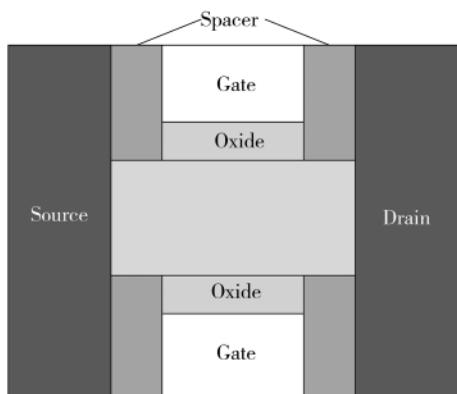


图 15 JL FinFET 二维截面图

致较小的亚阈值电流。DG-JL FinFET 与 LG-JL FinFET 相比,它具有更好的截止电流性能。总体来讲 DG-JL FinFET 与 LG-JL FinFET 都展示了更好的亚阈值特性在关断和开启电流以及 DIBL 效应方面,但就亚阈值逻辑应用方面来讲,DG-JL 的结构是更好的选择。但是,LD-JL FinFET 的驱动电流较高^[28]。

3.6 iFinFET

插入氧化物 FinFET(inserted-oxide FinFET, iFinFET) 是最近被提出的另一种形式的多栅极晶体管,制造工艺与一般 FinFET 制造工艺相似,与 GAA FinFET 不同之处在于 iFinFET 是在 Fin 的中间插入一层氧化物,结构示意图如图 16 所示,其性能较 GAA FinFET 更好^[29-30]。

3.7 SF-FinFET 与 SD-FinFET

三栅极阶梯式(Step Fin, SF)FinFET 和阶梯式漏极(Step Drain, SD)FinFET 场效应晶体管,该结构是绝缘体技术和 3-D FET 技术中硅和应变硅的组合。在沟道区中使用了应变硅。应变硅增加了载流子的迁移率,从而改变了载流子的传输性能^[31]。因此增加了驱动电流,硅用于源极和漏极区域。其结构示意图如图 17 所示。

4 结论

本文介绍了 FinFET 基础结构,第一二部分主要介绍了环栅工艺和三栅工艺,将 SOI FinFET 和体硅 FinFET

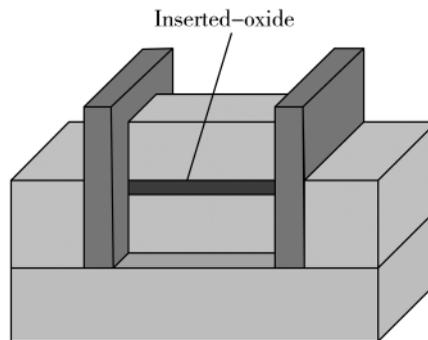


图 16 iFinFET 结构示意图

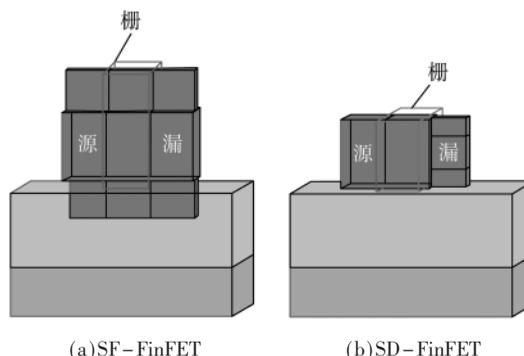


图 17 SF-FinFET 和 SD-FinFET 结构图

优缺点进行了对比分析。SOI FinFET 由于有一层埋氧化层,可以有效地抑制漏电流,但不利于器件散热。而体硅 FinFET 就具有很好的散热功效。在此基础上根据栅的数量可以分为两栅、三栅、多栅和环栅器件等。第三部分就是根据 FinFET 基础形式所发展起来的 FinFET 的其他结构形式。其中 FOI FinFET、BOI FinFET 以及 NC-FinFET 目前研究比较广泛。这些新结构形式的器件都具有良好的性能。

文中所介绍的结构形式都是独立的 FinFET 结构,可考虑将两个 FinFET 结构做在同一衬底上面,实现并列放置或正交叠放,做成一个反相器,通过仿真软件仿真结构研究其性能。其中许多工艺步骤需要考虑,所以要实现这一结构形式,还需要大量工作。

目前还有许多新的结构形式的器件正在被研究,对于未来实现沟道更窄、性能更好的晶体管具有重大意义,国内外对于此研究有重大突破,在后摩尔时代 FinFET 器件极具优势。总之,对 FinFET 新型结构的探索对于我国晶体管的发展意义重大。

参考文献

[1] NGUYEN T N, PLUMMER J D. Physical mechanisms responsible for short channel effects in MOS devices[C]. 1981 International Electron Devices Meeting, 1981.
 [2] 张燕. 三栅 FinFET 电学特性仿真分析与研究[D]. 西安: 西安电子科技大学, 2013.
 [3] HISAMOTO D, LEE W C, TAKEUCHI J, et al. FinFET—a self-aligned double-gate MOSFET scalable to 20 nm[J].

- IEEE Transactions on Electron Devices, 2000, 47(12): 2320-2325.
- [4] 桑胜男, 张立军, 郑坚斌, 等. 一种适用于 FinFET 单存储单元的高效的动态故障测试算法[J]. 微电子学与计算机, 2019, 36(4): 17-22.
- [5] 赵正平. FinFET 纳电子学与量子芯片的新进展[J]. 微纳电子技术, 2020, 57(1): 1-6.
- [6] 朱范婷. FinFETs 器件及其几何参数的优化[D]. 上海: 上海交通大学, 2014.
- [7] 周华杰, 徐秋霞. 体硅 FinFET 三维模拟[J]. 功能材料与器件学报, 2008, 14(6): 949-954.
- [8] 张宇峰. SOI 和体硅 FinFET 的比较[EB/OL]. (2010-04-06). <https://wenku.baidu.com/view/f87384bcee3a87c24028915f-804d2b160b4e86e9.html>.
- [9] 刘程晟. 具备独立三栅结构的新型 FinFET 器件及其 SRAM 应用研究[D]. 上海: 华东师范大学, 2018.
- [10] GAURAV A, GILL S S, KAUR N. Performance analysis of rectangular and trapezoidal TG bulk FinFETs for 20 nm gate length[C]. 2015 Annual IEEE India Conference (INDICON), 2015.
- [11] REWARI S, NATH V, HALDAR S, et al. Dual metal(DM) insulated shallow extension(ISE) gate all around(GAA) MOSFET to reduce gate induced drain leakages(GIDL) for improved analog performance[C]. 2017 Devices for Integrated Circuit(DevIC), 2017.
- [12] 刘佳, 骆志炯. 基于体硅衬底制作全耗尽 FinFET 器件的工艺方案[J]. 微电子学, 2013, 43(1): 120-124.
- [13] LAPEPUS M, 电姬. FinFET 之后的集成电路制造工艺研究[J]. 集成电路应用, 2017(9): 58-63.
- [14] 杜渐. 集成电路新器件结构技术发展趋势[EB/OL]. (2018-11-13). <http://www.istis.sh.cn/list/list.aspx?id=11665>.
- [15] CARTER R, MAZURIER J, PIRROL, et al. 22nm FDSOI technology for emerging mobile, Internet-of-Things, and RF applications[C]. 2016 IEEE International Electron Devices Meeting(IEDM), 2016.
- [16] TENBROEK B M, LEE M S L, REDMAN-WHITE W, et al. Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques[J]. IEEE Transactions on Electron Devices, 1996, 43(12): 2240-2248.
- [17] 孙俊雅. 14 纳米节点 FinFET 器件自热效应及其建模研究[D]. 上海: 华东师范大学, 2019.
- [18] 张健行. FinFET 器件特性与 NBTI 效应研究[D]. 西安: 西安电子科技大学, 2018.
- [19] AFRIN F, TITIRSHA T, ALAM M K. Statistical analysis of leakage current of trapezoidal FinFETs[C]. 2015 IEEE International WIE Conference on Electrical and Computer Engineering(WIECON-ECE), 2015.
- [20] 宋毅, 徐秋霞. 自顶向下制备硅纳米线环栅 MOSFET 新工艺[J]. 微电子学, 2010, 40(1): 74-79.
- [21] COLINGE J P, KNOBLINGER G, FULDE M. FinFETs and other multi-gate transistor[M]. Springer, 2008.
- [22] 朱范婷. FinFET 技术[EB/OL]. (2015-08-11). <https://wenku.baidu.com/view/efea9caf5727a5e9846a6132.html>.
- [23] Xu Xiaoyan, Wang Runsheng, Huang Ru, et al. High-performance BOI FinFETs based on bulk-silicon substrate[J]. IEEE Transactions on Electron Devices, 2008, 55(11): 3246-3250.
- [24] 中科院微电子研究所. 微电子所在新型 FinFET 器件工艺研究中取得重要突破[EB/OL]. (2016-12-27). http://www.bjb.cas.cn/kjdt2016/201612/t20161227_4728517.html.
- [25] 崔冬萌. 微电子所在新型负电容 FinFET 器件研究中取得重要进展[EB/OL]. (2019-05-13). http://www.ime.cas.cn/icac/newsroom/newsroom_1/201905/t20190513_5293763.html.
- [26] ZHENG Z, HU V P. Improved read stability and writability of negative capacitance FinFET SRAM cell for subthreshold operation[C]. 2019 IEEE International Symposium on Circuits and Systems(ISCAS), 2019.
- [27] 魏晓晓. GaN 基 FinFET 器件结构及特性研究[D]. 西安: 西安电子科技大学, 2017.
- [28] KAUNDAL S, KAUSHAL S, RANA A K. Performance estimation of junctionless FinFET with graded channel design[C]. 2017 4th International Conference on Signal Processing, Computing and Control(ISPCC), 2017.
- [29] JAIN I, GUPTA A, BANSAL A K, et al. Comparison of heat outflow in dense sub-14nm contemporary NFETs: Bulk/SOI, inserted-oxide FinFET and nanowire FET[C]. 2016 3rd International Conference on Emerging Electronics (ICEE), 2016.
- [30] SINGH R, GUPTA A, GUPTA C, et al. Analytical modeling of parasitic capacitance in inserted-oxide FinFETs[J]. IEEE Transactions on Electron Devices, 2017, 64(12): 5274-5278.
- [31] ZAMAN S S, KUMAR P, SARMA M P, et al. Design and Simulation of SF-FinFET and SD-FinFET and their performance in analog, RF and digital applications[C]. 2017 IEEE International Symposium on Nanoelectronic and Information Systems(iNIS), 2017.

(收稿日期: 2020-06-16)

作者简介:

熊倩(1997-), 女, 硕士研究生, 主要研究方向: 材料和器件的研究、半导体器件设计。

马奎(1985-), 男, 博士, 副教授, 主要研究方向: 半导体集成技术、三维集成技术、半导体功率器件与功率集成技术。

杨发顺(1976-), 通信作者, 男, 博士, 副教授, 主要研究方向: 半导体功率器件与功率集成技术、半导体集成电路设计, E-mail: fashun@126.com。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所