

## 基于 SystemVerilog 的超高频 RFID 标签数字基带设计与研究\*

汪永峰, 卜刚

(南京航空航天大学 电子信息工程学院, 江苏 南京 211106)

**摘要:** 在 ISO/IEC 18000-6C 标准协议的基础上, 对超高频射频识别(UHF RFID)标签数字基带的设计与实现展开研究。根据协议规定的标签数字基带的设计要求和指标, 采用 SystemVerilog 分别对标签发送和接收基带进行建模, 并给出基带中关键模块的理论推导和设计实现。SystemVerilog 作为 Verilog 基础上拓展产生的硬件描述语言和验证语言, 可以大幅度提高 SoC 设计的效率。最后使用 Modelsim SE-64 10.4 对标签数字基带设计进行仿真, 结果表明该数字基带符合 ISO/IEC 18000-6C 协议要求, 该设计为单芯片 UHF RFID 标签提供了设计参考。

**关键词:** ISO/IEC 18000-6C; SystemVerilog; 通信链路; RFID; 仿真验证

**中图分类号:** TN402

**文献标识码:** A

**DOI:** 10.16157/j.issn.0258-7998.200868

**中文引用格式:** 汪永峰, 卜刚. 基于 SystemVerilog 的超高频 RFID 标签数字基带设计与研究[J]. 电子技术应用, 2021, 47(1): 36-40.

**英文引用格式:** Wang Yongfeng, Bu Gang. Design and research on digital baseband of RFID tag based on SystemVerilog[J]. Application of Electronic Technique, 2021, 47(1): 36-40.

## Design and research on digital baseband of RFID tag based on SystemVerilog

Wang Yongfeng, Bu Gang

(School of Electronic Information Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

**Abstract:** Based on the ISO/IEC 18000-6C standard protocol, this paper conducted research on the design and implementation of UHF RFID tag's physical layer baseband circuit. According to the design requirements and indicators of the baseband specified in the standard protocol, SystemVerilog was used to model the tag sending and receiving basebands, and the theoretical derivation and design implementation of the key modules in the baseband were given. SystemVerilog, as a hardware description and verification language developed on the basis of Verilog, can greatly improve the efficiency of SoC design. Finally, Modelsim SE-64 10.4 was used to simulate the digital baseband circuit design of the tag. The results showed that the digital baseband met the requirements of ISO/IEC 18000-6C protocol. This design provides a design reference for single-chip UHF RFID tag.

**Key words:** ISO/IEC 18000-6C; SystemVerilog; communication link; RFID; simulation verification

## 0 引言

随着人工智能和物联网概念的不断普及, 作为核心技术之一的射频识别技术已经在交通、电网、物流、存储等众多领域得到了广泛应用, 其中 UHF RFID 技术由于识别距离远、识别速度快、使用寿命长等优点成为了国际上研究的热点。随着对 UHF RFID 研究的不断深入, 在设计时对传输速率以及通信数据量等许多方面提出了更高的要求<sup>[1]</sup>。

本文在深入研究 ISO/IEC 18000-6C 标准协议的基础上, 采用 SystemVerilog 语言对 UHF RFID 标签数字基带通信系统中的关键模块进行了硬件建模。由于 SystemVerilog 拥有类似于 C 语言的数据类型、断言、接口等特性, 在建模方面有着独特的优势, 可以更加快速准确

地对功能进行描述, 因此该设计采用 SystemVerilog 语言进行建模<sup>[2]</sup>。本文对 UHF RFID 通信系统中的标签数字基带发送与接收部分进行了 SystemVerilog 硬件建模与仿真, 标签数字基带发送模块主要实现了 CRC 校验码生成、FM0/Miller 编码以及同步码添加等功能, 而标签数字基带接收模块则实现了同步码检测、PIE 解码和 CRC 校验码检测等功能, 并最终在 Modelsim SE-64 10.4 中进行了仿真, 验证了该设计功能的正确性。

## 1 SystemVerilog 简介

SystemVerilog 是由 Accellera 标准组织在 Verilog 的基础上提出的, 是一种硬件描述语言和验证语言(HDVL)<sup>[3]</sup>。SystemVerilog 是 Verilog 设计语言的高层次拓展, 这些拓展为 Verilog 提供了强有力的增强, 在一个更高的抽象层上提高了设计的建模能力<sup>[4]</sup>。具体来说, SystemVerilog 有以下几点优势。第一, SystemVerilog 增加了新的数据类

\* 基金项目: 江苏省自然科学基金(BK2012792)

型,如:结构体、枚举类型、打包和非打包数组等,在编写有限状态机等方面可以更加简洁准确。第二,相同的声明集合可以被静态验证和仿真工具同时使用。第三, SystemVerilog 增加了接口概念,模块之间的通信可以通过接口来实现,大大简化了模块的代码量,同时也可以更高的抽象层次上建立连接。第四, SystemVerilog 增加了断言的概念,这使得对功能的描述可以更加精准,也为设计中错误的定位提供了方便,对代码的可读性、可维护性和设计效率有显著的提高<sup>[5]</sup>。

## 2 标签数字基带主要模块设计

标签数字基带的整体设计原理基于 ISO/IEC 18000-6C 协议进行,该协议对通信过程中的各个方面都做了严格的规定来确保通信的准确性与可靠性,例如:通信时序、帧格式以及编解码的方式等。因此需要各个模块的紧密配合来满足协议对数据编码以及时序的要求。该设计采用摩尔型状态机进行编码和时序控制,最终产生满足协议要求的数据格式<sup>[6]</sup>。标签数字基带顶层总线模型设计如图 1 所示,各子模块之间采用 SystemVerilog 接口进行数据通信。

## 2.1 标签发送模块设计

标签发送模块主要包括 BLF 模块、CNT 模块、P2S 模块、CRC\_GEN 模块、FIFO 模块、ENCODE 模块、PREAM-BLE 模块 7 个部分,各模块功能为:

- (1)BLF 模块:产生标签反向散射频率;
- (2)CNT 模块:计算输入数据长度;
- (3)P2S 模块:将并行输入数据转换成串行数据;
- (4)CRC GEN 模块:产生循环冗余校验码添加在数

据尾部,用于数据校验;

- (5)FIFO 模块:数据缓存;
- (6)ENCODE 模块:对从 FIFO 中读取到的数据进行FM0/MILLER 编码;
- (7)PREAMBLE 模块:在编码后的数据前端添加同步码。

### 2.1.1 标签反向散射频率

ISO/IEC 18000-6C 协议规定,在接收到阅读器发送的信息后,标签需要反向散射信息回复阅读器,其反向散射频率(BLF)由 DR 和 TRcal 两个参数来设定,计算关系如式(1)所示:

$$\text{BLF} = \text{DR} / \text{TR}_{\text{cal}} \quad (1)$$

其中 DR 表示除法比例, 为 Query 命令中设定的参数, 可以取 8 或者  $64/3^{[17]}$ 。

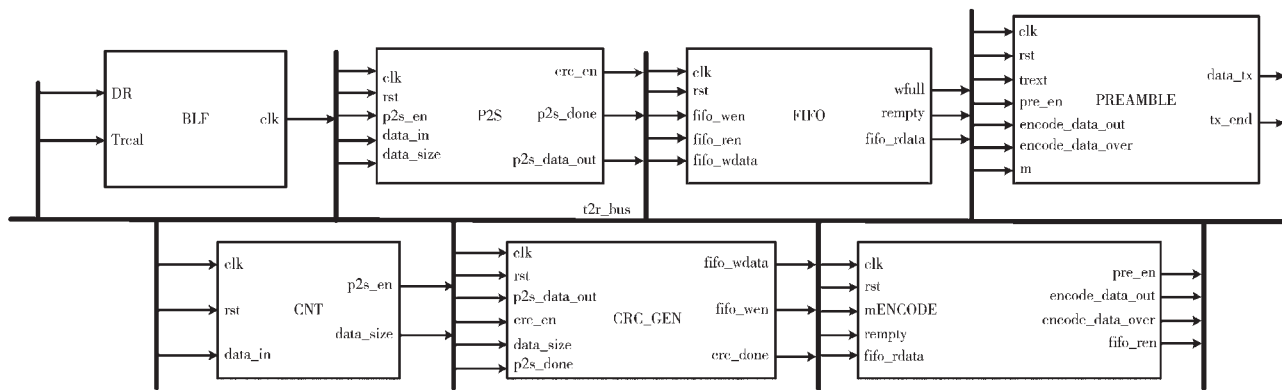
### 2.1.2 CRC 校验

ISO/IEC 18000-6C 协议中规定了标签发送链路中采用数据检验方式为 CRC16 校验,并规定了 CRC16 校验的多项式为: $X^{16}+X^{12}+X^5+1$ 。

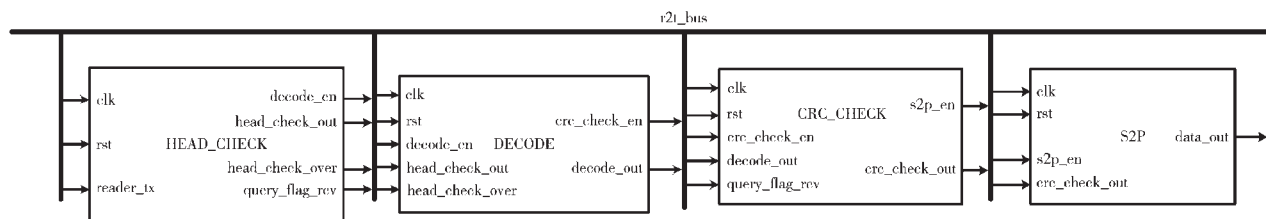
综合考虑电路资源的节省以及标签发送电路输出的数据类型,该 CRC16 计算电路采用加法器与异或来实现,图 2 为 CRC16 校验码的计算原理图。

### 2.1.3 FIFO 设计

由于数据编码会对数据长度产生变化,因此在数据编码之前,需要一个 FIFO 对需要编码的数据进行缓存。该设计中 FIFO 深度为 128 位,在 FIFO 的设计中加入了 SystemVerilog 所特有的断言方法,对 FIFO 的只读、只写以及同时读写的行为进行了描述,若在仿真过程中 FIFO 的行为不符合描述,那么断言也会失败,从而确保了 FIFO



(a) 标签发送模块总线模型



### (b) 标签接收模块总线模型

图 1 标签数字基带顶层总线模型

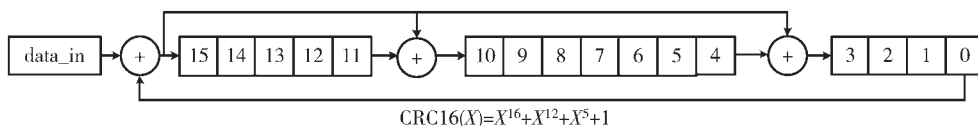


图2 CRC16 校验码的计算原理图

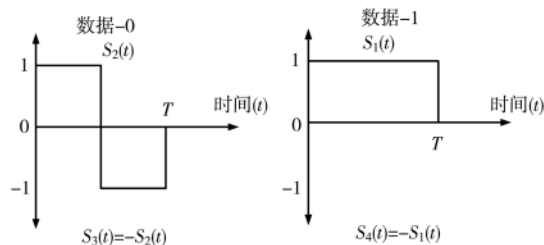
设计的正确性,也为FIFO设计出现错误时的错误定位提供了方便。下面的代码是FIFO模块的SystemVerilog断言。

```
property p_write_not_read;
    @(posedge t2r_bus.clk)
    (t2r_bus.fifo_wen&&! t2r_bus.fifo_ren&&! t2r_bus.wfull)|=>
(status== $past(status)+1);
endproperty
property p_read_not_write;
    @(posedge t2r_bus.clk)
    (! t2r_bus.fifo_wen&&t2r_bus.fifo_ren&&!
t2r_bus.rempy)|=>(status== $past(status)
-1);
endproperty
property p_write_and_read;
    @(posedge t2r_bus.clk)
    (t2r_bus.fifo_wen&&t2r_bus.fifo_ren)
|=>(status== $past(status));
Endproperty
```

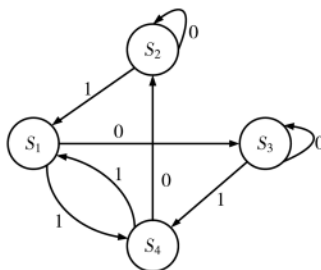
```
.....
a_write_not_read:assert property(p_write_not_read);
a_read_not_write:assert property(p_read_not_write);
a_write_and_read:assert property(p_write_and_read);
.....
```

#### 2.1.4 发送数据编码模块设计

标签发送模块的编码方式为FM0编码或Miller编码方式,具体的编码方式和码元速率是由阅读器发送的Query命令决定的。FM0编码的基本编码符号和生成FM0编码状态图如图3所示,FM0在每个编码符号的边界会翻转相位,此外,数据0通过其在编码符号中间进行额外的翻转来表示这个数据,而数据1除数据起始外无其他相位变化<sup>[8]</sup>。在FM0编码结束后需要在码元数据的尾端添加结束位,结束位以一个1的“冗余”数据(dummy1)来表示。



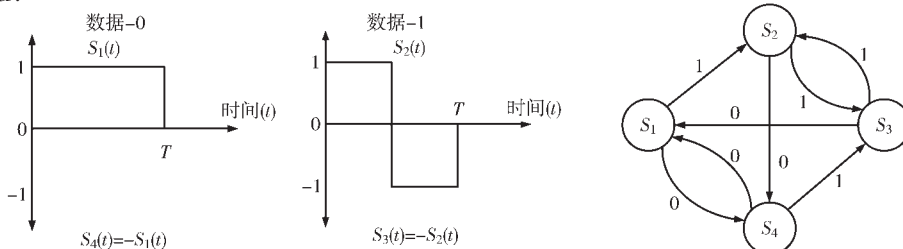
(a) FM0 基本编码符号



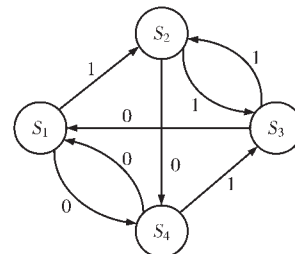
(b) FM0 编码状态图

图3 FM0 基本编码符号和编码状态图

Miller编码又称为副载波调制编码,其编码也是通过相位的翻转来实现的,基本编码符号和编码状态图如图4所示。根据Miller编码规则及ISO/IEC 18000-6C协议规定,Miller编码的方式与Query命令中m的取值有关。如果m值为2'b01,2'b10,2'b11,则对应的编码方式分别为Miller2,Miller4,Miller8,每个数据都将分别编成4位、8位、16位码元<sup>[9]</sup>,Miller副载波序列如图5所示。与FM0编码类似,在Miller编码尾部同样需要添加一个dummy1作为结束位。



(a) Miller 基本编码符号



(b) Miller 编码状态图

图4 Miller 基本编码符号和编码状态图

#### 2.1.5 同步码添加模块设计

为了使阅读器能够正确探测接收到数据的起始位置从而正确接收到数据,标签在发送数据时需要在数据前端添加同步码。如图6所示,同步码会根据m[1:0]和TRext两个参数的值的不同而不同。

#### 2.2 标签接收模块设计

标签接收模块顶层主要包括HEAD\_CHECK模块、DECODE模块、CRC\_CHECK模块、S2P模块四个部分,各模块功能为:

- (1)HEAD\_CHECK模块:同步码检测;
- (2)DECODE模块:PIE解码;
- (3)CRC\_CHECK模块:CRC校验;
- (4)S2P模块:串行数据转换成并行数据。

##### 2.2.1 同步码检测模块

接收到阅读器发送的数据后,首先要对数据进行同步码检测,阅读器发送链路添加的同步码分为前同步码和帧同步码两种类型,如果检测到的同步码包括界定符、数据0、RTcal校准符号三个部分,则该同步码为帧同步码且说明不是Query命令,数据紧跟在RTcal标准符号后。如果检测到的同步码包括界定符、数据0、

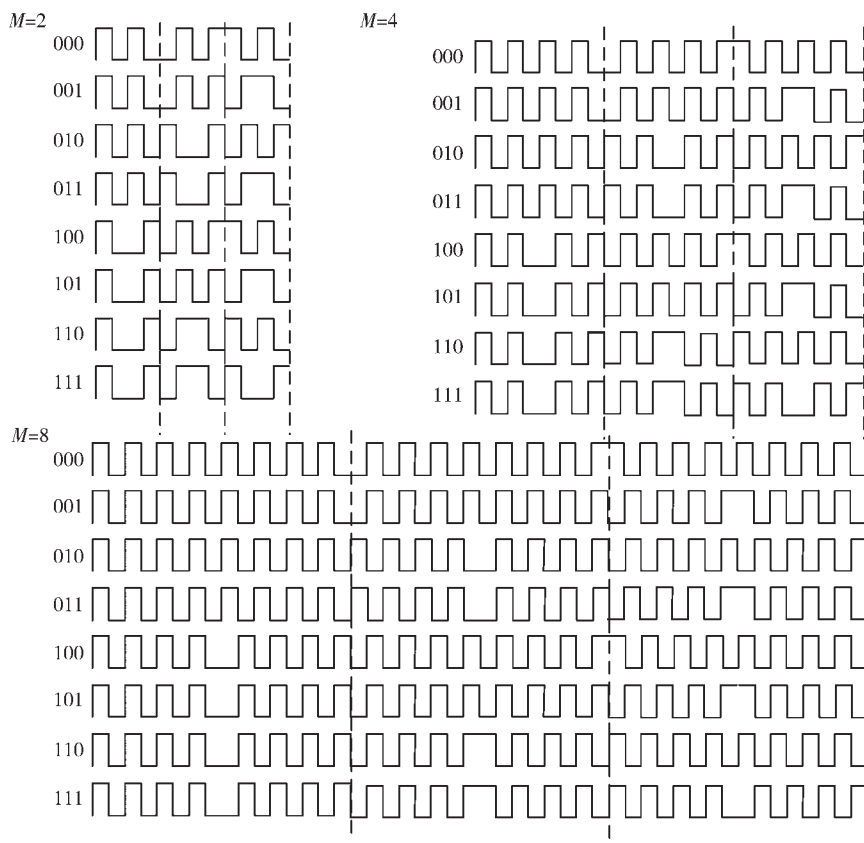


图5 Miller副载波序列

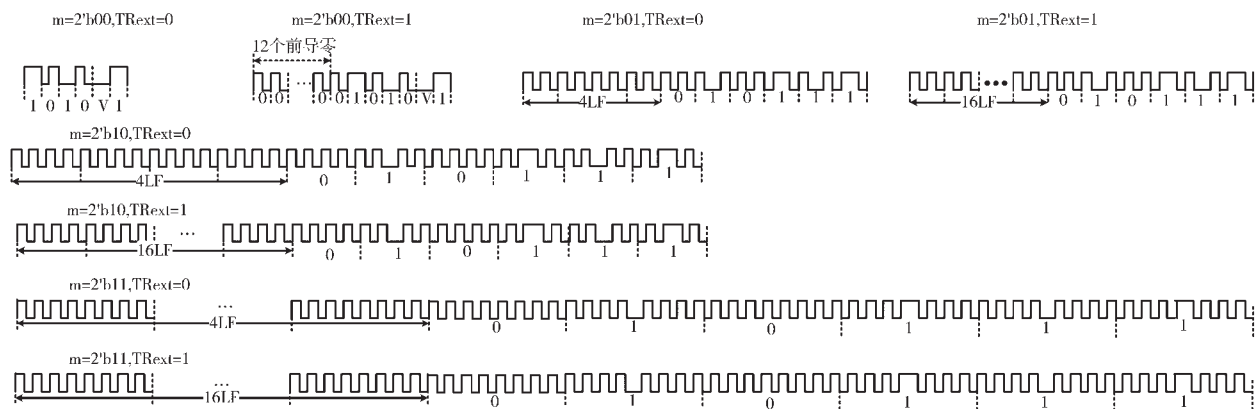


图6 同步码

RTcal 校准符号、TRcal 校准符号四个部分,则该同步码为前同步码且该命令为 Query 命令,数据紧跟在 TRcal 标准符号后。

### 2.2.2 接收数据解码模块设计

ISO/IEC 18000-6C 协议规定的阅读器到标签的通信使用 PIE (Pulse Interval Encoding) 编码,因此标签接收侧应当对接收到的数据进行 PIE 解码。PIE 编码规则如图 7 所示,在一次盘存周期中, PW 和  $t_{ari}$  为固定值, PW 为射频脉冲宽度,  $t_{ari}$  为一个数据“0”的参考时间间隔,数据“1”高电平持续时间在  $t_{ari}$  到  $1.5t_{ari}$  之间取值,该设计取数据“1”的编码高电平持续时间为  $1.5t_{ari}$ 。通过对 PIE 编码方式的研究,数据“0”和数据“1”的编码结

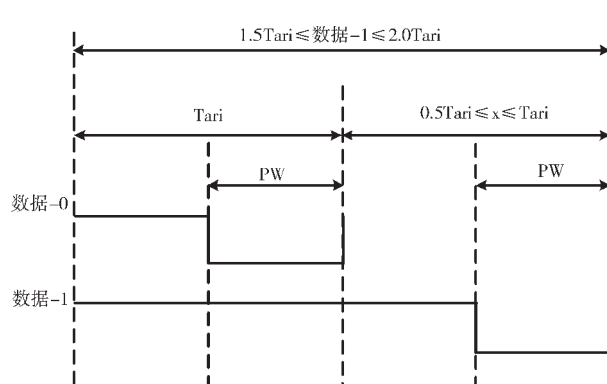


图7 PIE 编码规则

果均由高电平开始低电平结束,由此可得到 PIE 解码模



块的实现算法为,设置变量 high 和变量 low,分别对高低电平进行计数,检测到低电平到高电平的跳变则表示上一个数据已结束,根据变量 high 和变量 low 的值的关系,可以确定接收到的数据是 0 还是 1,接着对变量清零重新计数,从而实现 PIE 的解码操作。

### 2.2.3 CRC 校验模块设计

协议规定,阅读器发送 Query 命令时,在数据尾部添加 CRC5 校验码,而发送其他命令时则为 CRC16 校验码,因此标签需要根据接收到的数据的不同进行 CRC5 和 CRC16 校验码的检测,确保接收数据的正确性。CRC 校验开始时对 CRC16 计算结果寄存器预置为 16'hFFFF, CRC5 计算结果寄存器预置为 5'b01001,若标签得到的最终校验结果为全 0,则校验通过。

## 3 仿真

以上各模块均使用 SystemVerilog 语言实现,在 Modelsim SE-64 10.4 里编译并进行仿真验证。图 8 所示为标签发送基带仿真波形图,选取编码方式为 Miller2 编码且标签反向散射 16 位随机数(RN16),从图上可以看出 RN16 为 16'h8d73,首先经过了并行数据转换成串行数据的处理,其次为其计算 CRC16 校验码并添加在串行 RN16 尾部,从图中可以看出该文中 CRC16 校验码为 16'b00111-11000111111,接着数据经过 Miller2 编码处理,最后在数据前端添加同步码并发送。

图 9 为标签接收基带仿真波形图,文中阅读器发送的是 Query 命令,标签基带接收到命令后首先经过了同步码检测并去除同步码,PIE 解码以及 CRC5 校验,最后将串行数据转换成并行数据,可以看出接收到的数据为 17'h11a5e,数据以 1000 开始,为 Query 命令,数据接收正确。

## 4 结论

本文主要介绍了在 ISO/IEC 18000-6C 协议下,利用 SystemVerilog 语言实现 UHF RFID 通信算法中标签数字

基带的实现方法。经过软件仿真,实现了标签数字基带的发送以及接收操作,完成了该设计的仿真验证,仿真结果满足协议要求。由于 SystemVerilog 语言中增加的数据类型、过程块、接口、断言等一些定义,使得利用 SystemVerilog 语言进行建模时更加简洁、出错率更低、代码更易维护,同时 SystemVerilog 进行建模和验证将成为今后发展的趋势。

### 参考文献

- [1] 许守成.UHF RFID 读写器的设计与实现[D].南京:东南大学,2019.
- [2] 梁崇.基于 SystemVerilog 的 CBCT 图像重建中关键模块的建模[D].哈尔滨:哈尔滨工业大学,2013.
- [3] 杨厚一,徐东明.System Verilog 与 Verilog 描述状态机(FSM)之比较[J].西安邮电学院学报,2008(3):106-110.
- [4] 黎宝峰,陈杰,颜永红.适于 SoC 的统一设计语言 System-Verilog[J].半导体技术,2003(12):25-29.
- [5] 夏宇闻.System Verilog 简介[J].中国集成电路,2006(2):40-50.
- [6] 张博阳.超高频 RFID 读写器基带电路技术研究与设计[D].成都:电子科技大学,2020.
- [7] 杨海峰.UHF 频段 RFID 阅读器数字基带关键模块设计[D].长沙:湖南大学,2013.
- [8] 马汉伟.基于 ISO/IEC 18000-6C 协议的 RFID 阅读器数字基带设计与研究[D].西安:西安电子科技大学,2014.
- [9] 叶友鹏.UHF RFID 数字基带系统的软硬件协同设计[D].南京:南京航空航天大学,2019.

(收稿日期:2020-08-29)

### 作者简介:

汪永峰(1996-),男,硕士研究生,主要研究方向:数字集成电路设计与验证。

卜刚(1969-),男,硕士生导师,教授,主要研究方向:射频集成电路设计。

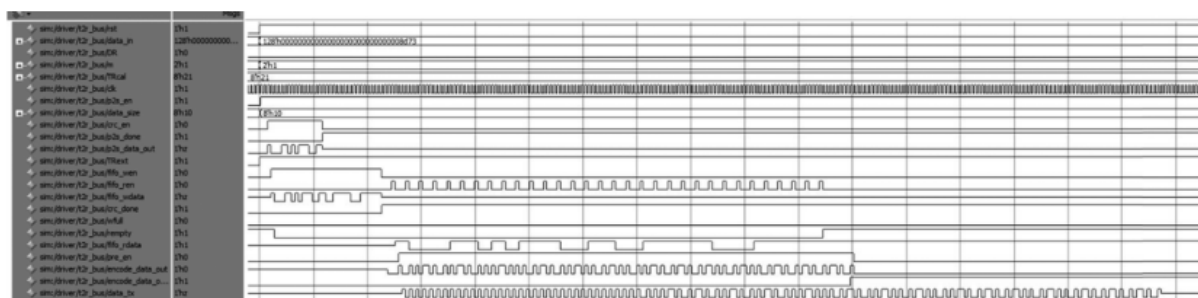


图 8 标签发送基带仿真波形图

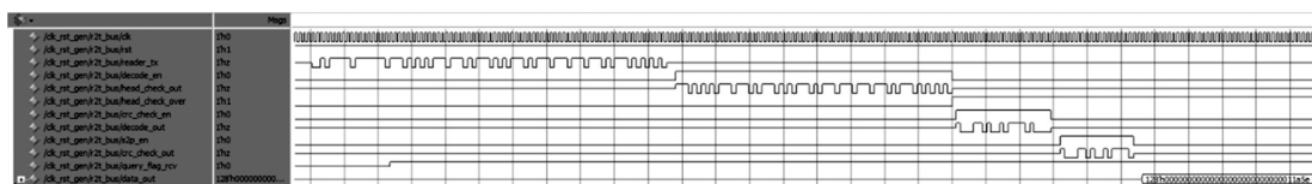


图 9 标签接收基带仿真波形图

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所