

TSV 可靠性综述

王 硕¹, 马 奎^{1,2}, 杨发顺^{1,2}

(1. 贵州大学 大数据与信息工程学院, 贵州 贵阳 550025;

2. 半导体功率器件可靠性教育部工程研究中心, 贵州 贵阳 550025)

摘 要: 对硅通孔(Through Silicon Via, TSV)技术的可靠性进行了综述, 主要分为三个方面: 热应力, 工艺和压阻效应。TSV 热应力可靠性问题体现在不同材料之间的热膨胀系数差异较大, 过大的热应力可能导致界面分层和裂纹; TSV 工艺可靠性体现在侧壁的连续性以及填充铜的质量; 有源区中载流子的迁移率会受到 TSV 热应力的影响。在 TSV 周围规定一个保持区域(Keep-Out Zone, KOZ)。KOZ 设置为载流子迁移率不超过 5% 的区域。当载流子迁移率超过 5%, 可能会导致电路的时序被破坏, 使集成电路失效。

关键词: TSV; KOZ; 热应力; 热膨胀系数

中图分类号: TN3

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200767

中文引用格式: 王硕, 马奎, 杨发顺. TSV 可靠性综述[J]. 电子技术应用, 2021, 47(2): 1-6.

英文引用格式: Wang Shuo, Ma Kui, Yang Fashun. A review on TSV reliability[J]. Application of Electronic Technique, 2021, 47(2): 1-6.

A review on TSV reliability

Wang Shuo¹, Ma Kui^{1,2}, Yang Fashun^{1,2}

(1. College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2. Semiconductor Power Device Reliability Engineering Research Center of Ministry of Education, Guiyang 550025, China)

Abstract: This paper reviews the reliability of TSV(through silicon via) in three aspects: thermal stress, process and piezoresistive effect. The thermal stress reliability of TSV is reflected in the great difference of thermal expansion coefficient between different materials, too large thermal stress may lead to interface delamination and cracks; the reliability of TSV process is reflected in the continuity of side wall and the quality of filled copper; the carrier mobility in the active region will be affected by the thermal stress of TSV. A KOZ(keep out zone) area around TSV is defined. The KOZ is set to the region where the carrier mobility does not exceed 5%. When the carrier mobility exceeds 5%, the timing of the circuit may be destroyed and the integrated circuit will fail.

Key words: TSV; KOZ; the thermal stress; coefficient of thermal expansion

0 引言

三维集成封装技术被公认为是超越摩尔定律的第四代封装技术。硅通孔(Through Silicon Via, TSV)技术是三维封装技术的关键^[1]。摩尔定律指出, 硅片上的晶体管数量大约每两年翻一番^[2]。然而, 由于晶体管的缩放比例和漏电的限制^[3], 摩尔定律不能永远持续下去。随着晶体管尺寸越来越小, 晶体管数量越来越多, 晶体管之间的间距也越来越小。最终会引起量子隧穿效应, 电子会在两根金属线之间隧穿, 导致短路^[4-5]。因此, 存在一个极限, 超过这个极限, 摩尔定律将失效。一种实现突破传统摩尔定律的封装摩尔定律被提出, 封装摩尔定律是基于三维集成封装技术提出的^[6]。

TSV 技术是指在硅片上进行微通孔加工, 在硅片内部填充导电材料, 通过 TSV 技术实现芯片与芯片之间的垂直互连, 是三维封装技术的关键技术^[7-8]。与传统的金

丝键合相比, TSV 的优点是节省了外部导体所占的三维空间。TSV 技术可以使微电子芯片封装实现最紧密的连接和最小的三维结构。此外, 由于芯片之间的互连线长度的缩短, 大大降低了互连延迟, 从而提高了运行速度。并且由于互连电阻的降低, 电路的功耗也大大降低^[9]。TSV 不仅广泛地应用于信息技术, 而且在飞机、汽车和生物医学等新领域都得到了广泛的应用, 因为三维大规模集成电路具有很多优势, 如高性能、低功耗、多功能、小体积^[10]。TSV 是一种颠覆性技术, 被认为是实现“超越摩尔定律”的有效途径, 在未来主流器件的设计和生產中会得到广泛应用。

1 TSV 可靠性概述

随着三维集成封装技术的发展, TSV 技术已成为三维堆叠封装中最关键的技术之一。作为芯片与芯片之间重要的物理连接和电气连接, TSV 的可靠性无疑是决定

三维集成器件可靠性的关键。三维集成器件会受到 TSV 热应力、电致应力等应力的影响,这将极大地影响三维器件的可靠性。在 TSV 结构中,硅的热膨胀系数约为 $2.5 \times 10^{-6}/^{\circ}\text{C}$,铜的热膨胀系数约为 $17.5 \times 10^{-6}/^{\circ}\text{C}$ 。由于硅与铜的热膨胀系数差异较大,工艺温度变化时会产生较大的热应力^[11-12]。这些应力可以直接导致各种热机械应力可靠性问题,如 TSV 内部产生裂纹或界面分层^[13-15]。

在半导体中,当有源区受到应力的影响时,有源区内部载流子的迁移率会发生变化。TSV 结构的热应力影响了器件性能,降低了载流子的迁移率,导致严重的可靠性问题。100 MPa 的应力会使 MOSFET 中载流子的迁移率改变 7%,而较大的 TSV 会产生 1 GPa 的热应力^[16]。在 TSV 周围规定一个 KOZ 区域。KOZ 设置为载流子迁移率不超过 5% 的区域^[17]。

Bosch 刻蚀工艺是用 SF_6 作为蚀刻剂进行硅刻蚀。再充填 C_4F_8 气体,使刻蚀出来的通孔侧壁和底部形成钝化膜,目的是实现各向异性的刻蚀,从而保护侧壁。然后用 SF_6 定向地刻蚀钝化层和硅层。然而,Bosch 这种循环刻蚀工艺造成侧壁缺口粗糙,会出现一种周期性不均匀现象,侧壁粗糙的缺口称为扇贝纹。粗糙的侧壁相对于光滑的侧壁,物理气相沉积(Physical Vapor Deposition, PVD)得到的连续的势垒金属层相对容易在 TSV 光滑的侧壁上获得。侧壁粗糙度会对信号产生高频影响。因此,为了减小导体损耗,使 TSV 表面极其光滑是非常重要的^[18]。

TSV 可靠性涉及了热应力、工艺和压阻效应等。有效地降低热应力水平,改进现有的工艺以及合理的利用压阻效应设计 TSV 都有利于提高 TSV 可靠性。

2 热应力可靠性

2.1 有源区到 TSV 的斜向热阻

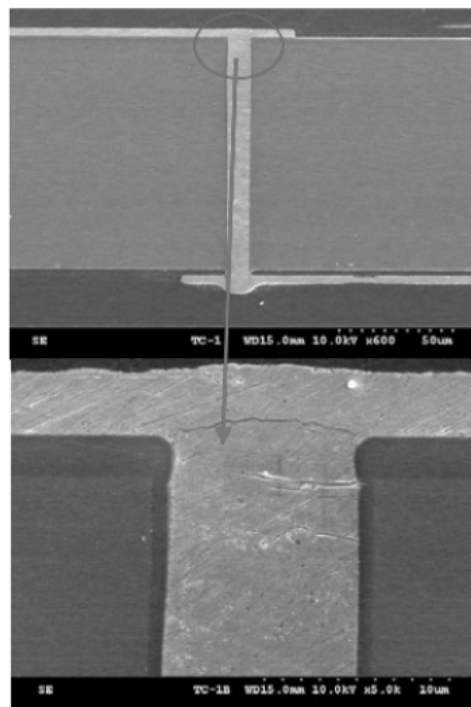
TSV 技术作为一种新型的互连技术,面临着许多工艺难题和挑战。可靠性还没有得到充分的研究和保证。识别缺陷和分析失效机制对优化和改进 TSV 三维集成器件的设计、生产和使用具有重要意义^[19-21]。失效分析和试验结果可以为开发过程中工艺步骤的优化提供改进依据,为工业制造过程中保证器件的质量和制造良率提供依据。根据 GJB 标准(GJB548B-method 1010.1),热循环实验在 $-55^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 之间进行 1 000 次,周期为 30 min。从热到冷或从冷到热的总转移时间不超过 1 min。停留时间为 15 min。如图 1 所示,通过 1 000 热循环,确定了顶部 RDL 界面产生裂纹和 TSV-Cu 变形是两种主要的失效机制。

(1)这些裂纹开始于 TSV 的边缘,即产生最大应力的地方,然后向 TSV 的中心向内扩展。

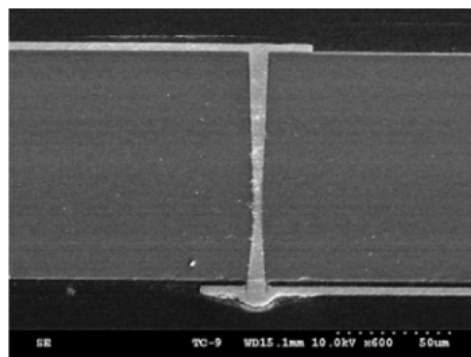
(2)TSV-Cu 变形是材料在热循环应力作用下的位移引起的。

2.2 采用 STI 降低 TSV 热应力

随着集成电路行业的发展,为了延续摩尔定律,互



(a)1 000 热循环后沿 RDL 界面产生裂纹



(b)1 000 热循环后 Cu-TSV 变形

图 1 TSV 失效机制分析

连成为集成电路发展的瓶颈,三维集成技术的进步为解决问题提供了技术解决方案。TSV 技术是三维集成技术的关键技术,但是 TSV 结构的热应力影响了器件性能,降低了载流子的迁移率,导致严重的可靠性问题。为了降低载流子迁移率受热应力的影响,必须将有源区放置在 KOZ 中。虽然这样的解决方法避免了热应力的影响,却造成了面积的浪费。于是提出了一种利用浅层沟槽隔离技术(Shallow Trench Isolation, STI)降低热应力的有效方法。STI 是指在 TSV 周围刻蚀一圈浅层沟槽,STI 介于 TSV 和有源区之间,它的作用就是实现释放应力的作用。利用 ANSYS 软件分别对有 STI 的 TSV 和没有 STI 的 TSV 进行仿真分析。仿真结果表明,有 STI 的 TSV 较之没有 STI 的 TSV, KOZ 降低了 $0.644 \sim 4.346 \mu\text{m}$ ($10.3 \sim 25.8\%$)。STI 可以有效地降低 KOZ^[22]。图 2 所示是一个带有 STI 的 TSV 的结构图。

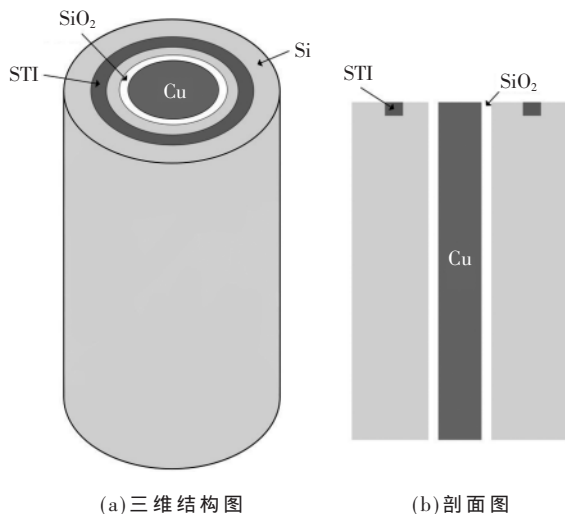


图2 带有STI的TSV的结构图

2.3 SiO₂厚度对TSV热应力可靠性影响

TSV是Cu/Ta/SiO₂/Si的多层结构。由于不同材料之间的热膨胀系数差异较大,TSV内部的热应力水平较高,会导致严重的热应力问题。采用有限元方法进行了热应力分析,确定了SiO₂绝缘层厚度对TSV热应力分布的影响。利用有限元软件COMSOL建立模型。根据JEDEC标准(JES22-A104),总共进行500次热循环,热循环环境温度为一55℃~125℃之间,每小时进行2次循环。最高温和最低温停留时间分别为5 min。温度变化率为18℃/min。仿真结果表明,随着SiO₂绝缘层厚度的增加,TSV内部热应力随着SiO₂绝缘层厚度的增加而增大。受热应力影响的面积随SiO₂绝缘层厚度的增加而增大。最大应力出现在TSV中的Ta势垒层和SiO₂绝缘层。在此基础上,证实了减小SiO₂绝缘层厚度是一种提高TSV可靠性的有效方法。由于TSV的结构和功能限制,不能一味地减少SiO₂绝缘层厚度,因此在设计TSV时要充分考虑热应力和漏电的影响,在两者之间做一个折中。

2.4 基本参数对TSV热应力可靠性影响

由于TSV内部结构复杂,不同材料之间的热膨胀系数又不尽相同。不同材料的尺寸以及TSV结构的不同参数会对热应力产生不同的影响。所以研究TSV的基本参数显得十分重要,掌握基本参数对TSV热应力可靠性影响,提供有效的热机械应力可靠性建议对TSV可靠性设计具有一定的指导意义。

(1)对于垂直TSV,在直径一定的情况下,等效应力可能随着深宽比的增大而减小。但当深宽比大于6时,等效应力可能没有变化。对于锥型TSV,最大等效应力随着硅通孔高度的增大先迅速减小,然后趋于稳定。

(2)TSV深宽比一定时,TSV直径越大,总等效应力越大,总变形越大。当TSV直径恒定时,TSV深宽比较大,总变形较大,总等效应力无明显变化

(3)给出直径和长宽比后,增大TSV之间的间距,

TSV结构的总等效应力减小,总变形增大。

(4)聚对二甲苯填充TSV能有效降低等效应力,且聚对二甲苯尺寸越大,效果越明显,可以考虑增大聚对二甲苯填充尺寸来提高TSV的热应力可靠性。

2.5 绝缘层的影响

TSV作为三维集成技术的关键技术之一,以较低的成本获得低寄生电容、高热应力可靠性的TSV仍然具有挑战性,特别是随着TSV直径地不断减小和深宽比的不断增大。通常情况下,TSV包含电镀铜层、绝缘层和势垒层。在TSV的所有组成部分中,绝缘层是必不可少的。从电学角度来讲,绝缘层可以防止漏电。具有足够的防漏电能力和低介电常数的绝缘材料是TSV绝缘层应用的理想材料。从TSV的热应力可靠性来讲,由于铜与硅衬底的热膨胀系数存在较大的差异,中间应有应力缓冲层,以避免热机械应力可靠性问题,如铜/绝缘层界面分层,硅衬底开裂,TSV附近的集成电路电性能退化。此外,通过绝缘层作为应力缓冲层,降低KOZ,然后可以预期更高的封装密度。利用真空辅助自旋镀膜技术成功地制备了成本较低的聚酰亚胺绝缘层。真空辅助自旋镀膜技术简单、可行,成本低,并完全与CMOS工艺兼容。利用有限元分析软件仿真聚酰亚胺绝缘层。结果表明,聚酰亚胺材料作为绝缘层可以减少KOZ和降低界面分层的风险,可以预期聚酰亚胺绝缘层带来较高的热机械应力可靠性。

3 工艺可靠性

3.1 Scallop-free(无扇贝纹)工艺与聚脲聚合物绝缘层

在硅的深度刻蚀工艺中,一般采用重复沉积刻蚀的循环刻蚀法(Bosch法)。但是,侧壁有一定的粗糙度。通过快速循环的方法,可以将这种粗糙度控制在极小范围内。然而,即使是小扇贝纹也会影响信号的传输速度。与Bosch刻蚀法相比,采用无扇贝纹刻蚀法可以获得相对平滑的侧壁。在无扇贝纹的TSV中,TSV的可靠性可能来源于TSV中绝缘层和势垒层的热机械应力释放,而连续的PVD金属势垒层更容易在平滑的TSV侧壁上沉积。铜扩散是造成TSV长期可靠性下降的原因之一,金属势垒层是防止铜扩散的重要技术^[26]。平滑的TSV侧壁缩短了PVD工艺时间^[27],同时也降低了成本。另一方面,绝缘层的介电常数引起的传输延迟是一个重要的问题。对于高频器件而言,SiO₂绝缘层对吉赫兹频段的高频器件是致命的。因此,引入一种低介电常数的绝缘层材料是未来的需要。聚脲聚合物介电常数较小,约为3。聚脲聚合物薄膜有两个优点:首先,沉积温度小于100℃,低温沉积可以减少对界面的损伤;第二,在晶圆上有较强的抗应力能力。

3.2 快速低成本TSV填充工艺

现有的填充方法如电镀铜、化学气相沉积(Cheical Vapour Deposition, CVD)等,存在工艺速度慢、工艺因素

复杂等问题。铜电镀是一种广泛应用的充填技术。然而,用 Cu 电镀填充通孔需要较长的时间和复杂的工艺参数。钨的 CVD 适用于填充直径较小的通孔,但对于深宽比较大的通孔,CVD 也需要较长的时间。在 TSV 的制造过程中,通孔填充是成本较高的过程,这阻碍了 TSV 的商业化发展。填充的时间与成本密切相关,缩短填充时间可以降低填充成本。提出了一种用熔融焊料填充通孔的新方法。在 0.02 MPa 的真空压力下,成功实现了无空洞、无缺陷的充填。填充时间只有 0.5 s,在 TSV 生产中真空快速填充工艺具有较高的生产率。图 3 所示是使用熔融焊料填充的工艺示意图。

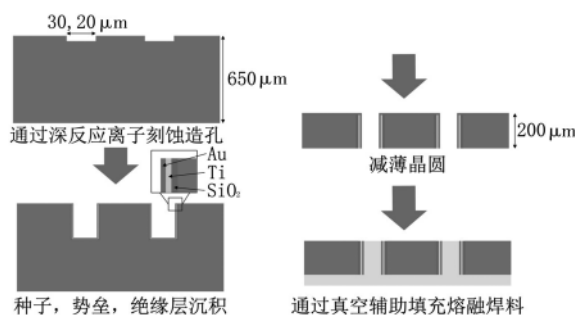


图 3 填充示意图

3.3 铜塑性变形和绝缘层粘弹性流动对可靠性的影响

铜塑性变形和绝缘层粘弹性流动都影响 TSV 的 KOZ 尺寸、TSV 的挤出量和载流子迁移率的变化。与 TSV-middle 工艺相比,背面 TSV-last 工艺在硅中产生的残余应力和迁移率变化更小,并且避免了 TSV 在升高的工艺温度下挤压,导致 M1 金属电阻的增加。对 TSV-middle 工艺中 M1 金属细化分析表明,在后道工序(Back-End-of-Line, BEOL)过程中,TSV 挤压和化学机械抛光(Chemical Mechanical Polishing, CMP)导致了 M1 金属细化, M1 金属电阻的增加。M1 电阻的增加伴随着 M1 更高的电流密度和更大的电场。当考虑 TSV 铜塑性变形和绝缘层氧化粘弹性流动时,这些影响更加明显。因此,为了减轻工艺引起的应力和材料变形对性能和可靠性的影响,在设计和优化 3D-IC 结构时需要充分考虑 TSV 的铜塑性和绝缘层氧化物粘弹性的影响。

3.4 直接刻蚀法

TSV 的长期可靠性已经成为一个经常被提出的话题,长期可靠性已经成为对大规模生产的挑战之一。铜扩散是造成长期可靠性下降的原因之一。TSV-middle 工艺的热预算和侧壁粗糙度影响较大。对于深硅刻蚀,循环刻蚀是众所周知的。不过循环刻蚀会留下扇贝纹,这会影响绝缘层沉积的连续性和势垒层沉积的连续性,严重影响了 TSV 的可靠性。

直接蚀刻法是利用 SF6 和 O₂ 的混合气体,在侧壁上形成一层薄薄的 SiO_x 膜,实现各向异性的蚀刻。直接蚀刻的优点是边壁平滑,无扇贝纹。采用新开发的双电感

耦合等离子体天线,实现无扇贝纹刻蚀和锥度控制刻蚀。采用双电感耦合等离子体天线后,锥度角均匀性得到明显改善。无扇贝纹和锥形刻蚀提高了镀层的覆盖率和电镀的可靠性。直接刻蚀法的锥度角可控性扩展了工艺集成的可能性。

4 压阻效应对 TSV 可靠性的影响

在退火工艺中,退火温度远大于工作温度,退火温度高达 400 ℃。硅的热膨胀系数约为 $2.5 \times 10^{-6}/^{\circ}\text{C}$,铜的热膨胀系数约为 $17.5 \times 10^{-6}/^{\circ}\text{C}$ 。铜的热膨胀系数比硅大,在室温下,由于收缩,铜的体积比退火时小,TSV 附近的硅上会出现拉应力^[31]。研究表明,在 200 ℃时,需要 30~60 min 的退火时间才能得到较为理想的铜层性能。利用有限元法对退火后 TSV 的残余应力进行仿真分析。结果表明,TSV 可产生超过 200 MPa 的拉应力^[32]。硅材料上的拉伸应力会导致裂纹、界面分层等可靠性问题。此外,应力还会改变载流子的迁移率。热膨胀系数失配引起的 TSV 应力如果对时序关键路径上的器件产生负向影响,可能会导致时序的破坏。拉应力增强了电子迁移率。然而,空穴迁移率的增强或减弱取决于应力和场效应晶体管沟道的方向。纵向(相对于导电沟道而言)拉应力降低了空穴迁移率,横向拉应力提高了空穴迁移率^[33]。

迁移率的变化与应力之间的关系如式(1)所示:

$$\frac{\Delta\mu}{\mu} = -\Pi \times \sigma \quad (1)$$

式中, Π 是空穴和电子的压阻系数, σ 是应力。拉应力为正,压应力为负。

在纵向应力下,对于(001)晶圆表面和<110>沟道,电子的 Π 是 $-3.16 \times 10^{-10} \text{ Pa}^{-1}$,空穴的 Π 是 $7.18 \times 10^{-10} \text{ Pa}^{-1}$ 。对于横向压力,对于(001)晶圆表面和<110>沟道,电子的 Π 是 $-1.76 \times 10^{-10} \text{ Pa}^{-1}$,空穴的 Π 是 $-6.63 \times 10^{-10} \text{ Pa}^{-1}$ 。

迁移率的变化不仅取决于应力,还取决于应力和晶体管沟道之间的取向。扩展式(1)得式(2):

$$\frac{\Delta\mu}{\mu}(\theta) = -\Pi \times \sigma_{\Pi} \times \alpha(\theta) \quad (2)$$

式中, $\alpha(\theta)$ 是取向因子,如表 1 所示, NMOS 和 PMOS 在 0、 $\pi/4$ 、 $\pi/2$ 时取向因子的值。

表 1 NMOS 和 PMOS 取向因子的取值

	0	$\pi/4$	$\pi/2$
NMOS	1	0.75	0.5
PMOS	1	0.1	-0.65

在三维集成电路中,集成了大量的 TSV。因此需要考虑多个 TSV 的压力效应。每个 TSV 作为硅的应力源。当晶圆片中的一个位置受到多个应力源的应变时,线性叠加可以得到多个应力解。多个 TSV 的迁移率变化如式(3)所示:

$$\frac{\Delta\mu}{\mu_{\text{TSV}}} = \sum \frac{\Delta\mu}{\mu}(\theta) = -\Pi \sum_{i \in \text{TSVs}} (\sigma_i \times \alpha(\theta_i)) \quad (3)$$

式中, σ_i 为第 i 个 TSV 引起的拉应力, $\alpha(\theta_i)$ 为第 i 个 TSV 的取向因子, θ_i 为第 i 个 TSV 中心与导电沟道之间的度数。

5 结论

TSV 是三维集成中最关键的技术之一, 它的可靠性问题已经成为一个经常被提及的话题, 可靠性问题已经成为大规模生产的挑战之一。本文对 TSV 可靠性的综述主要分为三个方面: 热应力、工艺和压阻效应。

(1) 顶部 RDL 界面产生裂纹和 TSV-Cu 变形是两种主要的失效机制; 利用 STI 降低 TSV 热应力的方法, 实践证明, STI 能有效降低 KOZ; 提高 TSV 的可靠性, 减小 SiO₂ 的厚度是一种有效的方法, 不过由于 TSV 结构的限制, 不能一味地减小 SiO₂ 的厚度, 需要根据设计要求寻找最优的 SiO₂ 厚度; 利用有限元仿真分析方法, 研究了 TSV 结构的等效应力和变形。总结出了 TSV 直径、深宽比、间距和形状对热应力的影响。同时得出了聚对二甲苯填充 TSV 能有效降低等效应力; 证实了采用聚酰亚胺作为绝缘层降低寄生电容的有效性。此外, 利用有限元分析软件仿真聚酰亚胺绝缘层。结果表明, 聚酰亚胺材料作为绝缘层可以减少 KOZ 和降低界面分层的风险。

(2) 可靠的 TSV 集成过程非常重要, Scallop-Free 工艺以及气相沉积聚合“聚脲”介质绝缘层将是关键因素; 提出了一种快速的充填工艺, 在 0.02 MPa 的真空压力下, 用熔融焊料填充通孔。实现了无空洞、无缺陷的充填, 填充时间只有 0.5 s; 铜塑性变形和绝缘层粘弹性流动都影响 TSV 的 KOZ 尺寸、TSV 的挤出量和载流子迁移率的变化; 直接刻蚀法采用新开发的双电感耦合等离子体天线, 实现无扇贝纹刻蚀和锥度控制刻蚀。无扇贝纹和锥形刻蚀提高了镀层的覆盖率和电镀的可靠性。直接刻蚀法的锥度角可控性扩展了工艺集成的可能性。

(3) 压阻效应对载流子迁移率的影响。

在三维集成电路中, TSV 热应力可靠性问题是电路失效的主要因素之一, 而较高的热应力水平源自材料间热膨胀系数的差异较大。因此, 降低材料间热膨胀系数的差异是降低热应力水平最有效的方法, 也是提高 TSV 可靠性最有效的方法。

参考文献

- [1] HUANG F, FAN Z, CHEN X, et al. Research on TSV thermal-mechanical reliability based on finite element analysis[C]. 2019 Prognostics and System Health Management Conference (PHM-Qingdao), 2019.
- [2] MOORE G E. Cramming more components onto integrated circuits, reprinted from electronics[J]. IEEE Solid State Circuits Newsletter, 2006, 11(3): 33-35.
- [3] KEYES R W. Physical limits of silicon transistors and circuits[J]. Reports on Progress in Physics, 2005, 68(12): 2701-2746.
- [4] PACKAN P A. Pushing the limits.[J]. Science, 1999, 285(5436): 2079-2079.
- [5] NAWROCKI W. Physical limits for scaling of integrated circuits[J]. Journal of Physics Conference Series, 2010, 248(1).
- [6] TUMMALA R R. Moore's law for packaging to replace moore's law for ICS[C]. 2019 Pan Pacific Microelectronics Symposium, 2019.
- [7] LAU J H. Through-silicon vias for 3D integration[M]. McGraw Hill, 2012.
- [8] LAU J H. Overview and outlook of through-silicon via(TSV) and 3D integrations[J]. Microelectronics International, 2011, 28(2): 8-22.
- [9] CHEN Y, SU W, ZHANG P, et al. Failure analysis examination of the effect of thermal cycling on copper-filled TSV interposer reliability[C]. 19th International Conference on Electronic Packaging Technology, 2018.
- [10] LEE J B, AW J L, RHEE M W. 3-D TSV six-die stacking and reliability assessment of 20- μ m-pitch bumps on large-scale dies[J]. IEEE Transactions on Components Packaging & Manufacturing Technology, 2017, 7(1): 1-6.
- [11] JUNG D H, KIM Y, KIM J J, et al. Through Silicon Via (TSV) defect modeling, measurement, and analysis[J]. IEEE Transactions on Components Packaging & Manufacturing Technology, 2017, 7(1): 138-152.
- [12] PAN Y, LI F, HE H, et al. Effects of dimension parameters and defect on TSV thermal behavior for 3D IC packaging[J]. Microelectronics Reliability, 2017, 70(3): 97-102.
- [13] BUDIMAN A S, SHIN H A S, KIM B J, et al. Measurement of stresses in Cu and Si around through-silicon via by synchrotron X-ray microdiffraction for 3-dimensional integrated circuits[J]. Microelectronics Reliability, 2012, 52(3): 530-533.
- [14] JUNG M, LIU X, SITARAMAN S K, et al. Full-chip through-silicon-via interfacial crack analysis and optimization for 3D IC[C]. IEEE/ACM International Conference on Computer-Aided Design. IEEE, 2011.
- [15] CHEN Z, SONG X, LIU S. Thermo-mechanical characterization of copper filled and polymer filled tsvs considering nonlinear material behaviors[C]. Electronic Components & Technology Conference. IEEE, 2009.
- [16] Yin Xiangkun, Zhu Zhangming, Yang Yintang, et al. Effectiveness of p plus layer in mitigating substrate noise induced by through-silicon via for microwave applications[J]. IEEE Microwave and Wireless Components Letters, 2016, 26(9): 687-689.
- [17] KONIDARIS N. Lasers in advanced IC packaging applications[C]. Electronics Packaging Technology Conference. IEEE, 2007.
- [18] MURAYAMA T, MORIKAWA Y. TSV etching and VDP process integration for high reliability[C]. 3d Systems

- Integration Conference.IEEE, 2015.
- [19] ZHAO Y, KHURSHEED S, AL-HASHIMI B M. Online fault tolerance technique for TSV-based 3-D-IC[J]. IEEE Transactions on Very Large Scale Integration Systems, 2015, 23(8): 1567-1571.
- [20] BEYNE E. The 3-D interconnect technology landscape[J]. IEEE Design and Test, 2016, 33(3): 8-20.
- [21] CHAN J M, CHENG X, LEE K C, et al. Reliability evaluation of copper(Cu) through-silicon vias(TSV) barrier and dielectric liner by electrical characterization and physical failure analysis(PFA)[C]. Electronic Components & Technology Conference.IEEE, 2017.
- [22] WANG F, QU X, YU N. An effective method of reducing TSV thermal stress by STI[C]. 2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC). IEEE, 2019.
- [23] Li Yanruoyue, Fu Guicui, Yan Xiaojun, et al. Thermodynamic analysis of SiO₂ thickness's effect on TSV[C]. 19th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems(EuroSimE), 2018.
- [24] ZHANG Y, WANG J, YU S. Thermal stress analysis and design guidelines for through silicon via structure in 3D IC integration[C]. 2018 19th International Conference on Electronic Packaging Technology(ICEPT), 2018.
- [25] LIU B, YAN Y, ZHANG Z, et al. Electrical characteristics and thermal reliability of blind through-silicon-vias with polyimide liners[C]. International Conference on Electronic Packaging Technology.IEEE, 2016.
- [26] LEE K A, BEA J C, FUKUSHIMA T, et al. High reliable and fine size of 5- μ m diameter backside Cu through-silicon Via(TSV) for high reliability and high-end 3-D LSIs[C]. 2011 IEEE International 3D Systems Integration Conference(3DIC), 2011.
- [27] MORIKAWA Y, MURAYAMA T, SAKUISHI T, et al. A novel scallop free TSV etching method in magnetic neutral loop discharge plasma[C]. IEEE Electronic Components & Technology Conference.IEEE, 2012.
- [28] KARMAKAR A P, XU X, SAYED K E, et al. Modeling copper plastic deformation and liner viscoelastic flow effects on performance and reliability in through silicon via(TSV) fabrication processes[J]. IEEE Transactions on Device and Materials Reliability, 2019, 19(4): 642-653.
- [29] SAKUISHI T, MURAYAMA T, MORIKAWA Y. Advantage of direct etching method and process integration for TSV reliability[C]. 2015 International Conference on Electronic Packaging and iMAPS All Asia Conference(ICEP-IAAC). IEEE, 2015.
- [30] KO Y K, KANG M S, KOKAWA H, et al. Advanced TSV filling method with Sn alloy and its reliability[C]. 2011 IEEE International 3D Systems Integration Conference (3DIC). IEEE, 2012.
- [31] LU K H, Zhang Xuefeng, RYU S K, et al. Thermo-mechanical reliability of 3-D interconnects containing through-silicon-vias(TSVs)[C]. Electronic Components & Technology Conference.IEEE, 2010.
- [32] DAO T, TRIYOSO D H, PETRAS M, et al. Through silicon via stress characterization[C]. 2009 IEEE International Conference on IC Design and Technology, 2009.
- [33] THOMPSON S E, ARMSTRONG M, AUTH C, et al. A 90-nm logic technology featuring strained-silicon[J]. IEEE Transactions on Electron Devices, 2004, 51(11): 1790-1797.
- [34] ATHIKULWONGSE K, YANG J S, PAN D Z, et al. Impact of mechanical stress on the full chip timing for through-silicon-Via-based 3-D ICs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(6): 905-917.

(收稿日期: 2020-07-20)

作者简介:

王硕(1997-), 男, 硕士研究生, 主要研究方向: 三维集成技术。

马奎(1985-), 男, 博士, 副教授, 主要研究方向: 半导体集成技术、三维集成技术、半导体功率器件与功率集成技术。

杨发顺(1976-), 通信作者, 男, 博士, 副教授, 主要研究方向: 半导体功率器件与功率集成技术、半导体集成电路设计, E-mail: fashun@126.com。

欢迎订阅

电子技术应用 月刊

订阅代号: 2-889

定价: 30 元/期

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所