

## 基于 JESD204B 的 1 GS/s、16-bit 数据采集系统研究

李海涛<sup>1,2</sup>, 李斌康<sup>1,2</sup>, 田耕<sup>1,2</sup>, 阮林波<sup>1,2</sup>, 张雁霞<sup>1,2</sup>

(1.西北核技术研究所, 陕西 西安 710024; 2.强脉冲辐射环境模拟与效应国家重点实验室, 陕西 西安 710024)

**摘要:** 采用“ADC+FPGA”的架构, 设计了 1 GS/s、16-bit 高速高精度数据采集系统, 实现了大动态范围(>1 000 倍)信号的单信道测量功能。研究采用周期 sysref 和脉冲 sysref 两种模式, 分别建立了稳定连接的、具有确定性延迟的 JESD204B 连接, 对比了两种模式下的采样数据频谱差别, 结合硬件设计、固件设计的注意事项, 推荐采用周期 sysref 建立 JESD204B 连接。研究分析采样数据的时域波形和频率谱密度, 验证了 ADC 芯片内部包含 4 个片上 ADC 通道的结论。

**关键词:** 数据采集系统; JESD204B; 确定性延迟; 周期 sysref; 脉冲 sysref; 相干采样

中图分类号: TN6

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.200867

中文引用格式: 李海涛, 李斌康, 田耕, 等. 基于 JESD204B 的 1 GS/s、16-bit 数据采集系统研究[J]. 电子技术应用, 2021, 47(4): 126-131.

英文引用格式: Li Haitao, Li Binkang, Tian Geng, et al. Research on 1 GS/s, 16-bit data acquisition system based on JESD204B[J]. Application of Electronic Technique, 2021, 47(4): 126-131.

## Research on 1 GS/s, 16-bit data acquisition system based on JESD204B

Li Haitao<sup>1,2</sup>, Li Binkang<sup>1,2</sup>, Tian Geng<sup>1,2</sup>, Ruan Linbo<sup>1,2</sup>, Zhang Yanxia<sup>1,2</sup>

(1.Northwest Institute of Nuclear Technology, Xi'an 710024, China;

2.State Key Lab of Intense Pulsed Radiation Simulation and Effect, Xi'an 710024, China)

**Abstract:** The paper adopts the architecture of "ADC+FPGA", designs and develops a 1 GS/s, 16-bit high-speed and high-precision data acquisition system(DAS), which realized the purpose of using a single channel to measure large dynamic range(DR>1 000) signals. The study uses two sysref modes, which are periodic sysref mode and pulse sysref mode, to establish a stable JESD204B link with a deterministic delay. The differences in the sampled data spectrum between the two modes is presented, and the considerations of hardware design and firmware design are given. The paper recommends that the periodic sysref mode be used to establish JESD204B link. By analyzing the time-domain waveform and frequency spectrum of the sampled data, the conclusion that the ADC chip contains 4 on-chip ADC channels is verified.

**Key words:** data acquisition system; JESD204B; deterministic delay; period sysref; pulse sysref; coherent sampling

## 0 引言

随着微电子技术、半导体制造工艺的飞速发展, 越来越多的数据采集系统基于“ADC+FPGA”的架构, 实现定制化的性能参数。一般情况下, 模拟信号输入 ADC 进行模拟数字转换, ADC 输出采样数据至 FPGA; 当 ADC 输出的采样数据率高于 FPGA 内部逻辑资源的处理速率时, FPGA 不能直接接收数据进入其内部逻辑资源, 需要对输入数据进行接收转换、延时调整和降速处理等操作之后, 才能进入 FPGA 内部处理; 再通过外部总线协议读取 FPGA 内部的缓存数据, 做在线数据分析或离线数据分析。

国内对数据采集系统的研究正在蓬勃开展, 取得了很大的进步和成果: 2012 年, 中国科学技术大学唐绍春基于时间交替并行采样技术研制了 10 GS/s、8-bit 的数

据采集系统<sup>[1]</sup>; 2013 年, 中国科学院高能物理研究所邵剑雄研制了 4 GS/s、12-bit 数据采集系统<sup>[2]</sup>; 2019 年, 中国科学技术大学梁昊研制双通道 5 GS/s、10-bit 数据采集系统<sup>[3]</sup>; 2019 年, 成都电子科技大学周楠研制了 5 GS/s、12-bit 数据采集系统<sup>[4]</sup>; 2019 年, 成都电子科技大学蒋俊、杨扩军基于时间交替并行采样技术研制了 20 GS/s、8-bit 数据采集系统<sup>[5]</sup>; 2019 年, 中国工程物理研究院二所吴军研制了 6.4 GS/s、12-bit 前置数据采集系统, 应用于脉冲辐射场诊断。

国内外公司也推出很多的示波器产品等, 包括中国的公司如普源精电科技(RIGOL)基于自研的凤凰座(Phoenix)示波器 ASIC 芯片组, 研制的 DS8000 示波器性能达到 10 GS/s、8-bit。美国 Tektronix 公司研制的高分辨率示波器如 MS058LP, 性能达到 3.125 GS/s、12-bit; 美国

Teledyne 公司研制的高分辨率示波器如 HDO8108A, 性能达到 2.5 GS/s、12-bit, 还有一款数据采集卡 ADQ7, 性能达到 10 GS/s、14-bit; 美国 Gage 公司的 Razormax 数据采集卡对应指标为 1 GS/s、16-bit, TB3-EON 数据采集卡指标为 6 GS/s、12-bit; 美国 Spectrum 公司的 M4x.2234-x4 数据采集卡指标为 5 GS/s、8-bit; 美国 Pico Technology 公司的 Pico-Scope6407 数据采集卡性能为 5 GS/s、8-bit; 瑞士 PSI 研发的 SIS3305 数据采集卡性能为 5 GS/s、10-bit 等。

可以看到, 对数据采集系统的性能参数更多关注在采样率上, 以提高数据采集系统的时间测量精度为目的, 针对超快前沿的信号波形, 用高采样率获取足够精细的时间信息。本文主要研究了高分辨率的数据采集系统, 针对超大动态范围的信号波形, 用高分辨率获取足够精细的幅度信息。总体来说, 前述的数据采集系统的垂直分辨率多为 8-bit、12-bit, 对应的动态范围有限, 约 100 倍、700 倍, 有效位低于 10-bit, 在幅度归一化的情况下, 最低可分辨 1/700 的满量程电压幅值。有些探测器输出信号的动态范围大于 1 000 倍, 为了既获取整体波形, 又获取波形细节, 12-bit 的分辨率就不能满足要求。这种情况下, 一般通过信号分路、信道量程搭接等操作, 实现对信号的精细测量; 为保证信号测量的精度, 相邻测量信道量程必须有较大的重叠部分, 这会降低信道有限的动态范围; 此外, 各信道的幅值误差不同、时间误差不同, 量程搭接时会导致测量精度降低<sup>[6]</sup>。本文研制了一款采样率为 1 GS/s、分辨率为 16-bit 的数据采集系统, 采用一个信道对应一个探测器, 既消除了分路、量程搭接引入的误差影响, 又节约了测量信道, 实现了对大动态范围信号的高精度测量。

## 1 数据采集系统研制

采用“ADC+FPGA”的架构, 研制定制化的性能参数的高速高精度数据采集系统<sup>[7-10]</sup>, 硬件原理如图 1 所示。目前, 采样率 1 GS/s 以上、分辨率达到 16-bit 的商业化的 ADC 芯片大多没有商用, 选择一款现有的商业 ADC 芯片, 该芯片内部包含 4 个 250 MS/s、16-bit 的 Pipeline 架构的 ADC 通道<sup>[11]</sup>, 采用片上时间交替(Time Interleaved)采样技术实现 1 GS/s、16-bit 的性能参数, 通过 SPI 接口配置 ADC 输出采样数据率为 5 Gbps/lane $\times$ 8-lane。ADC 芯片的有效位典型值约为 11.5-bit( $f_{in}=10$  MHz), 理论上可以实现 2 800 倍的动态范围。不同于传统的采样数据输出接口协议采用的 CMOS 驱动器、LVDS 驱动器等, ADC 输出采样数据接口采用了新的 JESD204B 接口协议, JESD204B 协议采用 CML 驱动器, 具有数据传输率高、使用引脚少等优点, 针对多路通道(lane)高速串行数据的同步, JESD204B 给出了确定性延迟的解决方案。

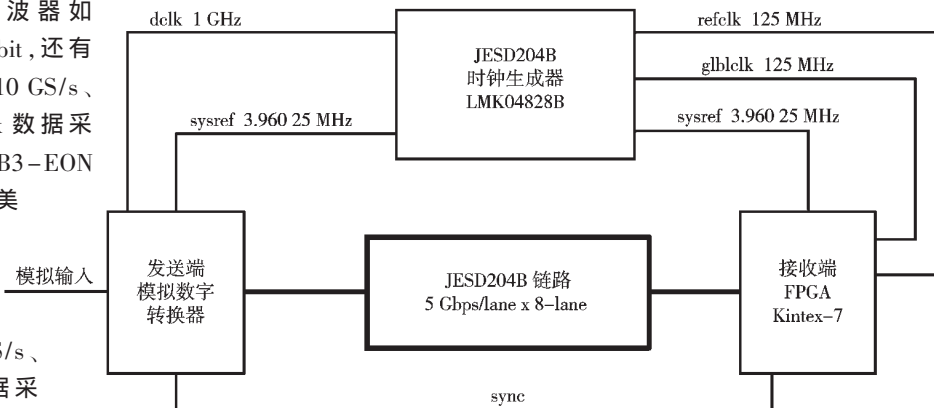


图 1 1 GS/s、16-bit 数据采集系统硬件原理

FPGA 芯片选择 Xilinx 公司 28 nm 制造工艺的 Kintex-7 系列, 型号为 XC7K325T-2FFG900I, 芯片内部具有集成 16 通道 GTX 收发专用硬核, 单通道 GTX 可实现 12.5 Gb/s 的数据率, 通过配置 JESD204B 链路上的 Tx、Rx 和时钟等的各项连接参数<sup>[12]</sup>, 建立具有确定性延迟的 JESD204B 链路, 采用 8 通道接收 ADC 输出的高达 40 Gb/s 的采样数据。FPGA 还实现了通过 SPI 接口配置 ADC 和 LMK04828B 芯片工作状态、通过 IP 配置光纤接口和网络接口同外部通信等功能。

JESD204B 高速串行接口协议的时钟数据同步方式为自同步(Self-Synchronous)<sup>[13]</sup>, 自同步方式将时钟包含在数据流中进行编码传输。这种方式使得时钟和数据的延时路径相同, 能最优的保证时序收敛。选择 TI 公司的 JESD204B 协议专用时钟芯片, LMK04828B 芯片为系统提供器件时钟、参考时钟等, 如图 1 所示, 整个数据采集系统的时钟同源, 所有时钟间的相位差保持稳定, 这有利于 JESD204B 链路的建立。研制的硬件实物图如图 2 所示。

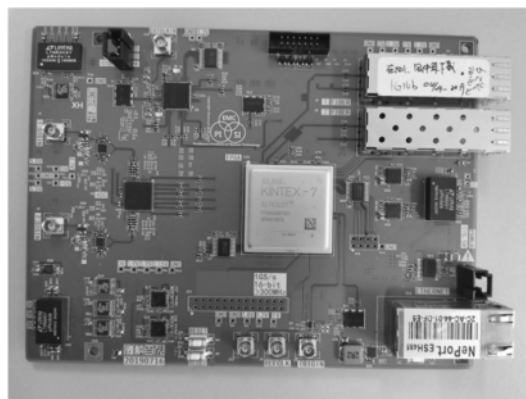


图 2 1 GS/s、16-bit 数据采集系统实物图

## 2 JESD204B 协议及实现

JESD204B 协议主要用于模数/数模转换器(ADC/DAC)和逻辑器件之间(FPGA/DSP/ASIC)的高速率数据传输, 最大支持 12.5 Gb/s 的双向传输数据率, 分为 3 个子

类,分别是子类0、子类1、子类2,不同的子类区别主要是对传输通道间同步和链路上确定性延迟(Deterministic Latency, DL)的测量和校正, JESD204B 的子类1实用性强,使用也最为广泛,子类1使用器件时钟(device clock, dclk)、系统参考时钟(system reference clock, sysref)支持确定性延迟<sup>[14]</sup>。

典型的 JESD204B 子类1的连接如图3所示,和开放系统互连(OSI)给出的标准网络七层协议相比, JESD204B 协议只使用了其中的4层,分别是应用层、传输层、数据链路层、物理层,各层需要完成特定的功能<sup>[11]</sup>。对发送端 Tx 来说,应用层支持链路参数配置和数据映射,以便正确传输和解读数据;传输层通过添加控制位或者结束位等方式实现转换样本与成帧 byte 之间的映射,将数据包封装成帧,并根据需要完成加扰操作;在数据链路层,实现 8b/10b 编码,监测字符,建立同步的 JESD204B 链路,监测和维护通道对齐;物理层完成数据串行、数据收发操作等。接收端 Rx 的 JESD204B 分层协议则进行反向操作过程;文中所述的 JESD204B 链路建立连接,未经特殊说明,都是在数据链路层建立稳定连接。

一般来说,提到 JESD204B 链路建立,讲的都是 JESD-204B 在数据链路层建立连接的过程,如图4所示<sup>[12]</sup>,具体分为三个过程:(1)Tx、Rx 收到外部提供的 sysref 信号之后,确保内部器件时钟 dclk、帧时钟(Frame Clock, FC)、本地多帧时钟(Local Multi-Frame Clock, LMFC)等时钟相位对齐。Tx 检测到 Rx 输出的 sync 信号拉低,在下一个多帧时钟周期上升沿开始代码组同步(Code Group Sync, CGS)过程,CGS 过程一般为一个 LMFC 周期。(2)CGS 过程完成之后的下一个 LMFC 周期开始初始化通道同步(Initial Lane Alignment, ILA)过程,一般情况下,完成 ILA 过程需要四个 LMFC 周期。(3)之后开始数据传输过程(Data Transmission),数据传输时,按照规则对特定数据进行字节替换,保证帧对齐和多帧对齐,实现确定性延迟。由于 JESD204B 采用了 8b/10b 的编码方式,因此即使在数据传输阶段,获得了全带宽传输,其数据传输效率也仅为 80%。有 5 个常用 8b/10b 编码的控制字符,功能是对数据流实时监测,保持 JESD204B 链路的确定性延迟,它们分别是:/K/:/K28.5/, CGS 同步专用字符;/F/:/K28.7/, 串行数据流中的帧对齐字符;/A/:/K28.3/, 串行数据流

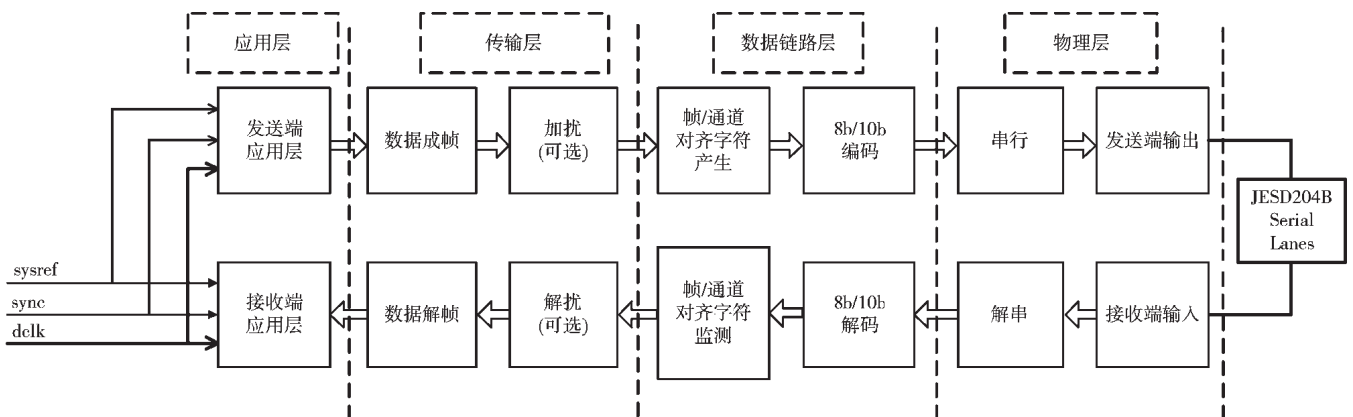


图3 典型的 JESD204B 协议连接

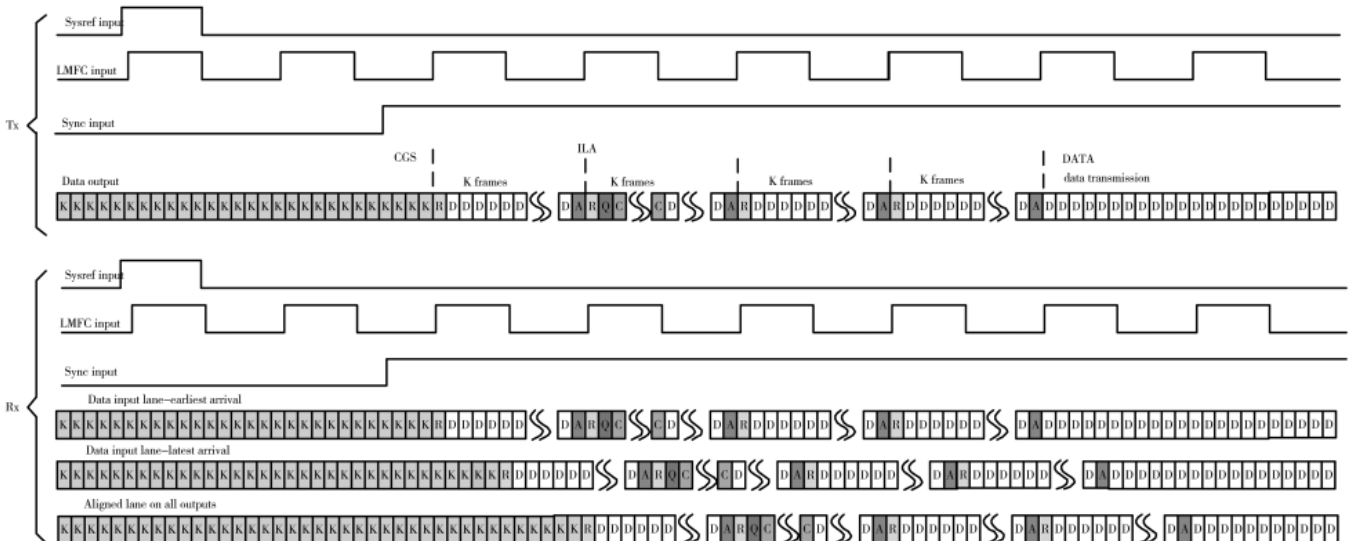


图4 JESD204B 在数据链路层建立连接的过程

中的多帧对齐字符; /R/: /K28.0/, ILA 中多帧对齐字符; /Q/: /K28.4/, ILA 中第二个多帧中第二个字节专用, 配置字符。

JESD204B 链路不仅要建立稳定连接, 还要保证链路的确定性延迟<sup>[15]</sup>。确定性延迟定义为从发送端 Tx 的并行帧数据输入至接收端 Rx 解帧并行数据输出所需的时间, 该时间通常以帧时钟周期、多帧时钟周期或器件时钟周期为单位进行测量。JESD204B 链路的确定性延迟具有三层含义: (1) 对单个通道而言, 延时具有可重复性, 不随多次上电或再同步事件而改变, 即是确定性延迟不确定度(DLU)为 0 个 dclk; (2) 对单个器件而言, 链路上多个通道的延时具有可重复性, 不随多次上电或再同步事件而改变; (3) 对多个器件而言, 如果采用同一个时钟源产生器件时钟 dclk、参考时钟 sysref 等, 那么多个器件之间的所有通道延时具有可重复性, 不随多次上电或再同步事件而改变。为保证 JESD204B 链路上多通道数据的同步传输, 要求 DL 在链路上电建立过程和链路重新建立过程中都是确定可测且可校准。DL 包括固定延迟和可变延迟共 2 个部分, 其中固定延迟主要由传输链路的物理层特性以及传输层中对帧参数的设置所决定, 类似于 latency 的概念; 可变延迟则是由于传输过程中多个传输层的时钟相位不对齐所产生, 其本质是链路建立过程中代码组同步(CGS)阶段到初始通道对齐阶段(ILA)的时间不确定性, 在链路上电建立和链路重新建立过程中会变化; 可变延迟可以准确测量, 且在 Rx 端的弹性缓冲器中可以校正。

为了保证 Tx 端、Rx 端对确定性延迟的测量精度<sup>[16]</sup>, 需要严格控制 dclk、FC、LMFC 之间的相位差, sysref 可以实现 JESD204B 链路上的时钟初始相位对齐, 保证对 DL 的精确测量。sysref 有三种工作模式: 脉冲模式(pulsed sysref)、周期模式(periodic sysref)、间歇周期模式(gapped periodic sysref)。理论上, 使用三种 sysref 工作模式均可建立稳定的、具有确定性延迟的 JESD204B 链路连接。根据文献[10]结论, 一般推荐使用脉冲 sysref 建立具有确定性延迟的 JESD204B 链路, 图 5 给出了使用脉冲 sysref 模式下的 JESD204B 连接建立监测波形, 图中信号①为 8-脉冲 sysref 信号, 频率为 3.906 25 MHz, 信号②为 sync 波形监测, 可见 sysref 后, 首先对齐 dclk、FC、LMFC 等时钟的相位, 之后 Rx 把 sync 拉高并被 Tx 监测到, 开始 CGS 过程, 最终建立稳定的、具有确定性延迟的 JESD204B 链路连接。

在 PCB 设计时, 需要注意 JESD204B 专用时钟引脚及走线, 这对建立 JESD204B 链路的确定性延迟具有重要作用。对 ADC 而言, 其 sysref、dclk 差分引脚固定, 直接输入即可; 对 LMK04828B 而言, 其 sysref、dclk 差分引脚固定, 直接选择一对输出即可; 对 Kintex-7 而言, 其 GTX IP 核需要外部提供 refclk、gblclk 和 sysref 3 个时钟信号, 输入较前两者复杂。refclk 是 JESD204B 收发的参

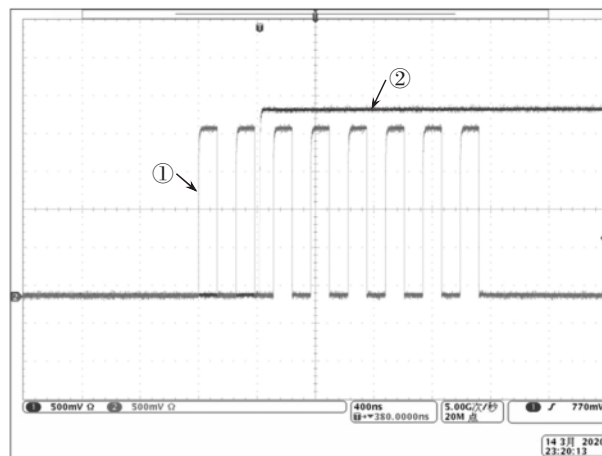


图 5 脉冲 sysref 模式下的 JESD204B 连接建立监测波形

考时钟; gblclk 是 IP 核的核心时钟(core clock), gblclk 频率必须为通道数据传输率的 1/40, 作用包括抓取 sysref 的上升沿(充当 dclk 的角色)和将 syncb 置为低电平(Rx 端, 开始 CGS 过程)等; refclk 频率值等于 gblclk 频率值时, 可以替代 gblclk 作为核心时钟, 这样可以节省 1 对差分时钟引脚, 降低走线难度。图 6 所示为 Kintex-7 GTX 典型的时钟输入方式, refclk 需要从 GTX 的专用时钟引脚进入, 之后经专用原语 IBUFDS\_GT 进入 IP 核内部; gblclk 则是从 FPGA 的专用时钟引脚进入, 经 FPGA 内部原语 IBUFDS 和 BUFG 后进入 IP 核内部; sysref 是从 FPGA 的专用时钟引脚进入, 经 FPGA 内部原语 IBUFDS 后进入 IP 核内部。本文还测试了以下几种非典型时钟

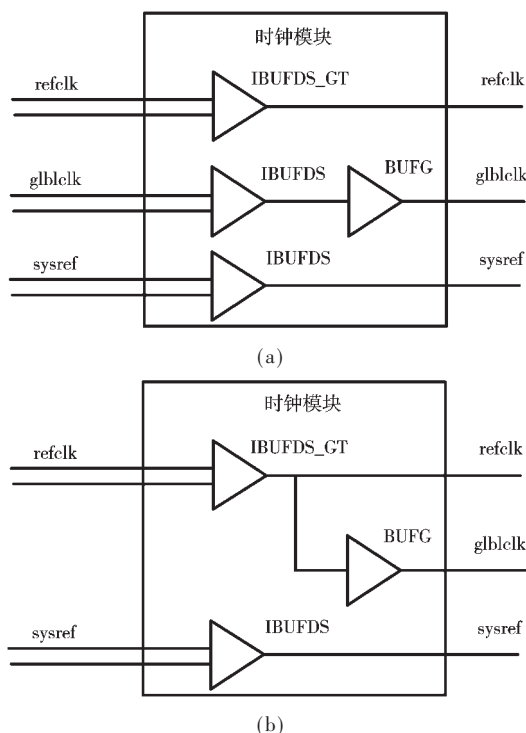


图 6 GTX IP 核时钟典型输入方式

输入方式:(1)如果 gblclk 从 GTX 的专用时钟引脚进入的情况,可以使用专用原语 IBUFDS\_GT 和 FPGA 原语 BUFG 进入 IP 核内部,因为 IBUFDS\_GT 和 IBUFDS 延时不同,虽然实际测试中没有发现时序不收敛的情况,但是不推荐使用;(2)如果 glbclk 没有从 GTX 的专用时钟引脚进入,而是从 FPGA 的专用时钟引脚接入,也可以使用 IBUFDS 原语之后进入到 IP 核内部,同样也不推荐使用;(3)如果 gblclk 或者 refclk 的差分引脚反接,这种情况,可以在时钟信号的输出端进行反向设置,也可以在 GTX IP 核内部更改差分引脚极性实现反向,反向操作引入的延时不可预知,同样不推荐使用。以上几种非典型时钟输入方式,虽然在周期 sysref 模式下均可实现 JESD204B 的确定性延迟,但不推荐使用。

参考文献[15]指出,在周期 sysref 模式下,sysref 频率会对 ADC 的采样数据造成频谱污染,因此不推荐使用周期 sysref 模式建立 JESD204B 链路连接。本文专门对此进行研究验证,结果如图 7 所示。在输入端 50  $\Omega$  接地的情况下,分析得到 ADC 的采样数据,给出了脉冲 sysref 模式和周期 sysref 模式下的频率谱密度分析,频带宽度 DC~20 MHz,可以看到,3.906 25 MHz 的基频及其谐波处并未见到明显干扰,脉冲 sysref 模式平均噪底(-115.5 dB)和周期 sysref 模式的平均噪底(-115.8 dB)基本相同。综上,考虑到 JESD204B 链路的稳定建立和确定性延迟等因素,结合 PCB 设计时的典型时钟输入方式和非典型输入方式,推荐采用周期 sysref 模式建立 JESD204B 链路连接。

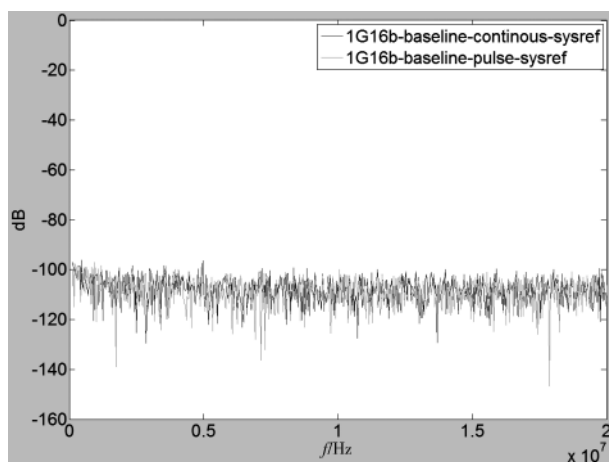


图 7 脉冲 sysref 模式和周期 sysref 模式下 ADC 采样数据频谱分析

### 3 采样数据分析

时间交替采样技术可以在 PCB 板上实现,也可以在芯片内部实现,目前很多的高采样率、高分辨率 ADC 芯片自身就是采用片上时间交替采样技术实现的,大多数的芯片技术手册上都有详细描述,例如 ADC 芯片手册,明确给出其采用了 4 个 250 MS/s、16-bit 的 Pipeline ADC 通道,使用时间交替采样技术达到 1 GS/s、16-bit 的

性能。分析对比了两种 ADC 芯片,一款为 TI 公司的 ADS5400 芯片,指标为 1 GS/s、12-bit;另一款为本文使用的 ADC,采样数据分析结果如图 8 所示,给出了在输入端 50  $\Omega$  接地的情况下,ADS5400 和 ADC 的频率谱密度,ADS5400 的平均噪底约 -109.5 dB,ADC 的平均噪底约 -121.7 dB,这个噪底对应了两款芯片的分辨率,根据有效位的计算公式,看到两者相差 12.2 dB,有效位相差约 2-bit,符合手册中给出的有效位典型值。ADC 的噪声频谱在 250 MHz 频率点有一个凸起,对应的就是 250 MHz 的 ADC 单通道采样频率;与之对比的 ADS5400 芯片,在 200 MHz、400 MHz 频率点有凸起,可以推断,ADS5400 芯片采用 5 片 200 MS/s、12-bit 的 Pipeline ADC 使用时间交替采样技术达到 1 GS/s、12-bit 的性能,虽然 ADS5400 手册中没有明确给出其采用的技术路线,通过分析频率谱密度结果可以有效支持该结论。

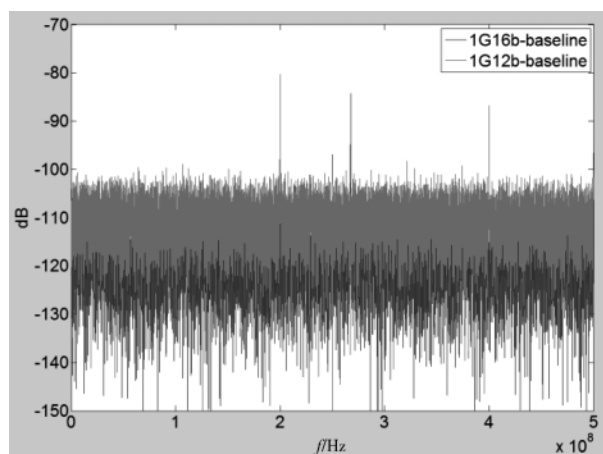
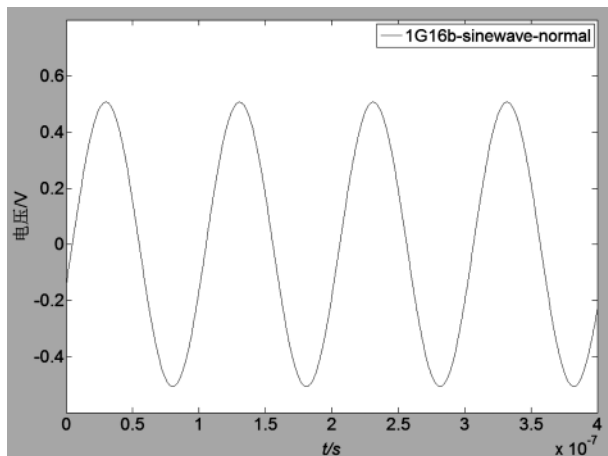


图 8 50  $\Omega$  空载信号的频率谱密度

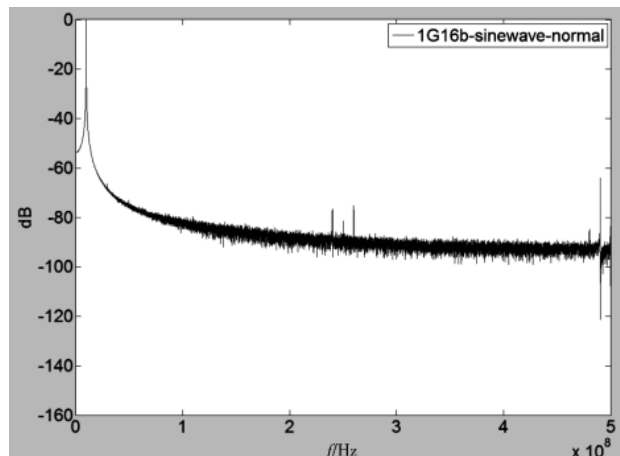
对研制的 1 GS/s、16-bit 的高精度数据采集系统进行测试,使用 Agilent 33250A 作为信号源,输出 10 MHz 正弦波进入到 ADC 模拟输入端,测量得到的时域波形和频域图形如图 9(a)、图 9(b)所示。图 9(b)中,250 MHz 对应的毛刺为时间交替采样 ADC 通道工作频率,230 MHz、240 MHz 对应的是二阶互调失真(IMD2)。可以看到,由于各种原因(主要是输入正弦波频率和 ADC 采样频率的选择),数据采集没有满足相干采样的要求,因此频域的频谱泄露比较大,形成了比较大的喇叭口。

### 4 结论

本文研制了 1 GS/s、16-bit 高速高精度数据采集系统,建立了具有确定性延迟的 JESD204B 链路,确保 FPGA 对 ADC 输出采样数据的准确接收和解析。分析了周期 sysref 和脉冲 sysref 两种模式对 ADC 输出采样数据的影响,推荐采用周期 sysref 建立稳定的、具有确定性延迟的 JESD204B 连接。通过分析采样数据的频率谱密度,验证了 ADC 芯片内部包含 4 个片上 ADC 通道的结论。



(a) 时域波形



(b) 频域波形

图9 ADC采集的正常的10 MHz正弦波波形

## 参考文献

- [1] 唐绍春. 基于时间并行交替技术的超高速高精度波形数字化研究[D]. 合肥: 中国科学技术大学, 2012.
- [2] 邹剑雄. 地下暗物质实验中的高速采样ADC模块的研究与设计[D]. 北京: 中国科学院高能物理研究所, 2013.
- [3] 刘鸣, 孙秀男, 梁昊. 双通道5GS/s高速数据采集卡设计[J]. 计算机硬件, 2019, 38(6): 76-82.
- [4] 周楠. 5GSPS高分辨率数据采集与处理关键技术研究[D]. 成都: 电子科技大学, 2019.
- [5] 杨扩军, 田书林, 蒋俊, 等. 基于TIADC的20 GS/s高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4): 841-849.
- [6] 李海涛, 李斌康, 阮林波, 等. 用于脉冲辐射场诊断的大动态范围数据采集系统研制[J]. 现代应用物理, 2019(4): 83-88.
- [7] 文科, 朱正, 马敏舒. 低成本SerDes在数据采集中的方案设计与应用[J]. 电子技术应用, 2020, 46(8): 94-97.
- [8] 易志强, 韩宾, 江虹, 等. 基于FPGA的多通道同步实时高速数据采集系统设计[J]. 电子技术应用, 2019, 45(6): 76-80.
- [9] 王威, 张秋云, 江虹, 等. 基于FPGA和TCP/IP的多路采集与切换系统设计与实现[J]. 电子技术应用, 2019, 45(6): 125-129.
- [10] 田皓文, 郭世旭, 朱锰琪, 等. 基于FPGA的通道数可调高精度采集系统模块化设计[J]. 电子技术应用, 2020, 46(2): 53-57.
- [11] TI. ADC Dual-Channel, 16-Bit, 1.0-GSPS Analog-to-Digital Converter[Z]. 2019.
- [12] Xilinx. JESD204 v6.1[Z]. 2015.
- [13] TI. LMK0482x ultra low-noise JESD204B compliant clock jitter cleaner with dual loop PLLs[Z]. 2015.
- [14] Guibord Matt. JESD204B multi-device synchronization: Breaking demands[J]. Analog Applications Journal, 2015(2): 15-22.
- [15] BEAVERS I. JESD204B 转换器内确定性延迟解密[EB/OL]. [2020-08-28]. http://www.ADI.cn.
- [16] Del Jones. JESD204B 子类(第二部分): 子类1与子类2系统考虑因素[EB/OL]. [2020-08-28]. http://www.ADI.cn.

(收稿日期: 2020-08-28)

## 作者简介:

李海涛(1986-), 男, 硕士研究生, 主要研究方向: 高速数据采集等。

李斌康(1966-), 男, 研究员, 主要研究方向: 脉冲射线测量。

田耕(1979-), 男, 高级工程师, 主要研究方向: 核电子学。

(上接第120页)

(收稿日期: 2020-07-09)

## 作者简介:

李建鑫(1996-), 男, 硕士, 主要研究方向: 机器视觉、计算机图形学。

陈鸿(1963-), 通信作者, 男, 博士, 教授, 主要研究方向: 测试技术与仪器、光电检测技术, E-mail: chen hong631@qq.com。

王晋祺(1992-), 女, 硕士, 主要研究方向: 嵌入式时间同步。

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所