

服务器及智能网卡 NCSI 接口设计

解文军,李仁刚,韩大峰,张晶威,刘铁军

(浪潮(北京)电子信息产业有限公司 体系结构研究部,北京 100085)

摘要:随着人工智能及大数据时代到来,智能网卡(Smart NIC)与服务器配合,开始承担越来越多的数据处理任务而大大减轻了 CPU 的压力。服务器基板管理控制器(BMC)一般通过网络控制器边带接口(NCSI)对智能网卡进行带外管理,而智能网卡往往需要适配不同的服务器平台。为了保证服务器对网卡的可靠管理,必须仔细设计 NCSI 接口电路使信号质量满足标准要求。从 NCSI 接口整体出发,详细讨论了 NCSI 接口服务器主板、连接器与线缆、智能网卡设计问题。

关键词:智能网卡;NCSI 接口;服务器主板;线缆与连接器;系统设计

中图分类号:TN709

文献标识码:A

DOI:10.16157/j.issn.0258-7998.200933

中文引用格式:解文军,李仁刚,韩大峰,等.服务器及智能网卡 NCSI 接口设计[J].电子技术应用,2021,47(5):112-116,121.

英文引用格式:Xie Wenjun, Li Rengang, Han Dafeng, et al. NCSI interface design of smart NIC and server[J]. Application of Electronic Technique, 2021, 47(5): 112-116, 121.

NCSI interface design of smart NIC and server

Xie Wenjun, Li Rengang, Han Dafeng, Zhang Jingwei, Liu Tiejun

(Department of Architecture Research, Inspur(Beijing) Electronic Information Industry Co., Ltd., Beijing 100085, China)

Abstract: In the big data and artificial intelligence era, smart network interface card(smart NIC) is designed to take the data processing tasks, together with serves. The baseboard management controller(BMC) of server communicates with smart NIC through network controller sideband interface(NCSI). Therefore, a smart NIC may have to match with different servers electrically. To ensure a reliable smart NIC management, the designer must design the NCIS interface carefully and make all the signals meet NCSI specification. This paper discuss the design of server main board, cable and connector, smart NIC and the whole NCSI interface.

Key words: smart NIC; NCSI interface; server main board; cable and connector; system design

0 引言

Smart NIC 即智能网卡,其核心是通过 FPGA(现场可编程门阵列)协助 CPU 处理网络负载,将网络虚拟化、负载均衡和其他低级功能从服务器 CPU 中移除,确保为应用提供最大的处理能力。与此同时,智能网卡还能够提供分布式计算资源,使得用户可以开发自己的软件或提供接入服务,从而加速特定应用程序。

从系统结构上看,智能网卡通常以 PCIE(Peripheral Component Interconnect Express) 接口插卡的形式与服务器配合使用,PCIE 是主要的业务数据传输通道。而服务器对智能网卡的管理,则是通过网络控制器边带接口(Network Controller Sideband Interface, NCSI)^[1]来实现。

以往的服务器都是没有为某种特殊服务专门设计的、可以提供各种服务功能的服务器,即通常所说的通用服务器。最近几年,随着云计算、大数据、人工智能等新兴技术发展,对服务器的需求越来越大,不同业务对服务器要求各不相同,如以存储业务为主的公司需要存

储型服务器,对数据的安全要求也很高,有冗余备份、灾难恢复等功能。在人工智能计算领域,大量的数据会从网络输入,利用智能网卡直接对数据进行必要的处理,可以很大程度减轻 CPU 的负荷。在大数据及边缘计算领域,海量的数据会从网络输入,利用智能网卡直接对数据进行必要的处理,可以很大程度减轻 CPU 的负荷。

无论是通用服务器还是定制服务器,设计时会留出多个不同位置的 PCIE 插槽,以匹配客户的差异化需求。而对于 PCIE 形态的智能网卡来说,插在不同槽位意味着与主机端通信时不同的 NCSI 线缆长度。况且服务器设计者往往也对智能网卡上的走线情况一无所知,不同厂家的智能网卡走线也会差异很大。同样当智能网卡搭配不同服务器时,不同服务器厂商的 NCSI 链路参数会有很大不同。双方都无法考虑如何设计整个 NCSI 接口电路才能保证在不同环境下接口功能的可靠运行。

本文立足整个 NCSI 接口总体架构,从系统整体、服务器主板端、线缆与连接器、智能网卡端四个部分讨论

了如何设计一个可靠的 NCSI 接口链路,该设计方案已经应用于多款服务器与智能网卡产品,所有产品均顺利通过了 NCSI 接口功能测试、数据传输压力测试、信号完整性测试与电磁兼容测试等多项严格产品测试要求。

1 网络控制器边带接口(NCSI)介绍

互联网技术的飞速发展使得工程师们对于服务器的带外可管理性及可控制性提出了更高的要求。通过带外管理,工程师可以在任意地点通过网络连接到相应的服务器上,进行一系列的管理与维护,而不再需要长时间驻守在嘈杂的机房或实验室环境中。NCSI(Network Controller Sideband Interface)就是一个由分布式管理任务组(Distributed Management Task Force,DMTF)定义的用于支持服务器带外管理的边带接口网络控制器的工业标准。

NCSI 接口的物理拓扑如图 1 所示。

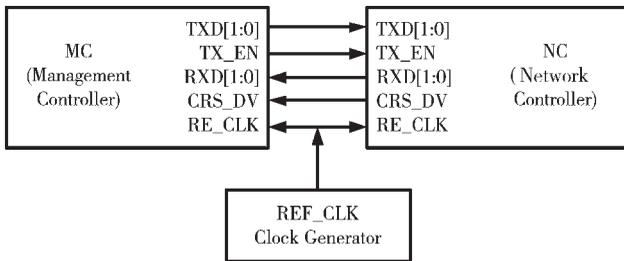


图 1 NCSI 接口物理拓扑图

图 1 中, TXD[0:1] 为管理控制器 MC 的两路发送数据线, TX_EN 为发送使能信号线, RXD[0:1] 为 MC 两路接收数据线, CRS_DV 为载波侦听及接收数据有效信号, REF_CLK 为参考时钟信号, 频率为 50 MHz, 信号传输方向如图中箭头所示。在本文服务器环境中, 管理控制器 MC 是位于服务器主板上的基板管理控制器芯片 BMC, 而网络控制器 NC 是位于智能网卡上的网络芯片, 走线包括印制电路板(PCB)和线缆, 走线阻抗^[2-3]控制为 50 Ω。

2 NCSI 接口设计

2.1 系统总体设计

系统总体设计主要有两方面内容, 第一是时钟模式的选择; 第二是总体时序设计。

服务器主板上 NCSI 接口集成在 BMC 芯片中, 该接口有两种时钟模式: 内部时钟模式和外部时钟模式, 如图 2 和图 3 所示。内部时钟模式的 50 MHz 的时钟信号来自于 BMC 芯片, 根据 BMC 芯片数据手册^[4-5], 该模式下 TXD 等数据信号可以支持的最长走线长度为 10 英寸。外部时钟模式的 50 MHz 时钟信号来自外部晶振, 并需要时钟缓冲(Buffer)芯片, 该模式优点是可以支持 TXD 信号走线总长度达 20 英寸。由于仅服务器主板上走线一般在 10 英寸以上, 因此需要采用外部时钟模式。但两种模式下 RXD 信号的走线长度都取决于 NCSI 芯片。

NCSI 链路采用外部时钟模式是一种基于共同时钟的数据传输拓扑, 服务器主板的 BMC 数据接收端和

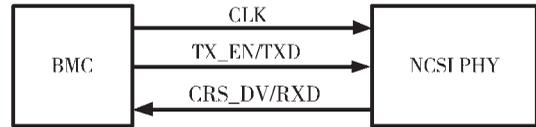


图 2 内部时钟模式

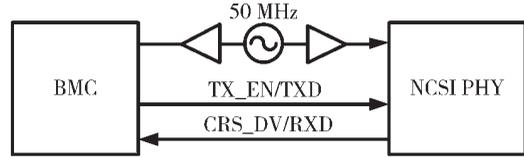


图 3 外部时钟模式

NCSI PHY 数据接收端, 均需要满足数据传输的建立及保持时间要求^[6]。

数据通路单向传输的拓扑如图 4 所示。图 5 为共同时钟的建立及保持时序关系图。在时序关系图中: 时间间隔 1 表示时钟 buffer 输出的时钟偏斜 Tskew, 此参数作为系统时序关系作为最差时序关系处理; 时间间隔 2 表示时钟 buffer 至驱动端的飞行时间, 即 Tclk_driver_flight; 时间间隔 3 表示时钟 buffer 至接收端的飞行时间, 即 Tclk_receiver_flight; 时间间隔 4 表示驱动端芯片被时钟触发后, 数据传输至 IO 总线的时间, 即 Tdata_out; 时间间隔 5 表示传输方向数据的飞行时间, 即 Tdata_flight。Tsu 是接收端芯片所需的数据建立时间; Thd 是接收端芯片所需的数据保持时间; Tsu_margin 是数据满足建立时间要求后的裕量; Thd_margin 是数据满足保持时间要求后的裕量; Tcycle 是 NCSI 协议的时钟周期。

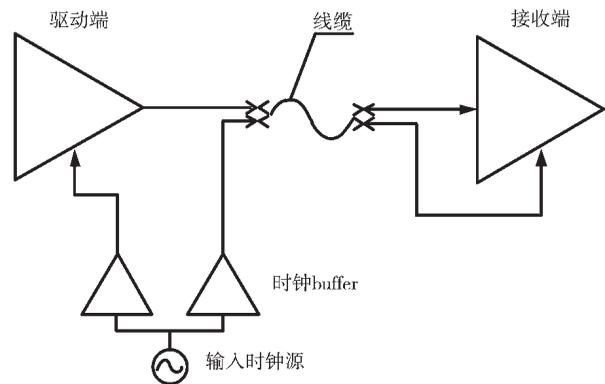


图 4 数据单向传输拓扑图

对系统的建立时间要求, 是在数据发出后的第二个时钟的上升沿, 接收端满足建立时间, 故其建立时间约束, 需满足式(1):

$$(Tclk_driver_flight + Tdata_flight - Tclk_receiver_flight) + (Tdata_out + Tsu + Tskew) + Tsu_margin = Tcycle \quad (1)$$

对系统的保持时间而言, 是在接收端的下一拍采样时钟时延小于数据的整个时延, 否则造成本拍保持数据与下一拍到来数据冲突。即满足式(2):

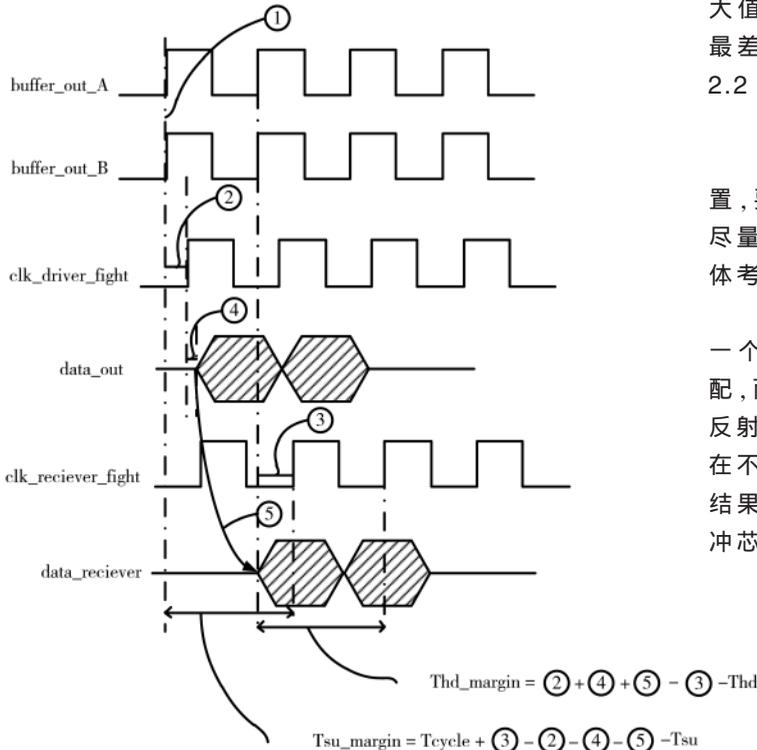


图5 建立及保持时序关系图

$$Tclk_driver_flight + Tdata_flight + Tdata_out = Tclk_receiver_flight + Tskew + Thd + Thd_margin \quad (2)$$

对系统而言,需要考虑系统时序关系最劣化情况的参数约束,式(1)与式(2)中包含系统电路板级参数(PCB走线和连接线缆)这部分参数相对稳定。

而芯片参数需要在计算建立时间时代入芯片的最

大值,计算保持时间时代入芯片的最小值^[7],进行系统最差情况的分析。

2.2 服务器主板侧 NCSI 接口设计

系统确定采用外部时钟模式时,要注意两点:

第一要注意外部时钟及缓冲电路在主板上摆放位置,要满足时钟信号到 BMC 和 NCSI 芯片的偏移(skew)尽量小,满足小于 NCSI 协议要求的 1.5 ns。因此需要总体考虑线缆长度和智能网卡上的走线长度。

第二是时钟缓冲芯片输出阻抗一般较低,需要增加一个串联匹配电阻,以实现和走线的 50 Ω 特征阻抗匹配,而且尽量靠近时钟缓冲芯片摆放,否则会由于信号反射造成最高电压超过要求。图 6 为串联匹配电阻摆放在不同位置时使用芯片 IBIS^[8]模型对时钟信号波形仿真结果图,其中有两个尖峰的波形为匹配电阻远离时钟缓冲芯片波形,没有尖峰的波形为串联匹配电阻靠近时钟缓冲芯片的波形。

此外,对于 TXD 和 TX_EN 信号,为了减小信号的震荡,需要在靠近 BMC 芯片端增加 33 Ω 左右的串联电阻。同时为了保证建立和保持时间等时序要求,要保证 TXD0、TXD1 和 TX_EN 三个信号走线尽量等长,长度差最好小于 0.2 英寸, RXD0、RXD1、CRS_DV 三个信号走线尽量等长,长度差最好小于 0.2 英寸。

2.3 NCSI 接口的线缆与连接器设计

为了保证整个 NCSI 接口走线一致性,线缆需要满足特征阻抗 50 Ω 的要求,一般需要采用同轴线或者类似同轴线的阻抗控制线。

图 7 为业界广泛使用的一种可控阻抗线缆的截面

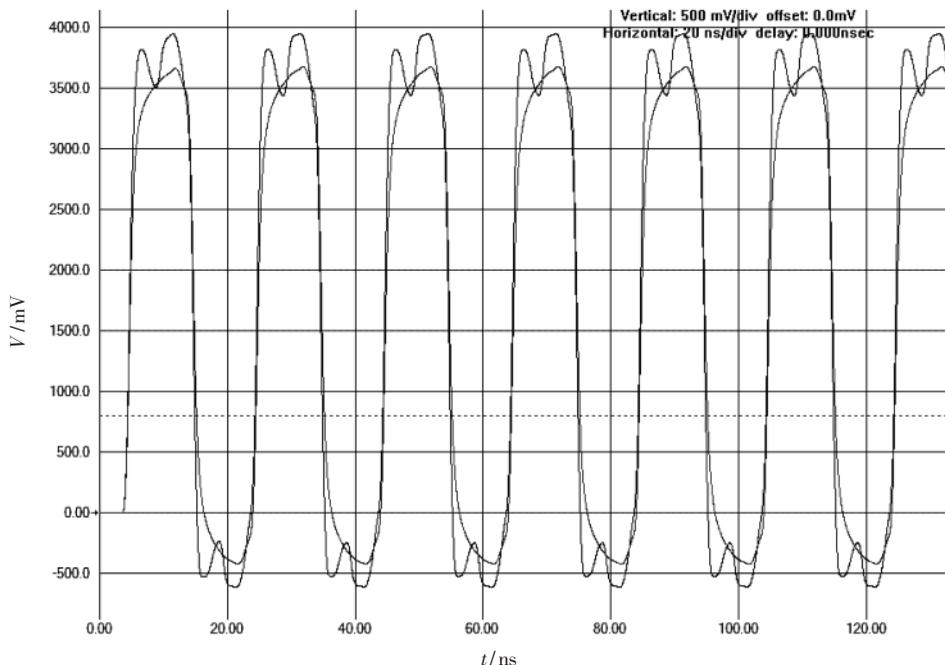


图6 时钟串联匹配电阻在不同位置时时钟波形仿真图

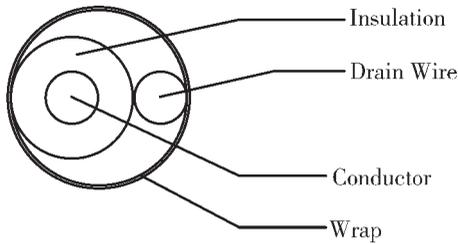


图7 线缆的截面图

图,这是一种类似同轴线的结构,阻抗控制 $50\ \Omega$,内导体 Conductor 连到连接器的相应信号管脚,外导体 Wrap 及 Drain 连接到地管脚,导体和 Drain 均为镀锡铜线,外包装 Wrap 材料均为两层麦拉,内层为含铝麦拉,起接地和屏蔽功能,外层为普通麦拉,起绝缘和保护作用。组装的主要工艺步骤包括剪线,焊接连接器,焊接完成使用万用表测试连通性,最后包一层绝缘保护膜等。

连接器设计的关注点主要在信号与地管脚的分配,由于连接器往往是一个阻抗不连续点,容易造成信号间的干扰和电磁辐射^[9],因此最好做到信号管脚和地管脚比例为1:1,而且信号与地管脚交替分布,在与线缆进行组装时,线缆内导体接信号管脚,Drain 线及导电 Wrap 层接相邻的地管脚,避免两个线缆的 Drain 及导电 Wrap 连到同一个地管脚。

2.4 智能网卡侧 NCSI 接口设计

图8是典型智能网卡的原理框图,主芯片包括 FPGA 芯片、网络控制器 NC 芯片及 10 颗 16 bit 的 DDR4^[10] 存储芯片,FPGA 与 NC 芯片之间通过 16 路传输速率为 8 Gb/s 的 PCIE 3.0^[11] 接口互联。FPGA 连接两路 72 位,传输速率为 2 400 Mb/s 共 16 GB 的 DDR4 存储器颗粒,并通过 16 路速率 8 Gb/s 的 PCIE 3.0 高速接口连接到金手指 (Gold Finger)^[12],再插到服务器上。网络控制器芯片 NC 通过两个各由 4 路 25 Gb/s^[13] 组成的 100 Gb/s 链路到 QSFP28^[14-16] 连接器,再经光模块连接到交换机。负责网络控制器管理的 NCSI 接口经过连接器和线缆连接到服务器主板上连接器,再经过主板上走线到基板管理控制器 BMC 芯片。

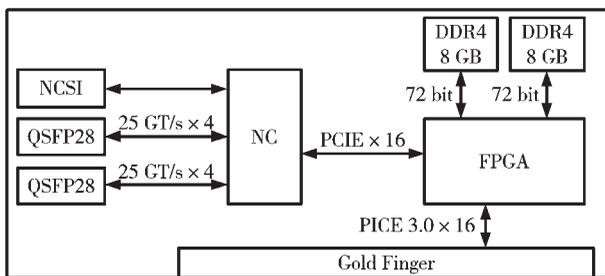


图8 智能网卡原理框图

如前面服务器侧设计所述,BMC 发出的 TXD 及 TX_EN 信号最大驱动能力可以支持 20 英寸走线,但是 RXD 及 CRS_DV 信号可以支持的走线长度取决于智能网卡上的 NCSI 芯片。根据 NCSI 标准,芯片厂家只要能

支持 12 英寸走线即为符合标准,而仅服务器主板上就达 10 英寸以上,线缆长度大多也在 10 英寸以上,再加上智能网卡上的走线,所以整个链路的长度大多都在 20 英寸以上,因此必须对所有信号增加缓冲芯片进行增强,才能保证整个接口的稳定可靠。NCSI 接口智能网卡侧的原理框图如图 9 所示。

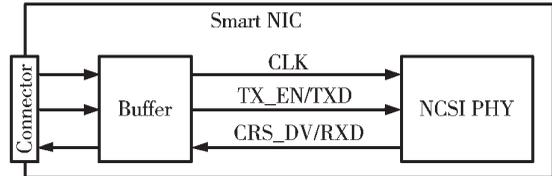


图9 智能网卡侧的 NCSI 接口原理框图

在图 9 中,缓冲芯片 Buffer 位于连接器和 NCSI 芯片之间,但是在实际是在印制电路板上,缓冲芯片摆放位置需要根据 NCSI 芯片的驱动能力和智能网卡上 NCSI 信号走线长度来确定,如果走线长度小于 12 英寸,此时在 NCSI 标准规定的负载长度内,只需将缓冲芯片尽量靠近连接器端放置即可,这也是大多数智能网卡都满足的情况。如果智能网卡上 NCSI 信号走线长度大于 12 英寸,需要进一步和 NCSI PHY 芯片厂家确认能支持的走线长度,缓冲芯片要放置在 NCSI PHY 芯片支持的走线长度范围内。也就是说缓冲芯片的摆放要同时满足服务器主板对 TXD 及 TX_EN 芯片的 20 英寸的要求,又要满足 NCSI PHY 芯片对 RXD 及 CRS_DV 的要求。

为了进一步降低成本,可以对每个信号在缓冲芯片两端跨接一个 $0\ \Omega$ 电阻,以图 10 中时钟信号 CLK 为例。这种方案在走线长度超过芯片驱动能力时,电阻不焊接,保留缓冲芯片,当总体走线长度都在芯片驱动能力范围内的情况,此时缓冲芯片就可以不焊接,保留电阻。

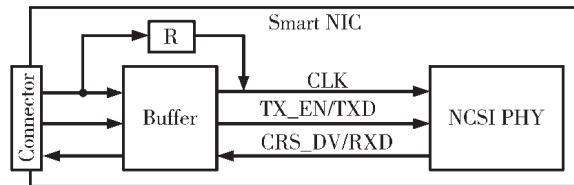


图10 缓冲芯片跨接电阻原理框图

但是这种方案在印制电路板走线时要注意,跨接电阻最好与缓冲电路背对背放置,如缓冲芯片放正面,电阻放反面,使连到跨接电阻的走线尽量短,否则即容易造成电磁干扰问题,也会对信号本身带来不利影响。

3 结论

本文从系统整体、服务器主板侧、线缆与连接器和智能网卡侧四个方面,详细阐述了整个 NCSI 接口设计要注意的主要问题,主要包括四方面:

(1) 在系统时,主要关注系统时钟模式的选择及时序

设计,满足系统对建立及保持时间的要求。

(2)在服务器主板设计时,时钟信号匹配电阻位置对信号质量影响很大,同时注意信号间等长问题。

(3)线缆和连接器部分,主要注意信号和地管脚的比例及线缆和连接器组装时线缆接地导体要就近焊接到地管脚,不允许两个线缆的接地导体焊接到同一个地管脚,否则容易造成信号间的干扰。

(4)智能网卡设计时,可以增加缓冲芯片以增加 NCSI PHY 芯片的驱动能力,同时注意缓冲芯片的摆放位置,对于总体走线较短的链路,可以使用跨接电阻,不焊接缓冲芯片进一步降低成本。

NCSI 接口时钟为 50 MHz,数据速率只有 100 Mb/s,但稍有不慎很容易出问题,一方面是因为服务器和智能网卡设计时,都不知道对方走线长度及芯片驱动能力;另一方面是该频段内,普通的电气工程师缺乏高速高频的知识,意识不到可能出问题的地方,而对于专门的高速信号完整性工程师而言,更多关注 1 Gb/s 以上高速差分信号,容易遗漏。常见的三维电磁场仿真软件在几十兆赫兹的相对低频段内主要通过线性外推得到结果,仿真误差较大,今后需要重视该频段内的仿真和测试拟合问题。此外,电路原理图设计正确只是第一步,印制电路板上元件的布局布线也会严重影响产品功能,一件成功的产品是电路设计、布局布线、散热、机械等多方面共同成果,尤其对于可靠性要求很高的企业级产品更是如此。

参考文献

[1] DMTF.Network Controller Sideband Interface(NC-SI) specification, version: 1.1.0[Z].2015.
 [2] Eric Bogatin.Signal and power integrity-simplified[M].Second Edition, PRENTICE HALL, 2010.
 [3] POZAR D M.微波工程(第三版)[M].张肇仪,周乐柱,吴德明,译.北京:电子工业出版社,2010.
 [4] ASPEED Technology Inc.AST2500 integrated remote management processor A2 datasheet, V1.31[Z].2016.
 [5] ASPEED Technology Inc.,AST2500/AST2520 design guide, V1.3[Z].2017.
 [6] Reduced Media Independent Interface(RMII)Consortium. RMII Specification, Rev.1.2[Z].1998.
 [7] Mellanox Technologies.ConnectX-5 Adapter IC Datasheet [DB/OL].[2020-09-24]www.mellanox.com.
 [8] IBIS Open Forum.I/O Buffer Information Specification, Version 6.0[Z].2013.
 [9] OTT H W.Electromagnetic compatibility engineering[M]. WILEY, John Wiley & Sons, 2009.
 [10] JEDEC.DDR4 SDRAM STANDARD, JESD79-4A[Z].2013.
 [11] PCI-SIG.PCI express base specification revision 3.1a[Z].2015.
 [12] PCI-SIG.PCI express card electromechanical specification revision 3.0[Z].2013.
 [13] IEEE.IEEE802.3, IEEE standard for Ethernet[S].2018.
 [14] SFF Committee.SFF-8661, Specification for QSFP+ 4X

(下转第 121 页)

(上接第 111 页)

究[D],南京:东南大学,2015.
 [2] 刘俊峰,胡仁俊,曾君.具备高增益的非隔离三端口变换器[J].电工技术学报,2019,34(3):529-538.
 [3] 熊泽成,尹强,任晓丹.高增益隔离 DC-DC 变换器的研究[J].电气传动,2017,47(12):39-43.
 [4] 王鹏.基于有源网络的高增益变换器[J].电气传动,2019,49(5):63-66.
 [5] 丁杰,赵世伟,文楚强.单开关低电压应力的高增益 Boost 变换器[J].电子技术应用,2019,45(12):125-128.
 [6] MOHSENI P,HOSSEINI S H,SABAHI M, et al.A new high step-up multi-input multi-output DC-DC converter[J]. IEEE Transactions on Industrial Electronics, 2019, 66(7): 5197-5208.
 [7] 高珊珊,王懿杰,徐殿国.一种高频高升压比改进型 Sepic 变换器[J].电工技术学报,2019,34(16):3366-3372.
 [8] 丁杰,赵世伟,尹华杰.新型软开关隔离型高增益 DC-DC 变换器[J].电工电能新技术,2020,39(6):18-25.
 [9] 刘明杰,陈艳峰,张波,等.一种混合开关电感和开关电容的高增益 DC-DC 变换器[J].电源学报,2020,18(4):85-93.
 [10] 王挺,汤雨.基于开关电感的有源网络升压变换器研究[J].电子技术应用,2014,29(12):73-79.

[11] 侯世英,冯斌,颜文森,等.基于有源开关电感网络和 DCM 单元组的 DC-DC 升压变换器[J].电机与控制学报,2017,21(7):20-28.
 [12] 郭瑞,韩冬,任佳炜.一种高增益耦合电感双管 Sepic 变换器[J].电机与控制学报,2020,24(7):130-138.
 [13] 李洪珠,曹人众,张垒,等.磁集成开关电感交错并联 Buck/Boost 变换器[J].电机与控制学报,2018,22(6):87-95.
 [14] HSIEH Y P, CHEN J F, LIANG T J. Novel high step-up DC-DC converter for distributed generation system[J]. IEEE Transactions on Industrial Electronics, 2013, 60(4): 1473-1482.
 [15] 李洪璠,李洪亮,李洪珠,等.磁集成开关电感高增益 Sepic 变换器[J].电力电子技术,2017,51(12):53-55.

(收稿日期:2020-09-25)

作者简介:

高双(1995-),男,硕士研究生,主要研究方向:直流微电网中的高增益 DC/DC 变换器设计。

赵世伟(1979-),男,副教授,主要研究方向:电机设计及其控制、直流微电网。

张龙威(1995-),男,硕士研究生,主要研究方向:分布式能源系统应用管理。



扫码下载电子文档

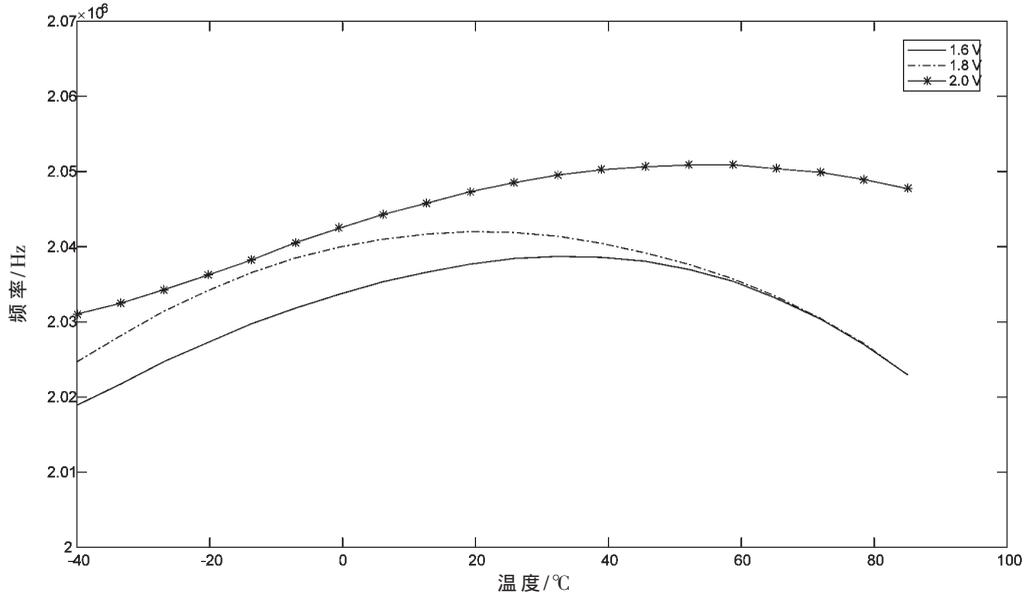


图8 不同供电下时钟频率随温度的变化曲线

表1 本文与其他文献测试结果对比

参数	工艺	时钟偏差/%	振荡频率随供电的变化	补偿所用的方法
文献[1]	SMIC0.18 μm CMOS	2.00@-40~80 °C	-	LDO,带隙基准,数字控制电路及算法校准
文献[2]	GF0.18 μm CMOS	2.97@-40~125 °C	-	带隙基准,LDO
文献[5]	HJTC0.18 μm CMOS	2.00@-30~70 °C	-	复杂的补偿电压产生及运算电路
本文	SMIC0.18 μm CMOS	0.95@-40~85 °C	28 Hz	基准电流源,超源跟随器

resonator reference oscillators[J].IEEE Journal of Solid-State Circuits, 2007, 42(6): 1425-1434.

- [4] 李景虎,刘梦飞,张兴宝.一种工艺和温度自校正的环形振荡器[J].微电子学,2017,47(6):64-67.
- [5] 虞晓凡,林平分.一种带温度和工艺补偿的片上时钟振荡器[J].微电子学与计算机,2009(1):22-26.
- [6] 李庆山,胡锦,李湘春.带温度与工艺补偿的新型振荡器[J].固体电子学研究与进展,2013(4):340-345.
- [7] BAKER R J.CMOS: circuit design, layout, and simulation[M]. Wiley-IEEE Press, 2005.
- [8] BELLAOUAR A, ELMASRY M I.Low-power digital VLSI design-circuits and systems[M].Kluwer Academic Publishers, 1995.
- [9] SANSEN W M C.Analog design essentials[J].Springer, 2007.
- [10] RABAEY J M, CHANDRAKASAN A P, BORIVOJE N.

(上接第116页)

Module, Rev 2.5[Z].2018.

- [15] SFF Committee.SFF-8665, Specification for QSFP+28Gb/s 4X Pluggable Transceiver Solution(QSFP28), Rev 1.9[Z]. 2015.
- [16] SFF Committee.SFF-8679,QSFP+ 4X hardware and electrical specification, Rev1.8[Z].2018.

(收稿日期:2020-09-24)

Digital integrated circuits: a design perspective[M].Prentice Hall, 2003.

(收稿日期:2020-10-21)

作者简介:

刘铭扬(1996-),女,硕士研究生,主要研究方向:数模混合集成电路设计。

王小松(19-),男,博士,副研究员,主要研究方向:模拟/射频/混合CMOS集成电路与模块、面向物联网应用的射频技术。

刘昱(1975-),男,博士,研究员,主要研究方向:高性能模拟/射频CMOS集成电路、硅基毫米波集成电路、超低功耗短距离无线通信系统、高精度低功耗传感电路、物联网相关技术及医疗电子系统集成技术。



扫码下载电子文档

作者简介:

解文军(1984-),男,硕士,高级工程师,主要研究方向:芯片-封装-系统信号完整性及电源完整性仿真。

李仁刚(1980-),男,硕士,芯片设计工程师,主要研究方向:集成电路设计技术和计算机体系结构。

韩大峰(1979-),男,硕士,主任工程师,主要研究方向:大数据、FPGA异构加速技术。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所