

# L 波段射频数字化宽带接收解调研究

唐博,李璐

(四川九州空管科技有限责任公司,四川 绵阳 621000)

**摘要:** L 波段电磁波频率在 1 GHz~2 GHz 范围内,普遍运用于雷达、通信和导航领域。利用射频数字化接收解调技术,设计了一种 L 波段宽频带、高动态射频数字化接收机。主要从射频采样、数字信道分离、接收机动态扩展以及高速信号解调方面,对 L 波段射频数字化通用接收机的设计进行了研究,并结合 FPGA 信号处理平台给出了数字通道分离和滤波解调的具体实现方案。

**关键词:** 射频数字化;带通采样;多相滤波;FPGA 信号解调

中图分类号: TN859

文献标识码: A

DOI:10.16157/j.issn.0258-7998.201004

中文引用格式: 唐博,李璐. L 波段射频数字化宽带接收解调研究[J]. 电子技术应用, 2021, 47(5): 131-134.

英文引用格式: Tang Bo, Li Lu. Research on L-band wideband RF digital receiver and demodulator[J]. Application of Electronic Technique, 2021, 47(5): 131-134.

## Research on L-band wideband RF digital receiver and demodulator

Tang Bo, Li Lu

(Sichuan Jiuzhou Aerocontrol Co., Ltd., Mianyang 621000, China)

**Abstract:** L-band radio frequency is in the range of 1 GHz~2 GHz, which is widely used in radar, communication and navigation. The main research content of this paper is to design an L-band broadband, high dynamic RF digital receiver using RF digital receiver demodulation technology. In this paper, the design of L-band RF digital receiver is research at RF sampling, digital channel separation, receiver dynamic expansion and high-speed signal demodulation, and give a specific implement scheme of digital channel separation, high-speed signal demodulation based on FPGA digital signal process platform.

**Key words:** RF digital sampling; band pass sampling; multi-phase filter; FPGA digital signal process

### 0 引言

射频数字化是指天线接收到的射频信号只经过限幅、滤波、放大,直接进入高速 AD 采样,极大减少了接收机的硬件复杂度、降低了模拟器件噪声、温度漂移及器件个体差异对接收信号的影响。射频数字化接收解调是指射频采样后的数据在数字领域进行解调,解调频率、方式用程序实现,修改灵活方便,是软件无线重要的解决方案<sup>[1]</sup>。

射频数字化接收解调的概念提出较早,但由于 AD 采样频率及后端信号处理器性能的限制,一直无法真正实现。随着集成电路的行业的发展,高速 AD 芯片的采样频率上升至数吉每秒,这为射频数字化采样提供了硬件支持;新一代的 FPGA 芯片集成了丰富的乘法器资源、逻辑资源、丰富的信号处理 IP,加之高度并行的处理方式,为射频采样后信号的高速解调提供高性能处理平台。

### 1 总体设计

#### 1.1 总体构架

射频信号进入数字化接收机后,首先进行限幅、滤

波、放大,对射频信号进行调理。调理后的信号经过多路抗混叠滤波器将射频信号分为多个子频带<sup>[2-3]</sup>。子频带划分应充分考虑以下几方面原则:

(1)分析 L 波段内各领域频带使用情况,避免有用频带处于滤波器边缘;

(2)频带划分不宜太多,但应充分结合带通采样理论,防止频带太宽造成采样后数据信噪比降低。

硬件构架如图 1 所示<sup>[4-5]</sup>。

由于高速 AD 器件量化位数一般在 12 位以下,单片 AD 进行射频采样无法满足某些运用领域接收大动态的要求。在射频领域,无法对射频信号进行对数压缩,为了提高数字化接收机动态范围,拟采用两片 AD 通道拼接的方式。

FPGA 完成数字领域射频信号的滤波解调,接收频率、带宽、解调方式由控制接口向 FPGA 发送控制数据实现。

#### 1.2 AD 采样频率选择

要实现宽带信号射频采样,首先得选择合适的 A/D

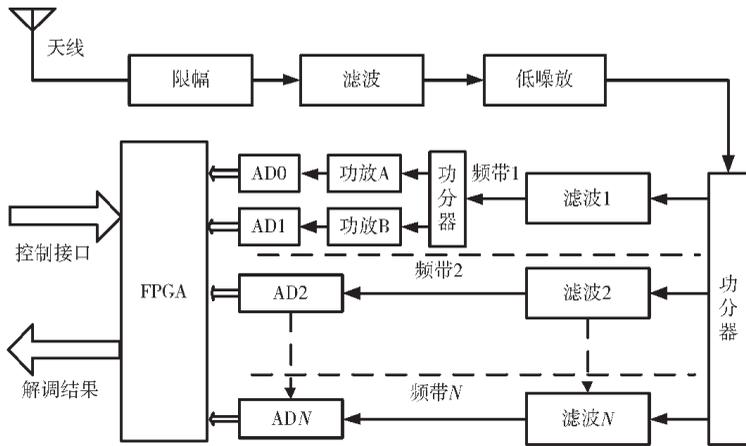


图1 射频数字化通用接收机硬件构架

采样频率,采样频率过低会引起信号频谱混叠,且采样后信号频谱需保留足够大的过渡带,减轻滤波器的设计难度<sup>[6]</sup>。带通信号的频谱如图2所示。

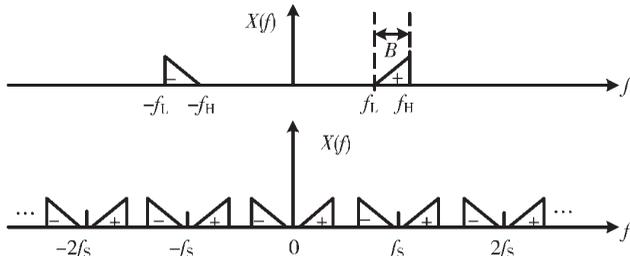


图2 带通采样信号频谱变换原理图

根据带通采样定理:一个频带限制在 $(f_L, f_H)$ 的频率信号 $X(t)$ ,用采样率 $f_s$ 进行带通采样,得到的频谱为以 $f_s$ 的整数倍对原始信号进行频谱搬移的结果<sup>[7]</sup>,当 $f_s$ 满足式(1),可以使得采样后搬移的信号频谱不产生混叠<sup>[8]</sup>。

$$\frac{2f_H}{m} \leq f_s \leq \frac{2f_L}{m-1} \quad (1)$$

其中,  $m=2, 3, \dots, f_H/B; B=f_H-f_L$ 。

$f_s$ 的取值考虑以下因素<sup>[9]</sup>:

(1) $f_s$ 越高,量化噪声会平均分布至更宽的频带,相对降低了基底噪声,在尽可能情况下, $f_s$ 越高越好;

(2)为了便于FPGA内部解调过程中的滤波、混频,多相抽取后的单个滤波器的数据率应小于FPGA最大处理频率;

(3)为了保证解调结果的正确性、解调后脉冲宽度的准确性,采样后目标频率在 $0 \sim f_s$ 频带内的搬移结果应大于码元速率的频率两倍。

且 $f_s$ 应选择满足条件的 $f_s$ 范围偏大的值,避免选择边界值,以免造成滤波器过渡带过窄,增加滤波器设计难度。

### 1.3 AD动态扩展

单片射频采样AD采样位数一般在12位以内,无法满足雷达运用领域对接收机高动态的要求。为了提高接

收动态,射频前端功分为两路后,信道被分为A、B两路并拥有不同增益,增益差设计为36dB。用双路AD实现双通道大、小信号并行采集。两路采样数据在FPGA内完成拼接,去除冗余信息后,合并为一路信号参与后续处理,如图3所示。

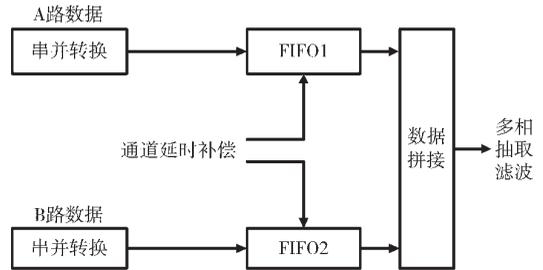


图3 双路AD采集数据FPGA中拼接输出处理流程

根据两路采集通道增益差,FPGA对接收数据实时判断信号幅度,以正确选择其中一路A/D数据进行解调。以AD量化位数为12位为例,数据切换方法如下:

$$SDATA = \begin{cases} \{6'b000000, AD1\} & AD1 < (4\ 095 - X) \\ \{AD2, 6'b000000\} & AD1 \geq (4\ 095 - X) \end{cases} \quad (2)$$

其中SDATA为通道选择后的AD采样数据,数据位数为18位。 $X$ 为设定门限值。当AD1采样值小于 $(4\ 095 - X)$ 时,选择AD1的采样数据用于后端处理;当AD1采样值大于等于 $(4\ 095 - X)$ 时,由于两通道增益差为36dB,因此采用AD2采样数据左移6位用作后端处理。

其中,A路数据用作小信号接收,B路数据用作大信号接收。通过通道延时补偿,可以控制通道相位的一致性,补偿后的AD理论接收动态由原来的72dB增加至108dB,扩展了接收机动态。

## 2 FPGA软件设计

### 2.1 FPGA软件总体架构

FPGA软件总体架构如图4所示,主要分为AD接口、信道分离、信号解调三个部分。AD接口主要完成对AD芯片的控制、AD数据的接收、通道补偿、时钟补偿、通道拼接;信道分离采用多相抽取带通滤波的方式,提取有用频率信号;信号解调主要完成通用正交解调算法的实现,包括正交混频、低通滤波、抽样判决、码反变换、相位输出。

信道分离个数及信道划分方式由FPGA接口控制命令指定。通常情况下接收机同时只解调一个窄频段信号,因此信道分离可以只分离出一个信道,信号解调也只处理一个信道。

### 2.2 信道分离

虽然带通采样可以将采样频率降低,但对于一个宽带信号,采样频率降低会造成采样结果信噪比降低<sup>[10]</sup>。因此必须在尽可能的情况下,提高采样频率。

射频AD的采样频率能够到数吉每秒,如此高速的数字信号,无法采用常规的数字滤波器或者数字混频进

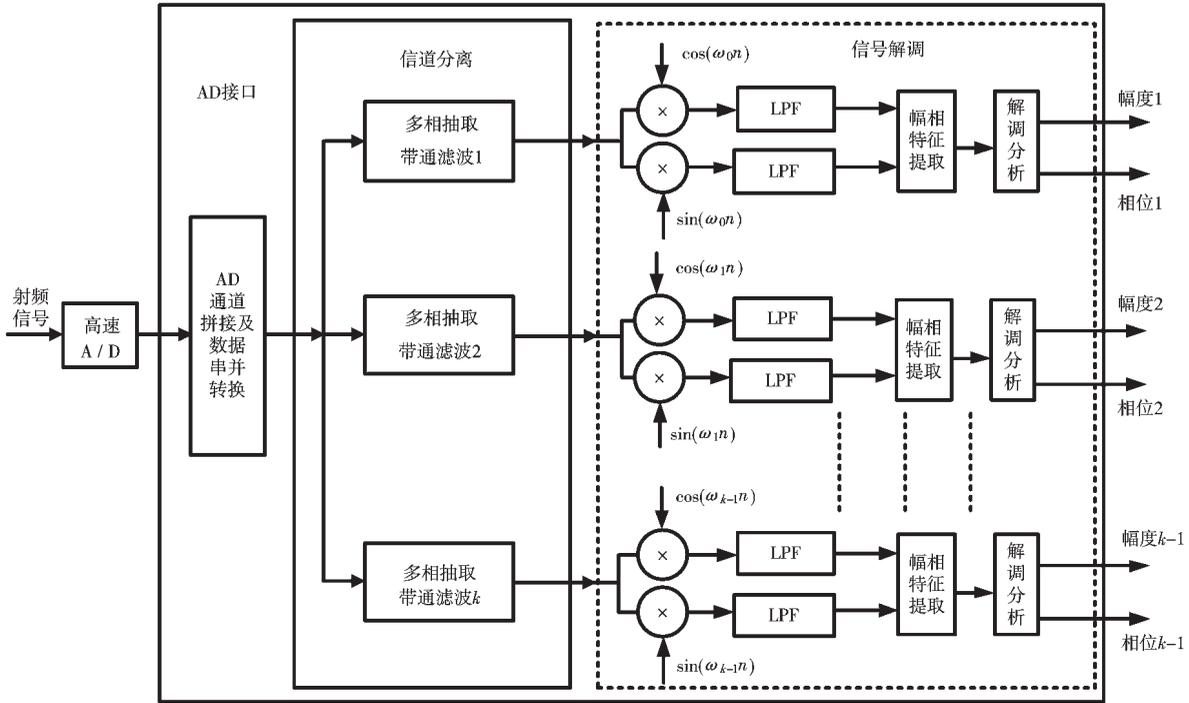


图4 FPGA 软件总体架构

行滤波和下变频处理。由于采样信号是一个带通信号，若单独对采样信号抽取，降低数据率后再进行滤波操作，会造成信号频谱混叠。

多相滤波理论能很好地解决高速信号滤波降速及信道分离的难题<sup>[11-12]</sup>。由于新一代的FPGA芯片具有丰富的乘法器资源，结合FPGA并行的处理方式，使得射频采样信号的多相滤波能够在FPGA内部轻松实现。多相滤波结构如图5所示<sup>[13]</sup>。

多相滤波是将通用数字滤波器的传输函数 $H(z)$ 分解为多个不同相位的组，不同相位组对应时间上延迟后的抽取数据。由于抽取后的数据率得到降低，单个滤波器的计算速度也随之降低，最终将对各滤波器输出结果累加，得到低速率滤波结果。

由于射频信号经过多相滤波器要实现信道分离的

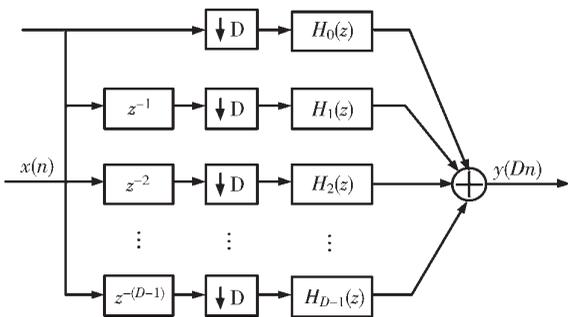


图5 多相滤波结构

作用，且滤波器需具有线性相位，因此建议采用FIR滤波器。

由于抽取后的数据率一般也在100 M/s以上，因此FIR滤波器需采用流水线并行计算的结构，如图6所示<sup>[13]</sup>。

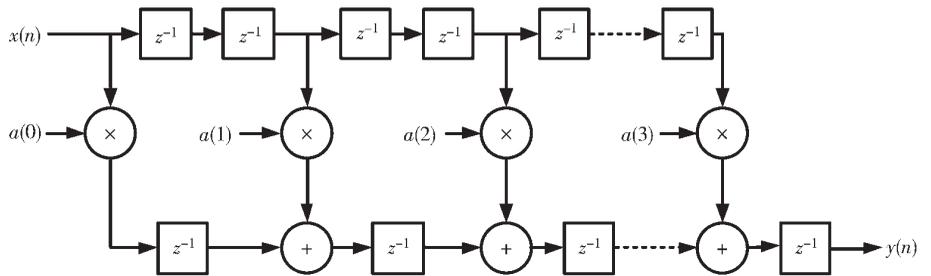


图6 流水线并行FIR滤波器

图6中的累加计算可与乘法运算一道采用集成乘法与累加的IP核实现，XILINX新一代的FPGA芯片集成的DSP48乘法器自带累加功能，工作时钟可达400 MHz以上，如图7所示<sup>[14]</sup>。

### 2.3 信号解调

当下级主控设备指定采样频率和解调频率后，FPGA内频点搬移模块开始计算解调频点信号通过带通采样后的搬移频点(0~ $f_s/2$ 内)。计算得到的频率信息传送给数字DDC模块，合成两路相位相差90°的本振信号。该本振信号通过与采样得到的射频数字信号混频，产生两路正交的宽带信号，目标解调频点信息被搬移到基带，如图8所示<sup>[15]</sup>。

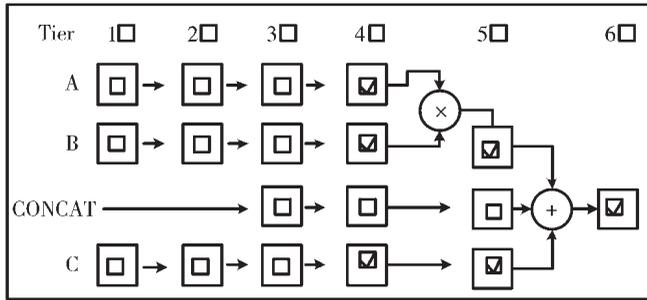


图7 DSP48乘法累加器流水线处理示意

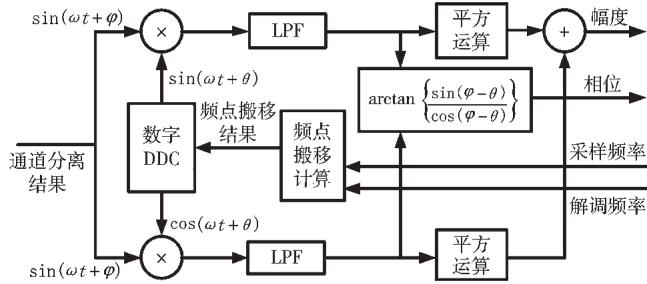


图8 单信道信号解调原理框图

3 结论

L波段宽带射频数字化接收解调极大提高了接收机的通用性和可靠性,并可获取更加准确的数字相位信息。通过改变FPGA解调软件配置,可轻松改变频带内各频点的接收和解调,真正实现了L波段软件无线电设计。由于L波段射频数字化接收机完全以软件化方式修改接收频点和解调方式,极大降低接收机的开发成本和研制周期,具有较强的实用意义。需要注意的是,增加接收机前端接收带宽会降低系统的解调灵敏度,因此在工程开发时应结合实际可能的应用范围,减少滤波器接收频率带宽,以提高接收机的性能。

参考文献

[1] 栗欣,许希斌.软件无线电原理与技术[M].北京:人民邮电出版社,2010.

[2] 张朋强,雷光.基于射频数字化技术的航天测控体系架

[11] 崔勇,吴明,宋晓,等.小型低频发射天线的研究进展[J].物理学报,2020,69(20):171-183.

[12] 张多佳.超低频率机械天线机理及调制方法研究[D].西安:西安理工大学,2019.

[13] 范进良,唐良雨,朱伟敏.5Hz-1000Hz 甚低频宽带发声源[J].声学技术,2013,32(S1):287-288.

[14] 王增和,丁卫平,李平辉.电磁场与波[M].北京:机械工业出版社,2007.

[15] ZHANG J S, SONG Z G, ZHANG D J, et al. Amplitude modulation method of the mechanically rotating-based antenna[J]. Electronics Letters, 2020, 56(7): 321-323.

构研究[J].航天控制,2019,37(5):56-61.

[3] 龚仕仙,魏玺章,黎湘.宽带数字信道化接收机综述[J].电子学报,2013,41(5):949-959.

[4] 吴兵,夏浩森,李武建.一种超宽带等效采样接收机的设计与实现[J].雷达科学与技术,2017,15(4):443-448.

[5] 鲁长来,倪文飞,夏丹.基于软件无线电的射频直采数字接收机研究[J].火控雷达技术,2018,47(3):51-55.

[6] 伍小保,王冰.米波雷达射频数字化接收机抗干扰设计[J].雷达科学与技术,2015,13(2):214-218.

[7] 方艳梅,刘永清.数字信号处理——原理、算法与应用[M].北京:电子工业出版社,2014.

[8] 樊昌信,曹丽娜.通信原理[M].北京:国防工业出版社,2013.

[9] 刘明鑫,尹亮,汪学刚,等.基于射频采样宽带数字阵列雷达波束形成[J].雷达科学与技术,2020,18(4):394-398.

[10] 董晖,姜秋喜,毕大平.基于带通采样的数字下变频技术[J].电子对抗技术,2004,19(4):35-38.

[11] 陈伟宁,秦士.多相滤波器的原理及其实现[J].清华大学学报,2001,41(1):9-11.

[12] 陈俊,汪学刚.高效实时的抽取滤波器的FPGA实现[J].电子科技大学学报,2005,34(6):755-758.

[13] LogiCORE IP FIR Compiler v7.1.Xilinx datasheet[J], 2014.4.

[14] LogiCORE IP DSP48 Macro v2.1.Xilinx datasheet[J], 2011.3.

[15] 杜勇.数字调制解调技术的MATLAB与FPGA实现[M].北京:电子工业出版社,2014.

(收稿日期:2020-10-13)

作者简介:

唐博(1987-),通信作者,男,硕士,工程师,主要研究方向:二次雷达信号处理、通信导航设备关键算法、二次雷达系统和逻辑设计,E-mail:woshi.tangbo@163.com。

李璐(1983-),男,本科,高级工程师,主要研究方向:二次雷达系统设计和软件设计。



扫码下载电子文档

(收稿日期:2020-11-11)

作者简介:

宋忠国(1982-),男,博士,副教授,主要研究方向:卫星导航技术、阵列抗干扰技术、地磁匹配导航及高精度地磁定轨等。

崔浩歌(1996-),男,硕士研究生,主要研究方向:超低频机械天线发射系统及信号调制方法。

席晓莉(1967-),通信作者,女,博士,教授,主要研究方向:电波传播与天线设计、电磁场数值计算、电磁超材料及电磁参数诊断技术、无线导航与抗干扰技术、地磁信号探测及干扰抑制技术、地磁匹配导航与定轨技术等,E-mail:xixiaoli@xaut.edu.cn。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所