

基于 HVCmos 工艺的 H 桥驱动电路版图设计

李 芳, 焦继业, 马彩彩

(西安邮电大学 电子工程学院, 陕西 西安 710121)

摘要: 介绍了基于 HVCmos 工艺的低成本、高集成度、强驱动性能功率集成电路(Power IC, PIC)H 桥的设计实现。建立的金属互连线评估模型可在设计早期对 H 桥物理版图方案进行优差性判断, 不依赖设计后仿真, 从而提高设计效率。H 桥不同互连线设计方案的比较结果表明, 多插指阵列器件互连线(M2 及以上层金属)与器件本体的金属层 M1 垂直、梯形状互连结构, 能够提高互连线沿电流流向的有效长宽比, 减小寄生电阻。

关键词: HVCmos; H 桥; 高集成度; 低导通内阻

中图分类号: TN492

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.201078

中文引用格式: 李芳, 焦继业, 马彩彩. 基于 HVCmos 工艺的 H 桥驱动电路版图设计[J]. 电子技术应用, 2021, 47(6): 35-39.

英文引用格式: Li Fang, Jiao Jiye, Ma Caicai. H-bridge driver circuit layout design based on HVCmos technology[J]. Application of Electronic Technique, 2021, 47(6): 35-39.

H-bridge driver circuit layout design based on HVCmos technology

Li Fang, Jiao Jiye, Ma Caicai

(College of Electronic Engineer, Xi'an University of Posts and Telecommunications, Xi'an 710000, China)

Abstract: The design and realization of a H-bridge which is power integrated circuit(Power IC, PIC) and based on the HVCmos process with low cost, high integration and strong driving performance is introduced. The established metal interconnection evaluation model can judge the H-bridge physical layout in the early stage of the design and does not rely on post-design simulation, thereby improving design efficiency. The comparison result of different interconnection design of H-bridge shows that the interconnection of multi-finger array device(M2 layer and above metal) is perpendicular to the metal layer M1 of the device and ladder-shaped structure can improve the effective aspect ratio of the interconnection along the current flow direction, thus reduce parasitic resistance.

Key words: HVCmos; H-bridge; high integration; low on-resistance

0 引言

CMOS 工艺具有低功耗、速度快、抗干扰能力强、高集成度、制程简单、成本低等优点, 已成为低压模拟和数模混合集成电路的主流工艺技术^[1]。为满足高压驱动应用领域的设计需求, 在低压 LVCmos 工艺基础上发展出高压 HVCmos 工艺。其相比高压 BCD(Bipolar-CMOS-DMOS)工艺, 可省去外加生长外延、埋层, 且不必考虑不同型器件的兼容与工艺光刻版重复利用^[2-4]。HVCmos 工艺的出现为低成本的 H 桥驱动设计提供一条可行的技术途径。

在驱动应用设计中, 器件导通高阻直接影响转换效率与驱动能力。因此, 通常要求器件源漏导通内阻在毫欧级。实际上, 器件源漏导通内阻既包括器件自身导通内阻, 也有物理版图设计引入的寄生电阻(不同的封装形式也会造成不同的引线电阻)。H 桥的强驱动性能依赖于优良的后端物理版图设计。

物理版图是电路设计与制造的桥梁, 影响设计性能与集成度^[5]。本文从物理版图角度对 H 桥驱动进行了优化设计, 旨在满足 H 桥驱动的高性价比应用需求。

1 H 桥驱动电路设计

1.1 H 桥基本构成

H 桥驱动电路结构形如字母“H”。根据器件源极电位不同可分为低端驱动和高端驱动。低端驱动器件源极接地, 通常用 NMOS 器件实现。当高端也采用 NMOS 器件时, 其源极为 H 桥输出。为保证器件的导通状态, 需采取额外的电荷泵、自举技术提高栅极电压^[6]。但在高端采用 PMOS 器件时, 其源极电位为电源电压, 栅极有低电压控制信号即可导通。为实现 H 桥驱动设计的低复杂度, 本文选择 P-N 型 H 桥结构^[7], 如图 1 所示。

1.2 器件尺寸及导通 R_{ON}

根据持续驱动电流 @ 导通内阻(1 A@500 mΩ)设计指标, 结合器件特征尺寸 L , 采用式(1)的典型方法确定

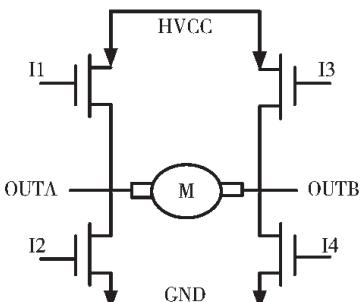


图 1 P-NMOS H 桥结构

器件尺寸^[8]。

$$R_{ON} = \frac{1}{k \cdot (W/L) \cdot (V_{GS} - V_T)} \quad (1)$$

器件导通内阻 R_{ON} 与栅源控制电压 V_{GS} 成负相关、工作温度 T 成正相关。在电路设计阶段需要分析器件导通内阻 R_{ON} 极大情况。在低栅源信号 V_{GS} @ 高工作温度 T 条件(5 V@80℃)下模拟输出电流与导通内阻, 最终确定 H 桥器件尺寸及相应导通内阻 R_{ON} 如表 1 所示。

表 1 器件物理尺寸及导通内阻 R_{ON}

	HVPMOS	HVNOMOS
$W/\mu\text{m}$	22 400	6 400
$L/\mu\text{m}$	0.7	1
$R_{ON}/\text{m}\Omega$	236	142

2 H 桥驱动版图设计方案

为实现 H 桥安培级驱动能力, 桥臂器件形状设计特殊(大的 W/L)。物理实现时将大尺寸器件拆分为多个小尺寸并联的插指结构^[9], 并在单插指器件宽度 W_F 小于 100 μm ($W_F=80 \mu\text{m}$) 条件下研究不同的源漏极互连线。

H 桥由完全相同的两半桥电路组成(I1/I2, I3/I4), 因此可简化为对单侧如 I1/I2 组成的半桥进行分析。以下为对不同源漏极互连线结构图示的两点说明:

(1) 所选工艺金属层为 4 层 M1~M4。为减小物理面积, 互连线集中于器件阵列有源区。金属 M1 仅通过接触孔作为各器件源漏极有源区连接, 不作为并联器件阵列间互连线。图示主要展现并联器件阵列互连线 M2~M4。

(2) 除去金属互连线, 金属层间的接触孔也伴有寄生电阻。相邻两层金属层间的并联接触孔能够有效降低寄生电阻^[10]。为便于直观分析, 不同设计方案仅图示部分插指器件及其上分布的部分层间接触孔。

从形状和相对位置对互连线设计结构进行划分, 如表 2 所示。常规矩形互连结构简单便于修改。考虑到实际电流在流动过程发生变化, 设计梯形互连结构有利于消除互连线衬偏。根据器件自有连线 M1 与底层互连 M2 相对位置的差异分为重叠与垂直结构。图 2~图 6 为不同互连线设计简化图示。

表 2 源漏极互连线的组合设计方案

M3~M4 矩形状互连线		M3~M4 梯形状互连线
M1~M2 重叠	A	C
M1~M2 垂直	B	D



图 2 金属图层 M2~M4

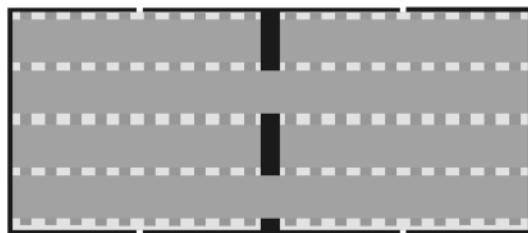


图 3 半桥 I1/I2 互连线设计方案 A

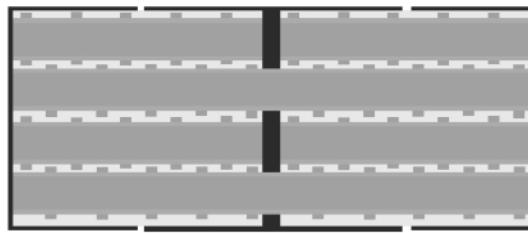


图 4 半桥 I1/I2 互连线设计方案 B

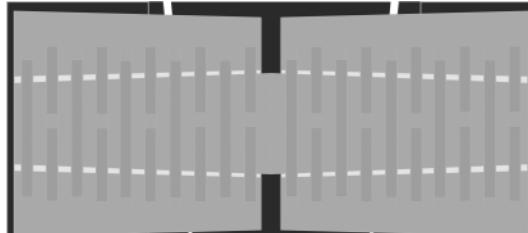


图 5 半桥 I1/I2 互连线设计方案 C

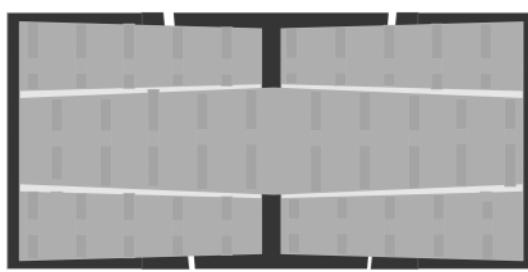


图 6 半桥 I1/I2 互连线设计方案 D

3 H 桥导通内阻验证

3.1 H 桥导通内阻评估

在物理设计中金属互连线均会引入寄生电阻^[11]。通过构建简单、快速有效的方法对物理设计做出评估可提高设计效率。

寄生评估过程可采取分层分段步骤: 先分离多层互连线以判断层间连接关系; 其次确定单层寄生电阻; 最后依据层间连接关系将各单层的寄生电阻进行串并联。

因此,单层寄生电阻的精确评估很关键。

类矩形状的互连线形如设计 A、B,其形状规整,有效长宽特征明显。但在实际设计中,综合物理因素限制,互连线会有非规整形状,如设计 C、D 互连线为梯形。相关文献对此类非常规互连线有效长宽比进行了研究^[12]。确定电流流向后的两种互连线结构有效长宽比如图 7 所示。

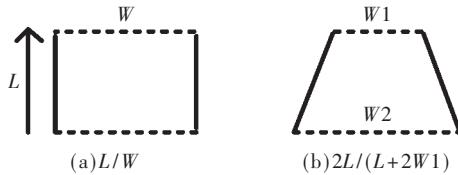


图 7 金属互连线的有效长宽比

在同种设计方案中高低端驱动 I1/I2 布线(插指阵列右为 I1,左为 I2)相同。评估不同设计方案产生的源漏极导通电阻差异可简化为对半桥高端驱动 I1 或低端驱动 I2 进行分析。互连线结构层间接触孔数目都是最大化,对器件实际导通电阻影响甚微,不会造成互连线设计之间的明显差异。为简化模型,在评估计算中忽略。

低端驱动 I2(HVN MOS)插指阵列源漏导通内阻模型建立的具体内容:由器件导通内阻 R_{ON} 和各单层互连线寄生电阻构建树状电阻网络。图 8 为互连线结构等效电阻网络。在不同设计方案中,源漏极互连线 M4 各占器件阵列的一半面积,整体上是大块的金属。源漏极互连线 M2~M3 会覆盖于整个器件阵列。为保证阵列器件互连线一致性以方便分析,电阻网络模型不包含互连线 M4 寄生电阻。对于矩形互连线设计 A、B 中,源漏极高层互连线分别为两条并联,在相应的电阻网络中标注此部分横向电阻为 $R_{nd}/2$ 、 $R_{ns}/2$,而且各小段寄生电阻为定量。对于梯形状设计 C、D,金属互连线的各小段寄生电阻为变量。

基于互连线插指阵列的高度对称性和重复模式对相应的等效电阻网络简化分析。在图 8 中,HVN MOS 每一种互连线树状电阻网络均可以等效为四插指结构单位组(虚线框所示)的若干等效电阻并联。结合各金属互连层方块阻值 $R_{sq}(0.09 \Omega)$ 及互连线有效长宽(L/W),就可确定互连线源漏极寄生电阻 R_{ns} 和 R_{nd} ,结果如表 3 和表 4 所示。

前仿真低端 HVN MOS($W/L=6400/1$)在 $V_{GS}@I_{DS}(5 \text{ V}@1 \text{ A})$ 导通内阻 R_{ON} 为 $142 \text{ m}\Omega$,故单插指器件($W_f/L=80/1$)在 $5 \text{ V}@12.5 \text{ mA}$ 的导通内阻 R_{ON} 为 11.36Ω 。将单插指

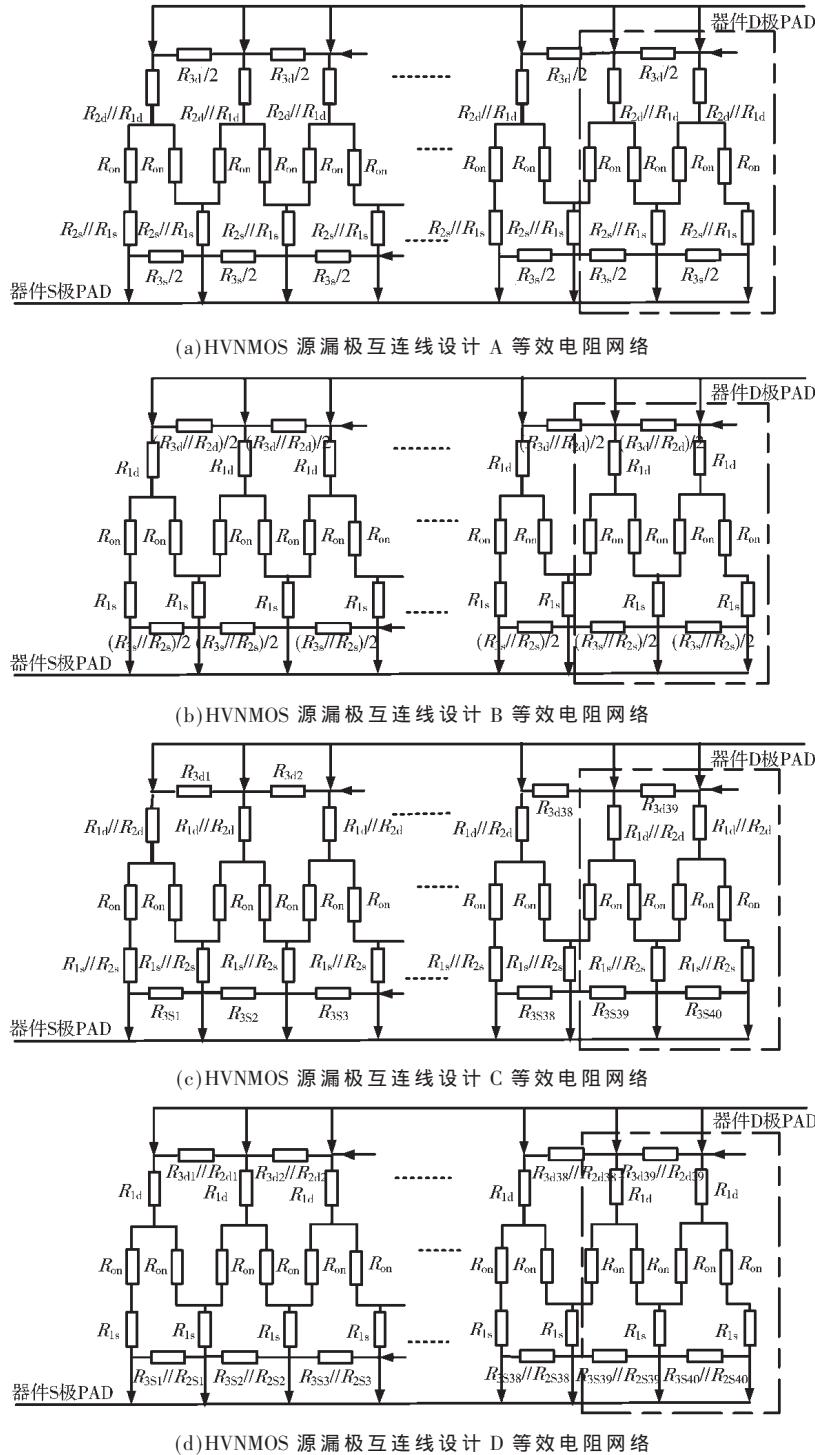


图 8 HVN MOS 源漏极互连线设计等效电阻网络

器件的导通内阻和不同互连线寄生电阻代入等效电阻网络模型,采用串并联、三角形-星形电阻等效转化技术可计算器件实际导通内阻。

3.2 H 桥导通内阻仿真

为验证评估方案的正确性,对四种设计方案进行具体设计,如图 9~图 12 所示,并保持与电路设计相同仿真条件 $V_{GS}@I_{DS}(5 \text{ V}@1 \text{ A})$ 进行带寄生参数仿真。表 5 为

表 3 HVN MOS 四插指漏极互连线结构的 R_D

设计	漏极(D)金属层			漏极(D)金属层	
	有效长宽(W/L : μm)		M3	R_{1d}	R_{2d}
	M1	M2	M3	R_{1d}	R_{2d}
A	80/2	80/2	20/3.2	2.25	2.25
B	80/2	20/3.2	20/3.2	2.25	14.4
C	80/2	80/2	64.2/12.8	2.25	2.25
D	80/2	64.2/12.8	64.2/12.8	2.25	17.9
					17.9

表 4 HVN MOS 四插指源极互连线结构的 R_S

设计	源极(S)金属层			源极(S)金属层	
	有效长宽(W/L : μm)		M3	R_{1d}	R_{2d}
	M1	M2	M3	R_{1d}	R_{2d}
A	80/2	80/2	20/3.2	2.25	2.25
B	80/2	20/3.2	20/3.2	2.25	14.4
C	80/2	80/2	23.2/12.8	2.25	49.7
			25.2/12.8	2.25	47.6
D	80/2	23.2/12.8	23.2/12.8	2.25	49.7
		25.2/12.8	25.2/12.8	47.6	47.6

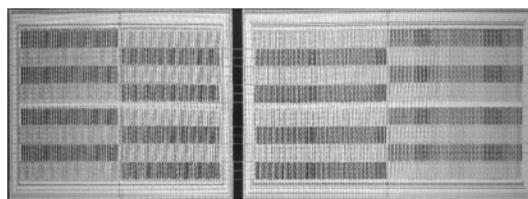


图 9 半桥 I1/I2 互连线设计方案 A

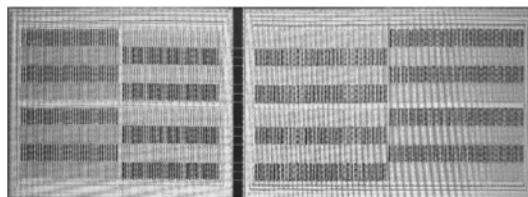


图 10 半桥 I1/I2 互连线设计方案 B

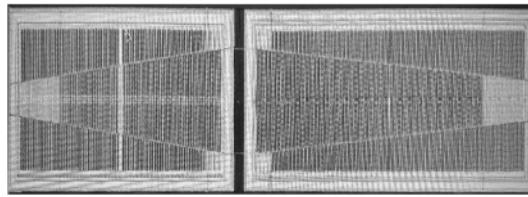


图 11 半桥 I1/I2 互连线设计方案 C

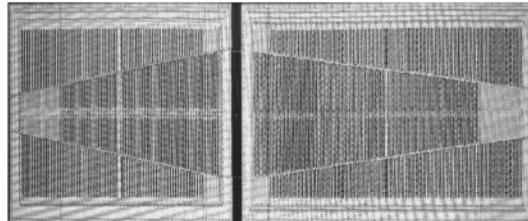


图 12 半桥 I1/I2 互连线设计方案 D

理论评估计算与仿真对四种设计方案导通内阻差异性判断。两种方法结论一致,金属 M2 与 M1 垂直、顶层金

表 5 不同互连线设计结构的 R_{ON}

参数	设计			
	A	B	C	D
HVN MOS 四插指 R_{ON} 评估/ Ω	3.12	2.99	3.08	2.85
HVN MOS 八十插指 R_{ON} 后仿真/ $\text{m}\Omega$	189	169	184	165
H 桥 R_{ON} 后仿真/ $\text{m}\Omega$	537	489	501	482
评估误差率	17.5%	11.5%	16.3%	13.6%
方案优差性	最差	较差	较优	最优

属 M3 梯形状的互连结构能够提高互连线沿电流流向的有效长宽比,降低寄生电阻。

在表 6 中列举了器件并联阵列互连线 R_{ON} 评估方法对比。本文建立的树状电阻评估方法虽与相关文献采取的有限元 FEM 法相比误差率存在一定的差距,但可实现在设计前期对不同互连线结构进行差异性分析,不必依赖设计完成的后仿真优化。基于电流流向对不同形状互连线有效长宽比的识别提高了评估方法的合理性,而且对设计方案优差性判断与仿真结论一致,说明了评估方法的可行性。

表 6 器件并联阵列互连线 R_{ON} 评估方法对比

	文献[13]	文献[14]	文献[15]	本文
评估方法	FEM	FEM	FEM	电阻网络
评估时段	设计后期	设计后期	设计后期	设计前期
对设计周期影响	无	无	无	缩短
最大误差率	3.57%	3.53%	2.58%	17.5%

3.3 H 桥导通内阻测试

为提高集成度、增强通用性,将 H 桥驱动及其栅极控制逻辑电路集成于 SoC 系统。根据设计前期对不同互连线设计评估和仿真结果,将较优设计 B、D 集成于 SoC 系统进行 COB 封装流片测试验证。图 13 为集成有设计 B、D 相应的 SEM 图。

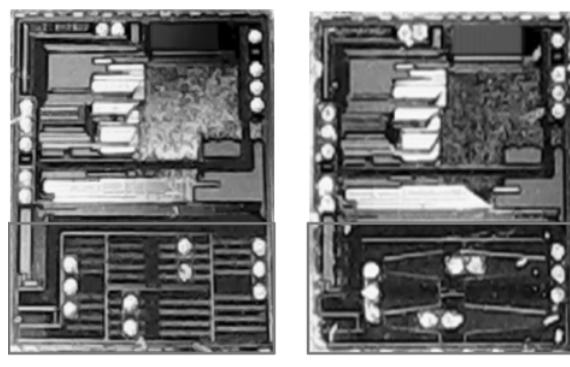


图 13 互连线设计

H 桥的导通内阻为毫欧级,对于测试方法中引入寄生电阻误差异常敏感^[16]。本文在测试方法选取直接欧姆测量。直接测量导通器件源漏极电压,结合回路中电流

即可得到器件导通内阻。为保证测量结果的准确性,对每个器件导通内阻进行多次测量取平均,测试条件保持与仿真条件一致。图 14 为上桥臂 HVPMOS 的测试方法,对于 HVNMOS 方法类似。最终完成实测结果如表 7 所示。

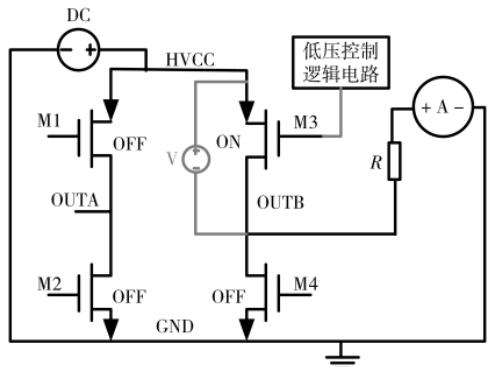


图 14 HVPMOS 导通内阻测试原理

表 7 集成于 SoC 芯片的 H 桥导通内阻测试结果

参数	B	D
上桥臂 M1/M3/mΩ	400/389	383/380
下桥臂 M4/M2/mΩ	273/269	269/251
H 桥导通内阻/mΩ	673/658	652/631

测试结果与设计前期的评估、仿真结论一致,互连线设计 D 相比设计 B 产生更小的寄生电阻,H 桥的驱动性能更强。但在相同的设计中,测试、仿真与预期指标存在差距。差距主要来源于芯片的焊盘接口和测试引脚之间的引线寄生电阻。后续可以选择集成封装进行进一步验证。

4 结论

本文基于制程简单、灵活易兼容的 HVCMOS 工艺,实现 H 桥驱动优化设计。通过优化器件并联阵列源漏极互连线,降低非理想寄生电阻,提高 H 桥驱动性能。同时,建立的互连线评估模型可在设计前对物理版图设计方案进行优差性分析,不必依赖设计后仿真,从而提高设计效率,保证物理版图的高效高质完成。

值得注意的是,物理寄生参数既取决于互连线设计结构,也与工艺金属层方块电阻条件相关。本文在特定工艺下研究了不同互连线设计结构。基于其他工艺条件下互连结构的寄生结论可能存在差异,但本文的研究方法仍具有一定参考价值。

参考文献

- [1] 温德通.集成电路制造工艺与工程应用[M].北京:机械工业出版社,2019.
- [2] 孙伟峰,张波,肖胜安,等.功率半导体器件与功率集成技术的发展现状及展望[J].中国科学:信息科学,2012,42(12):1616-1630.
- [3] 马旭,邵志标,姚剑锋,等.高压 BCDMOS 集成电路的工艺集成[J].微电子学与计算机,2011,28(11):72-75.
- [4] 刘汝刚,刘佳,王树振.BCD 智能功率集成技术简述[J].微处理机,2012,33(1):20-22.

[5] 成玉.集成电路版图设计技巧[J].电子技术与软件工程,2018(22):78-79.

[6] 余海生,徐婉静.高端 MOS 管栅极驱动技术研究[J].微电子学,2016,46(3):393-397.

[7] 叶升.一种小功率马达用高压栅驱动电路的分析与设计[D].成都:电子科技大学,2012.

[8] BELLINI B, ARNAUD A, REZK S, et al. An integrated H-bridge circuit in a HV technology[C]. 2016 IEEE 7th Latin American Symposium on Circuits & Systems(LASCAS), IEEE, 2016.

[9] GUO J C, LO Y Z. A new method for accurate extraction of source resistance and effective mobility in nanoscale multifinger nMOSFETs[J]. IEEE Transactions on Electron Devices, 2015, 62(9): 3004-3011.

[10] LO T L, EMMANUEL G S, GOH T F C, et al. Path resistance reduction through automated Multi-Level Metal and Via insertion for IC layout design[C]. 2013 5th Asia Symposium on Quality Electronic Design(ASQED), IEEE, 2013.

[11] SHOOK B W, NIZAM A, GONG Z, et al. Multi-objective layout optimization for multi-chip power modules considering electrical parasitics and thermal performance[C]. 2013 IEEE 14th Workshop on Control and Modeling for Power Electronics(COMPEL), IEEE, 2013.

[12] HOROWITZ M, DUTTON R W. Resistance extraction from mask layout data[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1983, 2(3): 145-150.

[13] GHOSH J, MUKHOPADHYAY S, PATRA A, et al. Estimation of dc performance of a lateral power MOSFET using distributed cell model[J]. IEEE Transactions on CAD of Integrated Circuits and Systems, 2012, 31(9).

[14] DAS S, SURAL S, PATRA A. Resistance estimation for lateral power arrays through accurate netlist generation[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(6): 837-845.

[15] GHOSH J, MUKHOPADHYAY S, PATRA A, et al. A new approach for estimation of on-resistance and current distribution in power array layouts[C]. International Conference on Vlsi Design. IEEE Computer Society, 2008.

[16] 秦国林,许娟,蔡建荣,等.MOS 管毫欧级导通电阻测试方法[J].电子技术与软件工程,2019(21):225-226.

(收稿日期:2020-11-05)

作者简介:

李芳(1994-),女,硕士研究生,主要研究方向:电路与系统。

焦继业(1977-),男,博士,高级工程师,主要研究方向:集成电路片上系统设计。

马彩彩(1995-),女,硕士研究生,主要研究方向:信号处理。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所