

# 基于 AXI 总线的可配置 LVDS 控制器设计与验证\*

蒙宇霆,袁海英,丁冬

(北京工业大学 信息学部微电子学院,北京 100124)

**摘要:**针对不同应用场景下 LVDS 通信协议体现在数据位宽、帧格式和存储方式的选择差异性和数据收发灵活性,提出一种基于 AXI 总线的可配置 LVDS 控制器设计与验证方案。为了实现对 LVDS 控制器的精确控制,增加基于 APB 接口的可配置寄存器模块,在 SoC 系统上由软件控制数据传输,有效提高了数据收发的灵活性;为了提高传输效率并广泛适应场景需求,将与内存交互的接口定义为 AXI 协议接口;为了避免传输数据错误和数据包丢失等现象,在自定义协议中加入奇偶校验功能并在电路中加入数据包检查机制。随后,采用高效的回环验证方案针对 LVDS 控制器进行功能测试。实验结果表明该 LVDS 控制器基于 AXI 接口准确高效地实现了对端设备之间的数据收发功能,这种可配置的数据传输电路设计和验证方案灵活可行,便于广泛应用到视频图像数据传输系统中。

**关键词:** AXI 总线;LVDS 控制器;高速接口;可配置模块;数据收发

中图分类号: TN919.3

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.201211

中文引用格式: 蒙宇霆,袁海英,丁冬. 基于 AXI 总线的可配置 LVDS 控制器设计与验证[J]. 电子技术应用, 2021, 47(6): 40-45, 56.

英文引用格式: Meng Yuting, Yuan Haiying, Ding Dong. Design and verification of a configurable LVDS controller based on AXI bus[J]. Application of Electronic Technique, 2021, 47(6): 40-45, 56.

## Design and verification of a configurable LVDS controller based on AXI bus

Meng Yuting, Yuan Haiying, Ding Dong

(School of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, China)

**Abstract:** In view of the differences of data bit width, frame format and storage mode and flexibility of data transmission in different application scenarios, a configurable LVDS controller based on AXI bus was proposed. In order to achieve precise control of LVDS controller, a configurable register module based on APB interface was added, and data transmission was controlled by software on the SoC system, which effectively improved the flexibility of data transmission and reception. In order to improve the transmission efficiency and widely adapt to the scenario requirements, the interface that interacts with the memory is defined as the interface of the AXI protocol. In order to avoid data transmission errors and packet loss, a parity function was added to the custom protocol and the packet checking mechanism was added to the circuit. Then, an efficient loopback verification scheme was used to perform functional tests on the LVDS controller. The experimental results show that the LVDS controller based on AXI interface can accurately and efficiently realize the data transmission and reception function between the peer devices. This configurable data transmission circuit design and verification scheme is flexible and feasible, so that it can be widely used in video image data transmission.

**Key words:** AXI bus; LVDS controller; high-speed interface; configurable module; data transceiver

### 0 引言

复杂电子系统设计对数据传输速率的要求日益严格,也带来高功耗、高成本等问题,低压差分信号(LVDS)<sup>[1]</sup>是一种高性能数据传输技术,它是速度、成本和功耗之间的最佳折中方案。在物理层电路设计方面,LVDS 的低压摆幅(250 mV~450 mV)和快速过渡时间可以使数据传输速率达到 100 Mb/s~3 Gb/s,能够满足现代复杂系统设计中数据传输的需求。此外,这种低压摆幅可以降

低功耗消散,具备差分远距离传输<sup>[2]</sup>的优点。在当今大量数据传输的诸多场景中,如芯片间的信息传输<sup>[3-4]</sup>、视频图像处理<sup>[5-6]</sup>、光通信<sup>[7]</sup>和 LCD 面板<sup>[8]</sup>等,LVDS 已成为最有前景的解决方案之一。在数字逻辑功能设计方面,由于需求、协议和应用场景的差异<sup>[9-10]</sup>,设计人员存在大量重复性的设计、调试工作。为提高系统开发效率,解决平台间的兼容性问题,通常在 FPGA 平台上实现 LVDS 高速接口设计<sup>[11-13]</sup>,文献<sup>[11]</sup>在 FPGA 上实现了 LVDS 总线控制器,解决了多节点高速通信的故障隔离问题;文献<sup>[12]</sup>实现了 LVDS 接口的收发单元设计,在收发通路

\* 基金项目:北京未来芯片高精尖创新中心研究基金(KYJJ2018009)

中加入数据与时钟对齐机制,提高了平台兼容性,并在FPGA上验证了方案。文献[14]通过FPGA设计了一种基于LVDS接口的高速并行数据传输系统,并应用于实际专用网络交换模块。在实际芯片工程中,考虑到当LVDS控制器集成到SoC系统上时存在兼容性问题,软硬件间应有更高的操作灵活度,系统各模块间数据传输应高速稳定。因此,为了提高系统可靠性,降低成本,设计一种高灵活度、高性能的LVDS控制器具有很高的价值。

本文设计的控制器主要用于由摄像头采集而来的数据与内存的交互,更加关注逻辑功能的实现。基于APB总线的可配置通路可通过配置寄存器按照自定义协议传输数据,在数据读写方面选择AXI总线以提高数据传输速率,针对数据传输过程中常见的丢数等错误,在收发通路中加入了检查模块,实现了更加灵活准确的数据传输功能。

## 1 LVDS 控制器设计方案

### 1.1 LVDS 控制器总体结构

基于AXI总线的LVDS控制器总体结构设计如图1所示,该控制器的数据流以及主要控制寄存器信号展示在图中。电路内部主要由Rx\_decoder、Tx\_assemble、Axi\_wr\_ctrl、Axi\_rd\_ctrl、Configurable\_reg等模块组成。为了在SoC系统中利用软件控制数据传输,加入了基于APB总

线接口的可配置模块Configurable\_reg,用于提供与CPU交互的接口,可通过APB配置通路配置寄存器来控制LVDS模块收发数据帧。

为了灵活地控制数据传输,本文自定义了一种数据接收和发送的协议;数据是帧的形式传输,帧由命令包和数据包构成,如图2所示。命令包中包含了状态、响应类型、帧数以及包数等字段。在数据接收过程中,Configurable\_reg模块的使能寄存器Reg\_rx\_en会控制是否接收数据。若将Reg\_rx\_en配置为1,模块Rx\_decoder将收到的第一个35位命令包进行解析,若Rx\_decoder模块检测到FRAME\_START状态,则开始接收数据。接下来收到数据包,为确保数据正确传输,35位数据包中带有两位奇偶校验位,最低位是1,表示此时接收的是数据包,最高32位是数据字段。最后收到带结束状态FRAME\_END的CMD命令包。相应地,数据发送使能由Configurable\_reg模块的寄存器Reg\_tx\_en控制,Tx\_assemble模块则会将数据按照自定义的协议封装、打包、发送出去。

### 1.2 数据接收控制逻辑

数据接收流程:LVDS控制器接收到对端设备的数据帧,由Rx\_decoder模块进行解析后,将数据传输到Axi\_wr\_ctrl控制模块。考虑到这两个模块在数据传输过程中时钟域不一致,采用异步FIFO做跨时钟域处理。Axi\_

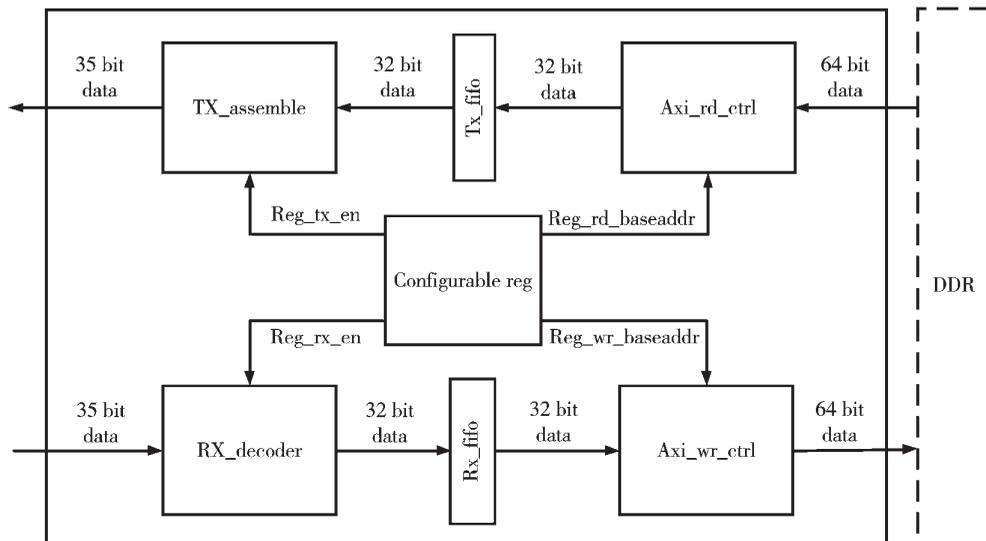


图1 LVDS 总体结构

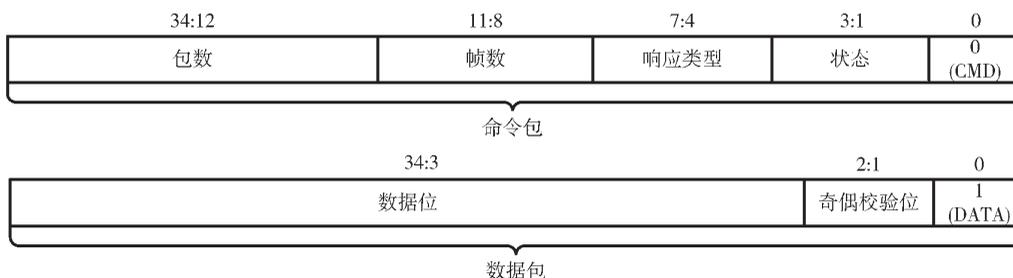


图2 数据传输格式

wr\_ctrl 模块将接收到的 32 位数据转化为 64 位数据,并通过 Axi 总线将其送到 DDR 中。数据发送通路中的主要功能模块介绍如下。

Rx\_decoder 模块的作用是解析对端设备传来的数据帧中的命令包,并检查数据包是否出错,它的控制状态机如图 3 所示,分别有 S\_IDLE、S\_RECV、S\_CKER、S\_WAIT 和 S\_STOP 五个状态。S\_IDLE 表示此时没有数据帧正在接收,可以接收新的数据帧。当收到 CMD 命令包的帧头开始信号。

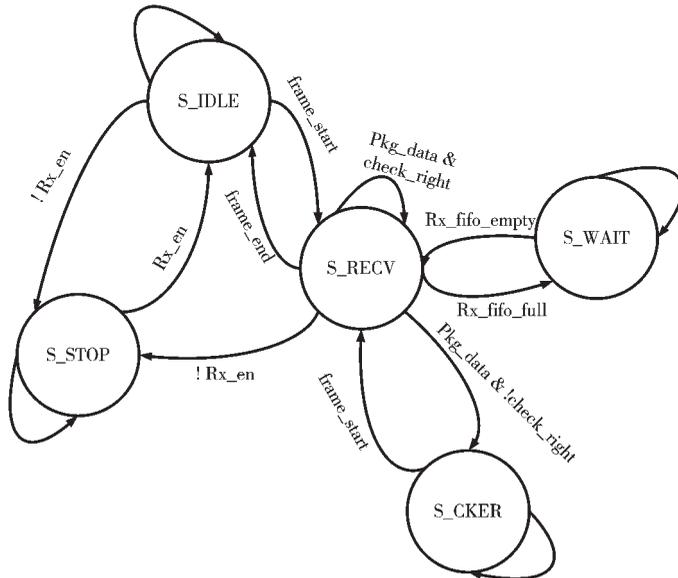


图 3 Rx\_decoder 模块状态机

frame\_start 时,会从 S\_IDLE 状态跳到 S\_RECV 状态,此时开始接收数据。为了避免在接收过程中发生数据丢失或数据传输错误的现象,增加了 S\_WAIT 和 S\_CKER 两个状态。当 Rx\_fifo\_full 信号置 1 时,表示此时接收 FIFO 是满状态,状态机从 S\_RECV 跳转到 S\_WAIT,等待接收 FIFO 为空时再由 S\_WAIT 跳回 S\_RECV 继续接收数据。

当奇偶校验检查到数据不一致时,状态机会从 S\_RECV 状态跳转到 S\_CKER 状态,在 S\_CKER 状态意味着数据传输发生错误,需要等待重新开始的信号,如果此时收到了 frame\_start 信号,表示要接收新的数据帧,因此状态机从 S\_CKER 跳转到 S\_RECV。每进来一个数据包都会进行奇偶校验检查,检查正确则会继续传入剩余的数据包,直到收到 CMD 命令包的帧尾结束信号 frame\_end,状态机从 S\_RECV 状态跳转到 S\_IDLE 状态,表示完成了这一帧数据的接收。CPU 中断是最高优先级,不论在空闲状态 S\_IDLE 还是 S\_RECV 数据接收状态,当 Rx\_en 寄存器为 0 时,会直接从 S\_IDLE 状态或 S\_RECV 状态跳到 S\_STOP 状态。

Axi\_wr\_ctrl 模块用来控制从 Rx\_decoder 模块接收的数据通过 AXI 写通道写到 DDR,其控制状态机如图 4 所示,包括 S\_IDLE、S\_WORK 和 S\_CLER 三个状态。状态

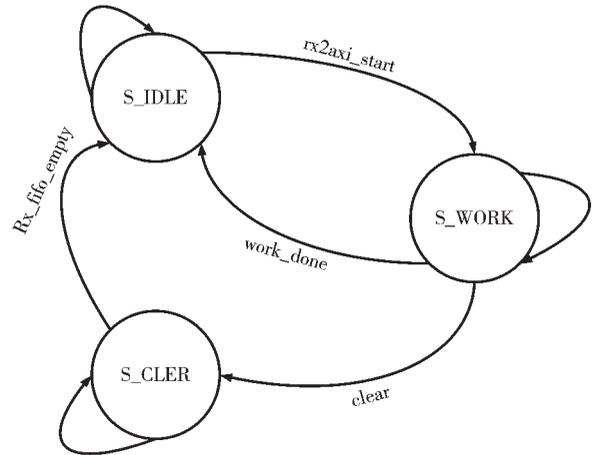


图 4 Axi\_wr\_ctrl 模块状态机

机是否工作取决于 rx2axi\_start 和 work\_done 两个信号,这两个信号是 Rx\_decoder 模块检测到开始标志和结束标志时传到 Axi\_wr\_ctrl 模块的控制信号。当 rx2axi\_start 置 1 时,由 S\_IDLE 状态跳转到 S\_WORK 状态,S\_WORK 状态下会将进来的 32 位数据整合为 64 位数据并送到 AXI 写通道,按照 AXI 协议控制数据写到 DDR 中。如果 AXI 写回通道发生错误响应,clear 信号会置 1,状态机由 S\_WORK 状态跳转到 S\_CKER 状态,在 S\_CKER 状态下,会将此时 FIFO 里的数据全部清除,清除完毕后跳转到 S\_IDLE 状态,等待 rx2axi\_start 置 1 时重新开始传输。此外,为了更加灵活地配置 AXI 的功能,在 Axi\_wr\_ctrl 模块中加了两个可配置寄存器用于改变 AXI 通道中每次突发传输数据的个数和写入 DDR 的起始地址。

### 1.3 数据发送控制逻辑

数据发送流程:Axi\_rd\_ctrl 模块接收到来自 DDR controller 的数据流后,开始进行数据位宽转换,经过异步 FIFO 的跨时钟域处理,送到 Tx\_assemble 模块将数据进行打包,再发送到对端设备。数据发送通路中的主要功能模块介绍如下。

Tx\_assemble 模块的功能由状态机控制,如图 5 所示,分别有 S\_IDLE、S\_SEND、S\_ERRO、S\_CLER 和 S\_WAIT 这 5 个状态。S\_IDLE 表示此时没有数据帧正在发送,当 CPU 要发送数据的时候,会配置 Tx\_en 寄存器为 1,从 S\_IDLE 状态跳转到 S\_SEND 状态。同时,Tx\_assemble 模块会生成控制信号并通过握手协议发送到 Axi\_rd\_ctrl 模块。S\_SEND 状态表示即将发送数据。根据自定义协议,每个 35 位的命令包中包含要发送的帧数、包数、响应类型和状态信息,Tx\_assemble 模块会用计数器来统计发送的帧数、包数及状态信息,然后将这些信息打包。每个 35 位数据包中包含 32 位数据、2 位奇偶校验位及 1 位说明位(指明是数据还是命令)。最后 Tx\_assemble 模块将命令包和数据包合并为数据帧由状态机控制发送。

Axi\_rd\_ctrl 模块接收来自 Tx\_assemble 模块的命令并把当前状态信息返回 Tx\_assemble 模块。若 Tx\_assemble

模块开始发送数据的同时向 Axi\_rd\_ctrl 模块发送读控制信号,那么 Axi\_rd\_ctrl 模块将会通过 AXI 读通道从 DDR 读出数据并写入读 FIFO 中。为了灵活配置,Axi\_rd\_ctrl 模块也包含了可配置寄存器来设置 axi 起始的读地址和突发式读写的数据数量。

## 2 LVDS 控制器仿真验证

为验证本文提出的 LVDS 控制器设计方案,搭建如图 6 所示的测试平台,利用 Synopsys 公司的仿真软件 VCS 和 Verdi 进行功能仿真验证。测试平台的主要功能包括:提供与 LVDS 控制器进行数据交互的 BRAM(模块级验证用 BRAM 代替 DDR);为验证 APB 总线配置寄存器功能,根据 APB 总线协议生成可配置环境;根据自定义的 LVDS 控制器收发协议,在测试平台内生成完整的数据帧,包括数据包和命令包等;将所有测试平台所需的环境以及待测的 LVDS 控制器集成,构建完整的验证环境。

为了简化复杂的验证过程,考虑到 LVDS 控制器特有的收发通路,提出了一个高效的验证方案:在验证平

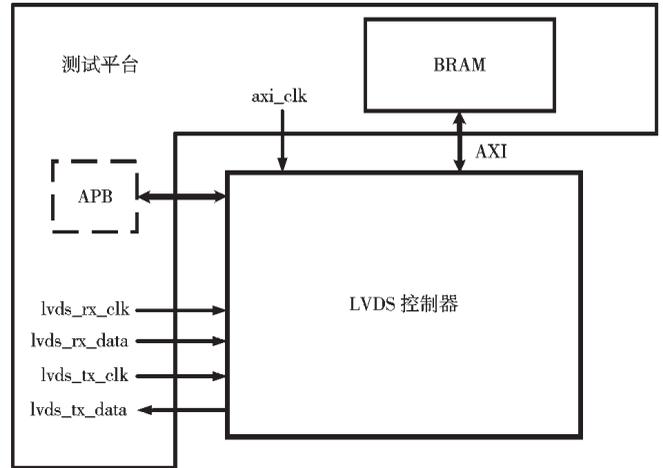


图 6 LVDS 控制器的测试平台

台上根据自定义协议配置环境,向 LVDS 控制器发送完整的数据帧,数据由 LVDS 控制器的接收通路收到之后通过 AXI 接口写入 BRAM,此时再利用验证平台的 APB 环境通过配置寄存器将存到 BRAM 里的数据帧读出,由发送通路发送回验证平台,验证平台将发送出去的数据帧和收到的数据帧进行比对,最后给出验证结果。根据上述验证方案,将验证流程分为以下三部分:

### (1)验证 LVDS 控制器配置通路

通过 APB 总线接口完成初始配置,设置收发数据包数量、AXI 总线突发式读写的数据数量和 DDR 的基地址。仿真波形如图 7 所示,APB 通道分别对 6 个地址进行读写,对应下面 6 组寄存器改变为相应的值,表明 APB 配置通路功能正确,能按照标准 APB 协议对可配置寄存器进行读写操作。

### (2)验证 LVDS 控制器接收通路

完成 APB 配置通路的初始化后,将验证平台生成的数据帧按照自定义协

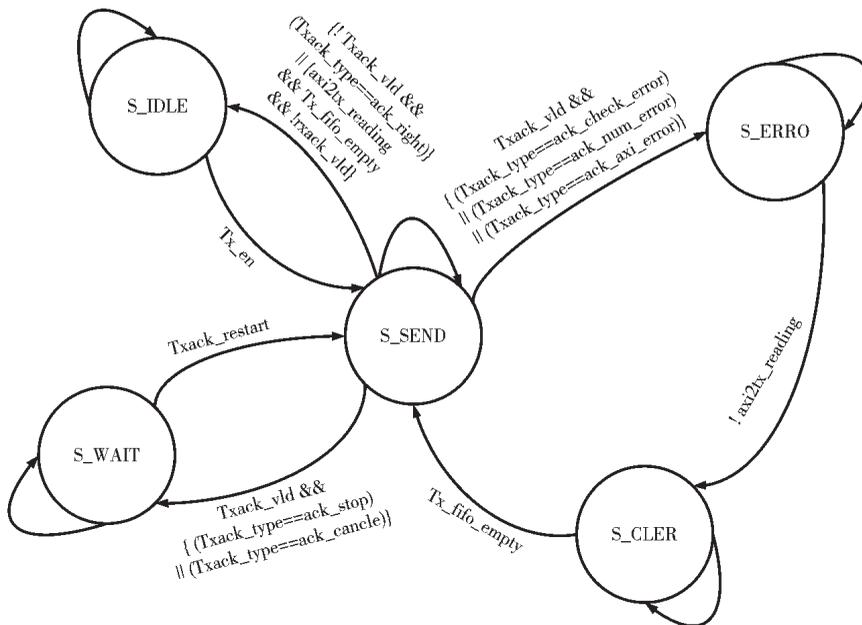


图 5 TX\_assemble 模块状态机

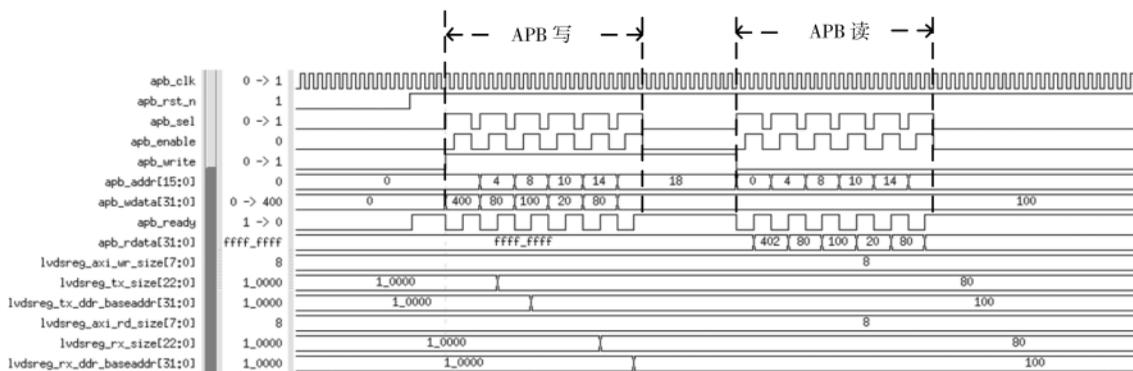


图 7 APB 配置通路波形

议由 lvds\_rx\_data 输入端口发送到 LVDS 控制器,发送数据帧前先通过配置通路配置 lvds\_rx\_enable 寄存器,将接收通路的使能信号打开,其仿真波形如图 8 所示。APB 总线地址 0x10 的第一位写入 1 之后,lvds\_rx\_enable 信号被拉高,这意味着接收通路将要接收数据。随后,lvds\_rx\_data 输入端口收到数据帧的帧头,即图 9 中 lvds\_rx\_pdata 信号的 0x102,根据之前命令包的定义,0x102 表示发送的帧数为一帧,此包类型为开始状态。接收到开始命令包后,等待 10 个周期再开始接收 128 个数据包。数据包接收完之后紧接着接收到帧尾命令包,即图 10 中 lvds\_rx\_pdata 信号的 0x104。接收过程中,接收通路的 Rx\_decoder 模块会控制异步 FIFO 和 Axi\_wr\_ctrl 模块将 128 个 32 位数据合并为 64 个 64 位数据写到 BRAM 中。

图 11 显示,接收到的数据通过 AXI 写通道全部写入 BRAM 里,说明接收通路功能实现正确。

(3)验证 LVDS 控制器发送通路

根据所述验证方案,首先通过配置通路配置 lvds\_tx\_en 寄存器将发送通路的使能信号打开,仿真波形如图 12 所示。APB 总线地址 0x00 的第一位写入 1 之后,lvds\_tx\_en 信号被拉高,这意味着发送通路将要发送数据。随后, Tx\_assemble 模块发送控制信号控制 Axi\_rd\_ctrl 模块和异步 FIFO, Axi\_rd\_ctrl 模块先将 64 个 64 位数据转化为 128 个 32 位数据,再经过异步 FIFO 发送到 Tx\_assemble 模块中,最后, Tx\_assemble 模块将接收到的数据打包发回验证平台。图 13 显示, Axi\_rd\_ctrl 模块通过 AXI 读通道将 BRAM 中的数据读出。由图 14 和图 15 可见,

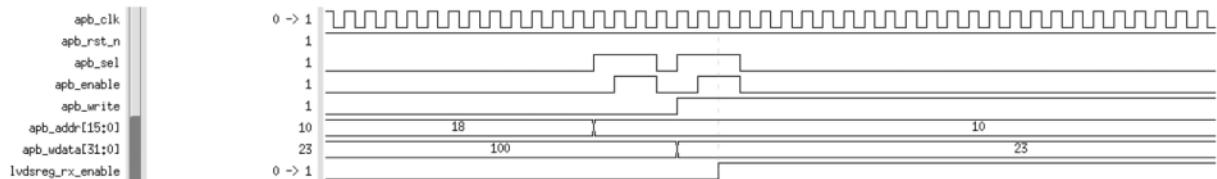


图 8 配置 lvds\_rx\_enable 寄存器波形图

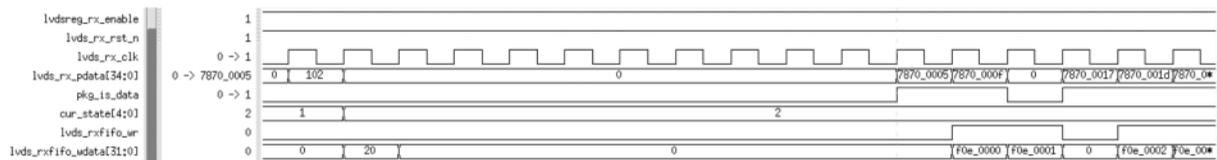


图 9 帧头波形

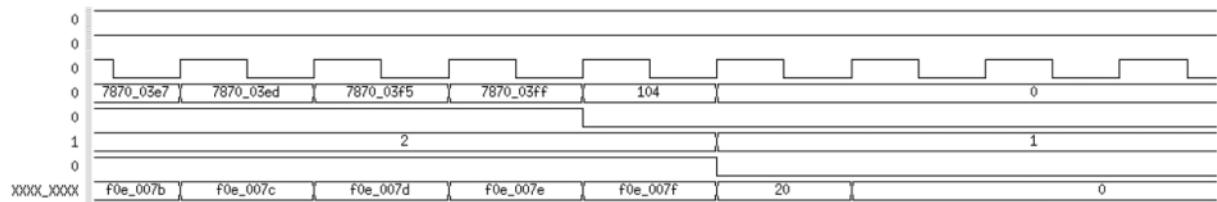


图 10 帧尾波形

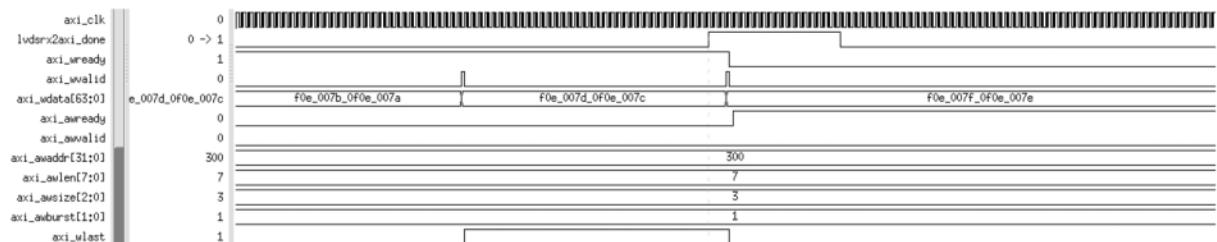


图 11 写入 BRAM 的数据波形

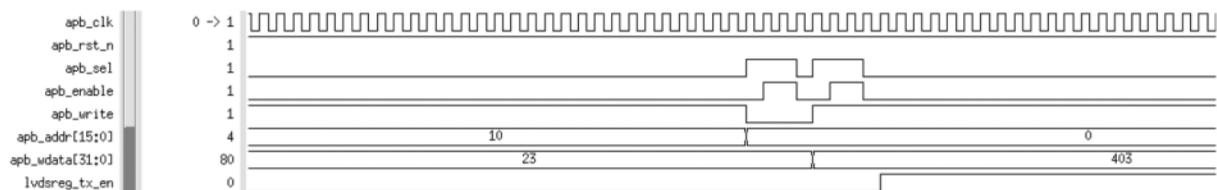


图 12 配置 lvds\_tx\_en 寄存器波形图

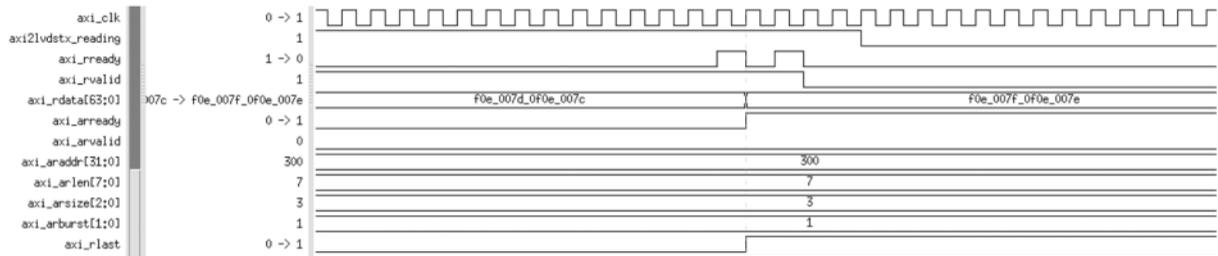


图 13 读出 BRAM 的数据波形

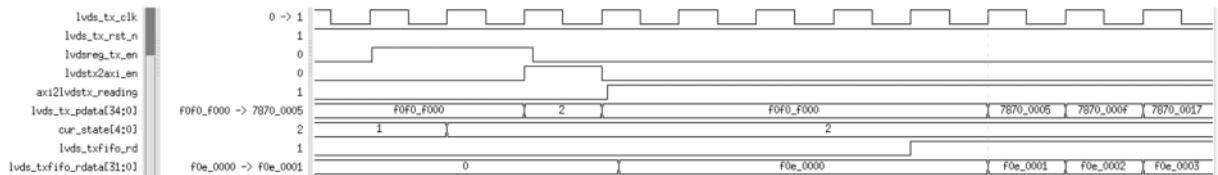


图 14 帧头波形

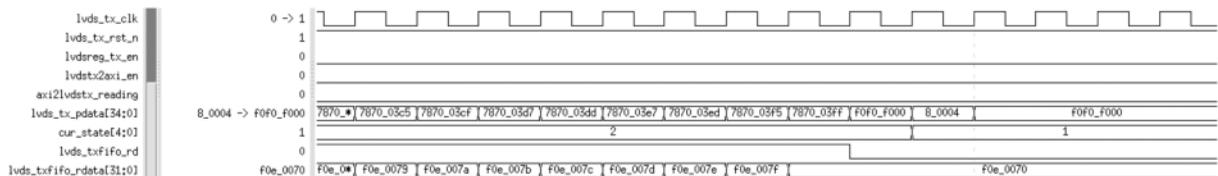


图 15 帧尾波形

Tx\_assemble 模块将帧头、数据帧和帧尾发送回验证平台,且验证平台发出的数据与收到的数据一致,故发送通路功能实现正确。

### 3 结论

本文设计了一种基于 AXI 总线的可配置 LVDS 控制器,可通过 APB 总线配置寄存器按照自定义协议收发数据,具有与内存交互的 AXI 高速总线通道,满足高性能数据传输需求。最后,针对该控制器的接收通路和发送通路提出了高效的验证方案。验证结果表明该控制器可以在 SoC 系统上使用自定义协议高效无误地进行数据传输。该设计方案已经集成到基于 ARM 的 SoC 上并完成了系统级验证,验证过程充分体现了软硬件协同工作的灵活性。LVDS 控制器内部工作时钟频率为 50 MHz,外部串并转换通道时钟为 350 MHz,满足视频数据传输需求;当 LVDS 控制器在更高时钟频率下工作时,可通过改善电路设计进一步提升数据传输效率。

#### 参考文献

- [1] IEEE Std. 1596.3 - 1996. IEEE standard for low-voltage differential signals (LVDS) for scalable coherent interface (SCI)[S]. 1996.
- [2] 雷武伟,文丰,刘东海,等.基于 LVDS 的高可靠性远距离数据传输设计[J].电子技术应用,2019,45(6):130-134.
- [3] TANG S, LEE C, HUANG Y, et al. Design of a LVDS RX soft IP kernel for multichannel ultrasound imaging systems[C]. 2016 5th International Symposium on Next-Generation Electronics (ISNE), 2016.

- [4] YEONG K C, YUNG M F, PENG K T, et al. 1.2Gbps LVDS interface[C]. 2007 International Symposium on Integrated Circuits, 2007.
- [5] 藏范军,常玉春,刘洋,等. CMOS 图像传感器 LVDS 驱动器电路设计[J]. 吉林大学学报, 2018, 36(4): 386-391.
- [6] 张天文,刘文怡. 基于 LVDS 和 PCI 接口的高速图像传输系统设计[J]. 电子技术应用, 2014, 40(7): 51-53, 60.
- [7] 李金,焦新泉,刘东海,等. 基于 CPCI 总线和 LVDS 的高速数据传输系统的设计[J]. 电子技术应用, 2019, 45(4): 60-63, 68.
- [8] Hong Hui, Lou Jia, Sun Lingling, et al. Design of 2Gb/s LVDS transmitter and 3Gb/s LVDS receiver for optical communication in 0.18μm CMOS technology[C]. 2011 China-Japan Joint Microwave Conference, 2011.
- [9] WANG C C, LEE C L, HSIAO C Y, et al. Clock-and-data recovery design for LVDS transceiver used in LCD panels[J]. Circuits and Systems II: IEEE Transactions on Express Briefs, 2006, 53(11): 1318-1322.
- [10] 杨雷,龙哲仁,卢继华,等. LVDS 高速并口通信协议设计[J]. 电子技术应用, 2013, 39(3): 119-122.
- [11] 黄赞,潘雷,丁辉. 基于 FPGA 的 M-LVDS 总线控制器设计[J]. 数字技术与应用, 2019, 37(6): 19-20.
- [12] 刘华锋. 高速 LVDS 接口的 FPGA 设计与实现[J]. 科技视界, 2018(9): 99-100, 115.
- [13] 徐广飞,姚利华. 一种基于 M-LVDS 总线实时高效数据传输方法: CN109932966B[P], 2020-04-14.

(下转第 56 页)

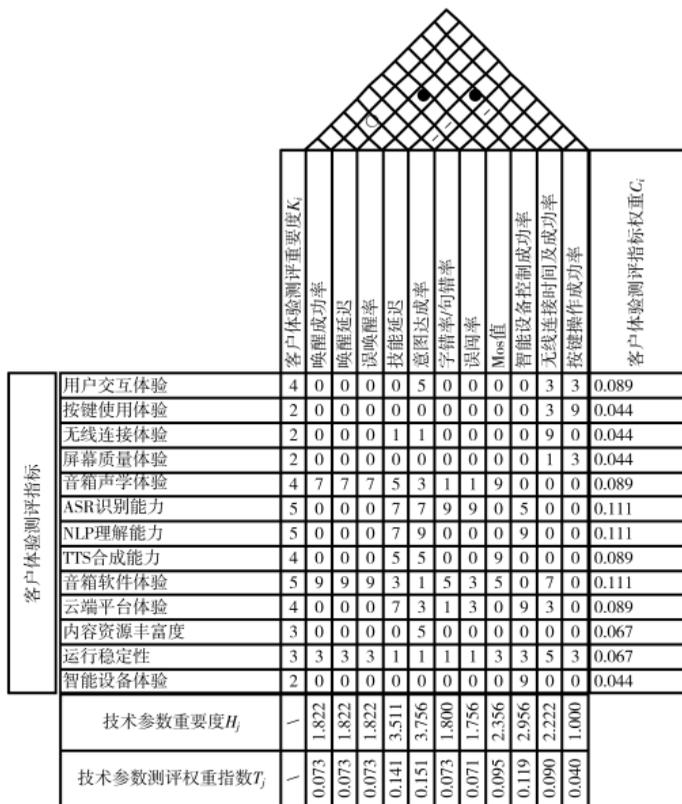


图4 智能音箱测评体系 QFD 质量屋

应用研究[J]. 邮电设计技术, 2019, 516(2): 52-56.

[2] 熊伟. 质量功能展开: 从理论到实践[M]. 北京: 科学出版社, 2009.

[3] 高蓉莲, 黄莉莉. 智慧家庭新入口——智能音箱产品测评分析[J]. 通信企业管理, 2017(11): 37-39.

[4] 李延来, 唐加福, 姚建明, 等. 质量屋中顾客需求最终重要度确定的集成方法[J]. 计算机集成制造系统, 2008(5): 1015-1022.

[5] 熊伟. 质量机能展开[M]. 北京: 化学工业出版社, 2005.

[6] 陈楚伟. 基于 MINITAB 质量工具 Pareto 图的分析运用[J]. 移动通信, 2014(z2): 81-84.

[7] 贾博文, 龙跃, 董桂官, 等. 智能音箱测试方法与评测研究[J]. 电声技术, 2018, 42(6): 53-57.

[8] 耿秀丽, 褚学宁, 张在房. 基于顾客需求满足度的产品总体设计方案评价[J]. 上海交通大学学报, 2009, 43(12): 1923-1929.

[9] 王海坤, 潘嘉, 刘聪. 语音识别技术的研究进展与展望[J]. 电信科学, 2018, 34(2): 1-11.

[10] GB/T36464.2-2018, 信息技术 智能语音交互系统 第2部分: 智能家居[S]. 北京: 中国标准出版社, 2018.

[11] 熊伟, 王娟丽, 王晓敏. 基于 QFD 理论的魅力性质质量定量分析研究[J]. 科技进步与对策, 2010(24): 119-122.

[12] 梁昭磊, 何桢. 双响应试验设计与质量功能展开的集成研究[J]. 统计与决策, 2008(20): 6-8.

[13] 耿立沙, 孔造杰, 耿立校. QFD 顾客需求重要度确定方法创新研究[J]. 当代经济管理, 2016, 38(9): 20-25.

[14] 董桂官, 周阳翔, 阮向远, 等. 语音交互标准化与智能终端语音交互测评[J]. 信息技术与标准化, 2019(Z1): 24-27.

[15] 朱荻, 邵玮, 邵松. 智能音箱产品评测体系的设计与构建[J]. 科学技术创新, 2019(33): 97-98.

[16] 李莹, 毛浩地, 李晨, 等. 智能音箱产品及技术研究进展[J]. 信息与电脑, 2019, 422(4): 144-145.

(收稿日期: 2020-08-10)

作者简介:

李强(1986-), 男, 硕士, 工程师, 主要研究方向: 智能家居、光通信等。

许一骅(1991-), 男, 硕士, 工程师, 主要研究方向: 智能家居平台技术研究及终端产品的测评。



扫码下载电子文档



(上接第 45 页)

[14] 冯晓东, 杨可. 一种基于 LVDS 接口的高速并行数据传输系统设计与实现[J]. 数字技术与应用, 2013(6): 64-65.

(收稿日期: 2020-12-16)

作者简介:

蒙宇霆(1996-), 男, 硕士研究生, 主要研究方向: 片上

系统设计与验证、高效计算系统设计。

袁海英(1976-), 通信作者, 女, 博士, 副教授, 主要研究方向: 高效计算系统芯片设计与验证, E-mail: yhyen@126.com.

丁冬(1996-), 男, 硕士研究生, 主要研究方向: 高效计算系统设计与深度学习硬件加速技术。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所