

# 卷积编码及 Viterbi 译码的低时延 FPGA 设计实现

张 健, 吴倩文, 高泽峰, 周志刚

(杭州电子科技大学 电子信息学院, 浙江 杭州 310018)

**摘 要:** 针对毫米波通信的高速率和低时延设计要求, 设计实现 1/2 码率(2, 1, 7)卷积码的低时延译码。采用高度并行优化实现框架、低延时的最小值选择方式, 获得 Viterbi 硬判决译码算法的输出。利用基于 Xilinx 公司的 Artix7-xc7a200t 芯片综合后, 译码器的数据输出延时约 89 个时钟周期, 最高工作频率可达 203.92 MHz。结果表明, 该译码器可支持吉比特级的数据传输速率, 实现了低延时、高速率的编译码器。

**关键词:** 毫米波通信; 卷积码; Viterbi 译码; system generator

中图分类号: TN911.22

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.201025

**中文引用格式:** 张健, 吴倩文, 高泽峰, 等. 卷积编码及 Viterbi 译码的低时延 FPGA 设计实现[J]. 电子技术应用, 2021, 47(6): 96-99.

**英文引用格式:** Zhang Jian, Wu Qianwen, Gao Zefeng, et al. Low-latency FPGA design and implementation of convolutional coding and Viterbi decoding[J]. Application of Electronic Technique, 2021, 47(6): 96-99.

## Low-latency FPGA design and implementation of convolutional coding and Viterbi decoding

Zhang Jian, Wu Qianwen, Gao Zefeng, Zhou Zhigang

(School of Electronic Information, Hangzhou Dianzi University, Hangzhou 310018, China)

**Abstract:** Aiming at the high-speed and low-delay design requirements of millimeter wave communications, this paper designs low-delay decoding of convolutional codes with 1/2 code rate(2, 1, 7). A highly parallel optimization implementation framework and a low-latency minimum selection method are adopted to obtain the output of the Viterbi hard decision decoding algorithm. After synthesis using the Artix7-xc7a200t chip based on Xilinx, the data output delay of the decoder is about 89 clock cycles, and the highest operating frequency can reach 203.92 MHz. The results show that the decoder can support gigabit-level data transmission rates, and realizes a low-latency, high-rate codec.

**Key words:** millimeter wave communication; convolutional code; Viterbi decoding; system generator

### 0 引言

近年来, 5G 移动通信技术的发展受到人们的广泛关注, 高速率、高可靠、低时延的高能效通信成为毫米波通信中的重要因素<sup>[1-2]</sup>。毫米波频谱宽、频点高的特点对频谱资源紧张的通信系统具有极大的吸引力, 并且毫米波频点很高, 使得其传输误码率可以达到光纤的误码率量级, 能够保证传输的可靠性<sup>[3-4]</sup>。然而毫米波对环境衰落敏感, 传输损耗高使得远距离通信受到限制, 为克服这些弱点, 高效的信道估计算法成为了关键技术之一, 除此之外, 常采用信道编码技术来解决接收端出现误码元的情况<sup>[5]</sup>。常用的信道编码有卷积码、RS 码、Turbo 码、交织和伪随机序列扰码等<sup>[6-7]</sup>。不同类型的纠错码之间有着一定的关联性, 如为了克服突发性码元的错误, 往往采用卷积码和 RS 码相结合的方式来提高通信系统的稳定性<sup>[8]</sup>。卷积码以其较低的编码复杂度及接近香农

限的优秀性能, 广泛地应用于卫星通信、无线通信等多种通信系统中<sup>[9-10]</sup>。Viterbi 译码算法, 又被称为最大后验概率方法, 是卷积编码最佳的译码算法<sup>[11]</sup>。卷积编码和 Viterbi 译码是广泛使用的信道编码技术, 具有一定的克服突发错误的能力, 可以减少信道引入的误码, 带来较高的编码增益, 实现数据的高可靠性传输<sup>[12-13]</sup>。

在实际通信系统中一般会根据不同的信道特性而采用不同码率的纠错码来进行信道编码, 以达到传输效率和传输可靠性之间的平衡<sup>[14-15]</sup>。根据所需传输速率, 本文选择了 1/2 码率的(2, 1, 7)卷积码进行编解码, 在选择最小路径中采用流水线形式的 32 路比较器并行运行, 减少了延时时间, 提高了译码速度。

### 1 毫米波信道编译码

图 1 是毫米波通信系统的编译码实现框图。在发送端, 随机序列数据源  $u$  经过卷积编码及 BPSK 调制后输

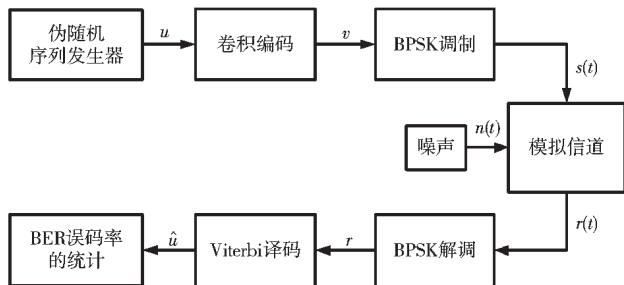
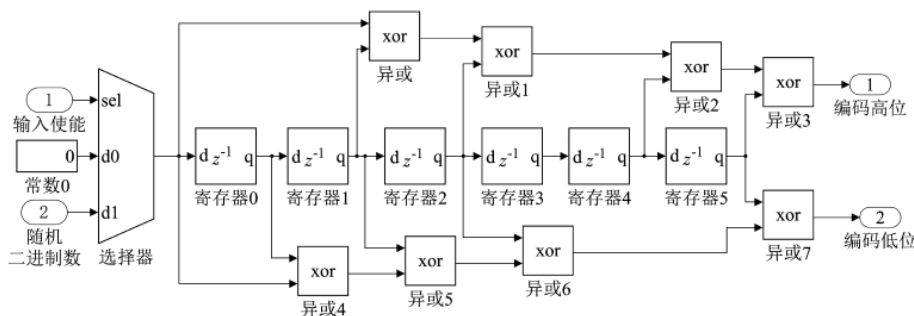


图1 毫米波通信中的编译码实现框图

出  $s(t)$ ,  $s(t)$  经过模拟的毫米波通信信道后变为  $r(t)$ , 在接收端,  $r(t)$  经解调后由译码器接收,  $\hat{u}$  即为实际的接收数据, 并进行误码率的统计分析。

典型的  $(n, k, m)$  卷积编码器是指将  $k$  个信息比特编码成  $n$  个比特, 其中约束长度为  $m$ , 编码速率为  $k/n$ 。本设计选用的  $(2, 1, 7)$  卷积编码器, 其生成多项式为  $g_0 = 133_8$  和  $g_1 = 171_8$ , 码率为  $1/2$ 。如图2所示, 每1比特数据经过6个移位寄存器和模二加法器后生成并行的数据, 再经过并串转换进入 QPSK 调制、信道、QPSK 解调及串并转换进入译码器。

图2  $(2, 1, 7)$ 卷积编码模块图

## 2 卷积码低时延译码设计

本设计中选定译码器的译码深度  $L=36$ , 译码器存储器的最小容量应该满足  $64 \times L$  个路径节点及其路径的长度。译码器的设计包括汉明距离计算模块、ACS 加比选模块、路径存储模块、最小值选择模块、路径回溯模块及控制模块等。

译码器设计的关键在于如何选择概率最大的路径, 这里定义路径长度为  $-\ln P(X, Z)$ , 其中  $X$  为与该路径所对应的状态序列,  $Z$  为所接收的序列, 最终是要寻找  $P(X, Z)$  的最大化后验概率。所谓“后验”, 是指根据接收到的编码数据, 推测出各个移位寄存器所对应的状态, 找出所有路径中最有可能的一条<sup>[16]</sup>。根据定义, 等价于求  $-\ln P(X, Z)$  的最小路径, 公式如下:

$$P(X, Z) = \prod_{k=0}^{K-1} P(X_{k+1}|X_k) \prod_{k=0}^{K-1} P(Z_k|X_{k+1}, X_k) \quad (1)$$

定义路径分支长度为  $\lambda(\xi_k)$ , 表达式为:

$$\lambda(\xi_k) \triangleq -\ln P(X_{k+1}|X_k - \ln P(Z_k|\xi_k)) \quad (2)$$

其中  $\xi_k$  是  $X_k$  到  $X_{k+1}$  状态的转换, 总体的路径长度表达式如下:

$$-\ln P(X, Z) = \sum_{k=0}^{K-1} \lambda(\xi_k) \quad (3)$$

因此任意时刻的各分支路径和的最小路径就是当前时刻的最短路径, 又称幸存路径。

汉明距离计算主要负责计算编码后的状态与当前编码器状态下可能的编码之间的汉明距离值。为简化设计, 直接求出输入数据与4个固定编码状态(00, 01, 10, 11)之间的距离, 如图3所示。

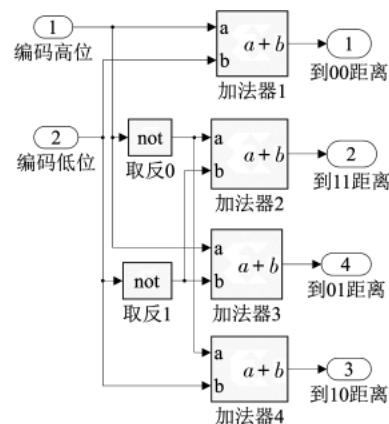


图3 汉明距离计算模块

ACS 模块用来计算当前状态的分支路径距离和前一时刻的累计距离累加, 比较、选择并保存为新的累计距离, 并将新的累计距离存储在 RAM 里, 为回溯模块做准备。图4所示是一个 ACS 模块的蝶形运算, 采用全并行的算法需要 64 个 ACS 模块, 即在一个时钟周期内完成所有状态的分支路径距离的更新迭代, 其中为防止累计距离溢出, 把每个状态的累计距离右移一位。

模块, 即在一个时钟周期内完成所有状态的分支路径距离的更新迭代, 其中为防止累计距离溢出, 把每个状态的累计距离右移一位。

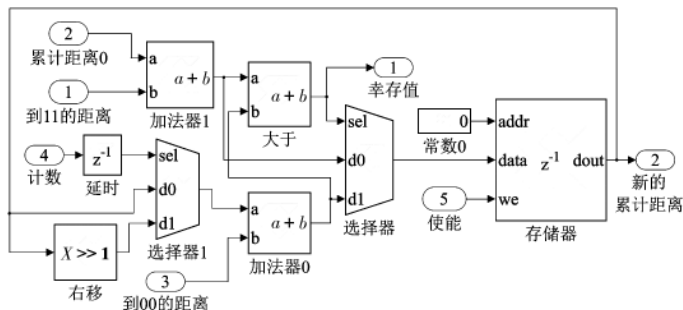


图4 ACS加-比-选模块

路径存储用来存放幸存路径值, 此模块采用乒乓操作, 这种方式提高了译码器的译码效率。具体原理如图5所示, 通过控制信号来控制三块RAM的轮流工作, 在译码开始, 回溯还未开始之前, 先向一块RAM中写入数

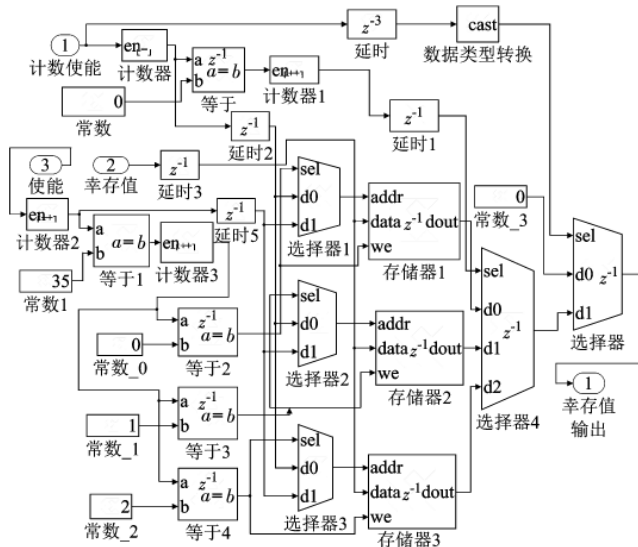


图5 路径存储模块

据,存储幸存路径;当回溯开始之后,需要从另一块RAM中读取路径信息,由于不能同时轮流使用两块RAM,需要第三块RAM提供新的写操作,用计数器控制三块RAM的工作过程。

最小值选择根据ACS模块得到64条累计距离来确定到达译码深度时的最小路径值和最后一个状态。如图6所示,本设计中选用32路比较器并行运行,64条路径两两进行比较,只需要6个时钟周期就能完成比较,相比802.11a标准中规定的路径比较降低了17个时钟周期的时延。按照一定的顺序选择较小累计距离,每次选择

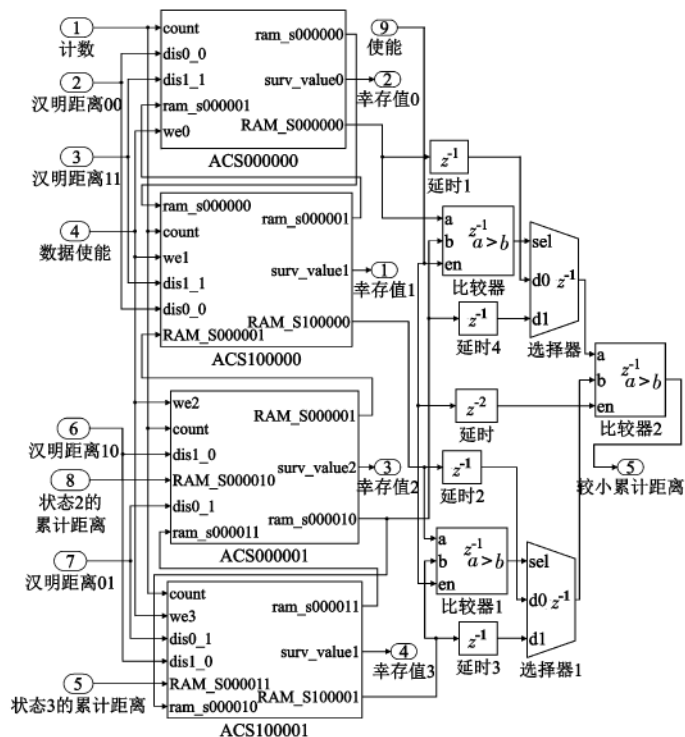


图6 最小值选择模块

的结果决定着最后的状态。

路径回溯是由最小路径的最后一个状态值和存储的幸存路径值来确定回溯点的。如图7所示,到达 $K+1$ 时刻的状态只有两种,状态的不同只有最低位不同,最低位代表着 $K-5$ 时刻输入编码器的值, $K+1$ 时刻的最高位代表该时刻进入编码器的值,也是幸存值。两条路径中较小的一条存为幸存路径值,所以可将最后态的低五位作为高位,幸存值作为最低位,形成选择最后状态的判决条件,然后进行回溯。利用回溯计数器计时,直到到达译码深度,回溯完毕,即可找到完整的路径信息,再经过反序就是译码结果。

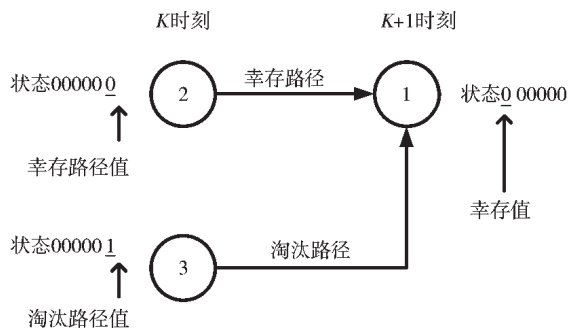


图7 路径回溯说明图

### 3 实现验证

从图8可以看出,输入一定的比特序列进入编码器,编码后翻转其中的几个码元,形成误码送入到译码器,测试结果表明,译码器实现了预期的纠错功能。

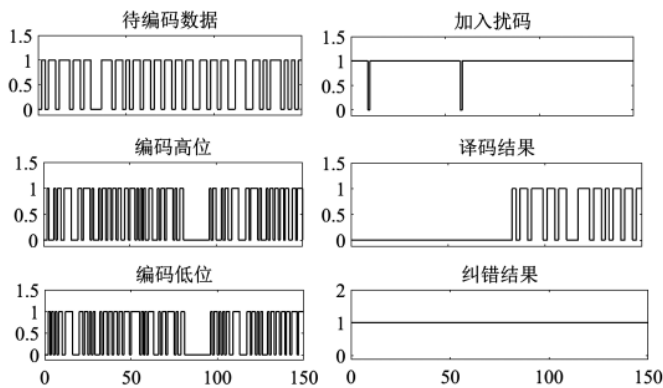


图8 编译码仿真图

对于码率一定的卷积码,其约束长度一般为3~9。从图9中可以看出,当信噪比大于约2 dB时,编码后的性能比未编码性能要好,信噪比大于3 dB左右时,随着约束长度一定的增加,系统的误码率明显降低。

Vivado布局布线后的仿真结果如图10所示,其中clk为125.6 MHz的工作时钟,data\_in为输入的伪随机二进制序列,i\_en为数据有效信号,encode为编码后的数据,state为每次到达译码深度后的最后一个状态,viterbi\_o为译码后的数据。由图中的输入数据与译码数

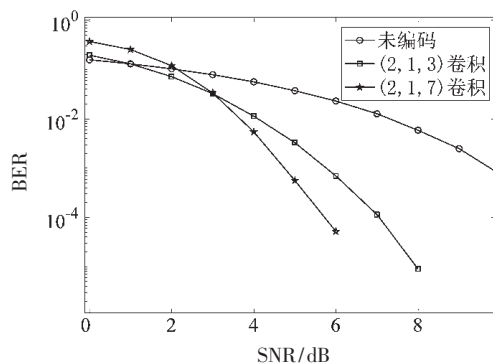


图9 卷积编译码的误码率仿真图

据对比,显示编译码后的数据是一致的,仿真结果证明该译码模块可行。另外,该设计中的译码器的数据传输速率可达到 1 256 Mb/s,想要获得更高的数据传输速率可以选择更多的数据位宽进行多路并行输入,这样数据传输速率可以成倍地提高。对于时延,该译码器利用更多的选择器进行比较,大大减少了时延,经计算译码输出总共延迟约 708 ns 的时延。

#### 4 结论

本设计利用毫米波通信系统来实现数据的短距离保密通信,完成全并行处理的(2, 1, 7)卷积编译码器,该编译码器性能优异,在一定程度上加强了毫米波通信的抗干扰能力。另外,通信系统中利用 system generator 平台实现对各个模块的功能及性能的仿真测试。后来经 Xilinx 公司的 Vivado2019.1 平台进行综合验证,反复实验表明,该卷积码具有前向纠错能力强、编译码速度快、时延较小等特点,其译码速度达到了预期设计目标。

#### 参考文献

- [1] 尤肖虎,潘志文,高西奇,等.5G 移动通信发展趋势与若干关键技术[J].中国科学:信息科学,2014(5):551-563.
- [2] Yamini Shanmugam, MANGALAM H. Design of accumulate compare and select unit of Viterbi decoder at reduced CMOS process technology[J]. Asian Journal of Research in Social Sciences and Humanities, 2017, 7(2).
- [3] 廖若昀.面向小卫星用户终端卷积码 FPGA 设计与实现[D].成都:电子科技大学,2020.
- [4] 钟东波,刘玥,谢宇飞.IEEE802.11a 基带系统中高速 Viterbi

- 译码器的 FPGA 实现[J].中国新通信,2016,18(8):9-10.
- [5] 李淑婧,王蕾,任宝祥,等.(25, 20)线性分组编译码器设计及其 FPGA 实现[J].现代电子技术,2019,42(11):7-10.
- [6] 黄增先,王进华.结构优化的维特比译码器的实现方案[J].微型机与应用,2017(5):60-64.
- [7] 纪志成,高春能,吴定会,等.System Generator 入门与提高[M].西安:西安电子科技大学出版社,2008.
- [8] 付芳琪.基于 MATLAB 的 OFDM 系统设计与仿真[D].西安:陕西科技大学,2016.
- [9] Xilinx 北京通信技术有限公司.无线通信技术的 MATLAB 和 FPGA 实现[M].北京:人民邮电出版社,2009.
- [10] 虞亚君,桑坤,赵参.一种基于 FPGA 的 Viterbi 译码器的研究与设计[J].电子与封装,2020,20(1):26-29.
- [11] 杨敏.高速率低延时 Viterbi 译码器的设计与实现[J].电子技术应用,2018,44(9):56-62.
- [12] 戴澜,马俊生.高性能多标准可配置维特比译码器设计与验证[J].现代电子技术,2018,41(10):10-14.
- [13] Suman Chandel, Manju Mathur. Viterbi decoder plain sailing design for TCM decoders[J]. International Journal of Trend in Scientific Research and Development, 2019, 3(5): 1794-1797.
- [14] 谭敬龙,刘颖.基于 IEEE802.16d 标准的信道编译码的 FPGA 实现[J].铁路计算机应用,2013,22(2):53-57, 62.
- [15] 庄灿,石和荣,齐永.一种交织汉明码编译码器设计及其 FPGA 实现[J].电子测量技术,2017(1):114-117.
- [16] 金华明,刘乃君. OFDM 基带接收系统设计与 FPGA 实现[J].科技通报,2015,31(3): 220-223, 266.

(收稿日期:2020-10-21)

#### 作者简介:

张健(1978-),男,博士,研究员,主要研究方向:毫米波集成电路及无线通信系统设计。

吴倩文(1994-),女,硕士研究生,主要研究方向:毫米波集成电路及其应用。

高泽峰(1995-),男,硕士研究生,主要研究方向:毫米波高速通信。



扫码下载电子文档

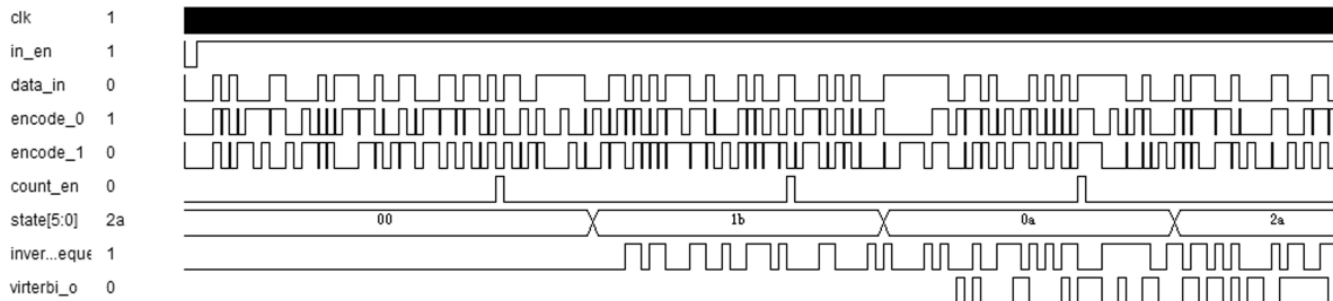


图10 Viterbi 译码器仿真结果



## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所