

# Ka 波段频率源建模分析与设计\*

江润东,姚金杰,姬娜娜,李嘉浩

(中北大学 信息探测与处理山西省重点实验室,山西 太原 030051)

**摘要:** 利用锁相环与多次倍频的方式设计了一个 Ka 波段的用于小型化交会参数探测单元的频率源。该频率源输出频率为 36 GHz,输出功率大于 15 dBm。在设计时使用数学建模的方法对锁相环各个部分进行建模,然后得到系统的传递函数,通过对闭环系统的系统函数分析,得到能够使系统稳定工作的系统参数。最后使用裸芯片以微组装的形式加工到 RO4350 和 RO5880 基板与腔体上,并完成测试。测试结果表明,使用数学建模的方式能够得到稳定工作频率源。

**关键词:** 锁相频率源;数学建模;闭环特性

中图分类号: TN952

文献标识码: A

DOI:10.16157/j.issn.0258-7998.211282

中文引用格式: 江润东,姚金杰,姬娜娜,等. Ka 波段频率源建模分析与设计[J].电子技术应用,2021,47(7):12-16.

英文引用格式: Jiang Rundong, Yao Jinjie, Ji Nana, et al. Analysis and design of Ka-band frequency source modeling[J]. Application of Electronic Technique, 2021, 47(7): 12-16.

## Analysis and design of Ka-band frequency source modeling

Jiang Rundong, Yao Jinjie, Ji Nana, Li Jiahao

(Shanxi Key Laboratory of Signal Capturing & Process, North University of China, Taiyuan 030051, China)

**Abstract:** In this paper, a Ka-band frequency source for miniaturization of rendezvous parameter detection unit is designed by using PLL and multiple frequency multiplication. The output frequency of the frequency source is 36 GHz and the output power is higher than 15 dBm. In this design, the mathematical modeling method is used to model each part of the PLL, and then the transfer function of the system is obtained. Through the analysis of the system function of the closed-loop system, the system parameters that can make the system work stably are obtained. Finally, dies are fabricated on the substrate and cavity of RO4350 and RO5880 in the form of micro assembly, and then be tested. The test results show that the stable working frequency source can be obtained by using mathematical modeling.

**Key words:** phase locked frequency source; mathematical modeling; closed loop characteristic

### 0 引言

在固定频率多普勒雷达体制的 Ka 波段交会参数探测单元中,高频率发射信号的产生对系统极为重要。输出信号要求功率高、相噪低。通常为了获得低相噪的输出信号,常常采用锁相环与直接数字式频率合成器(Direct Digital Synthesizer, DDS)混合使用的方式,这样可以实现很低的相噪<sup>[1-2]</sup>。但是由于本文是对于需要小型化的交会参数探测单元,这样的方式显然并不适用,在这样的情况下,低相噪不得不对小型化做出让步。本文使用锁相环输出与倍频相结合的方法<sup>[3-4]</sup>,通过对锁相环进行建模分析,对锁相环的参数进行了分析确定,最后设计制作了一个 Ka 波段的频率源,并完成了对频率源的调试。

倍频频率源通常的产生方式通常为对锁相环或者

DDS 的输出信号进行倍频。对于锁相环的设计,现在通常采用软件设计直接给出锁相环的参数<sup>[5-7]</sup>,对于这样的设计方法,在课题组的几次设计中使用芯片公司软件给出的电路参数进行设置,发现锁相环容易失锁,使用示波器观察环路滤波器的输入信号发现为一频率稳定的正弦波,锁相指示信号仅在上电最初的时候给出环路锁定的信号。针对环路失锁的现象,本文针对锁相环的各个部分建模,对环路进行定性分析,最后使用锁相环输出倍频方式实现稳定 Ka 波段信号输出。

### 1 频率源建模分析

在对晶体管单管振荡、DDS 以及锁相环比较之后,由于小型化和较高的频率输出要求,决定采用锁相环作为基频信号的产生。结构如图 1 所示。

使用锁相环 LMX2594 输出 9 GHz 固定频率低相噪信号,然后使用两次二倍频,分别将 9 GHz 倍频到 18 GHz 和 36 GHz。

\* 基金项目:国防基础科研项目(JCKY2017208B009)

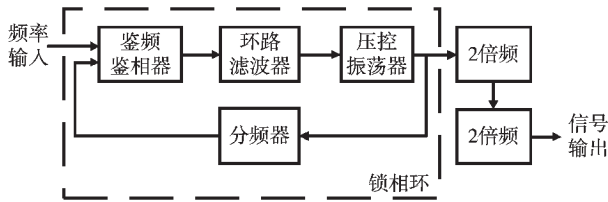


图1 频率源结构框图

锁相环从结构上主要分为外部参考频率源,即晶振、鉴频鉴相器、环路滤波器、压控振荡器和分频器5部分,已在图1中虚线框内标出<sup>[8]</sup>。

锁相环的频率输入通常使用晶振输入,也有使用DDS的输出作为锁相环的输入,以求获得更低相位噪声的频率输出。鉴频鉴相器的作用是将锁相环的输出分频后的信号与系统的输入信号进行相位的比较,然后输出一个带纹波的直流信号。环路滤波器尽量将该信号中的交流成分滤除,从而获得稳定的直流信号作为压控振荡器的输入信号,最后得到稳定的频率输出。分频器的作用是将输出信号分频到尽量与输入信号同频的信号,以方便鉴频鉴相器进行比较。

整个系统为一负反馈结构,当输出信号稳定后,输出信号经过分频后的信号与输入信号保持恒定的相位差,以至于压控振荡器的输入信号为一稳定直流信号。这样的系统就能保持输出信号频率的稳定,并且在输出信号出现偏差后具有一定自动调节的能力。

### 1.1 鉴频鉴相器

鉴频鉴相器通常为数字式,由两个D触发器、与门和延时部分构成<sup>[9]</sup>;电荷泵鉴频鉴相器简化原理图可以看成是参考信号和反馈信号两个信号分别控制2个MOS管的通断,来实现对电容的充放电,如图2所示。

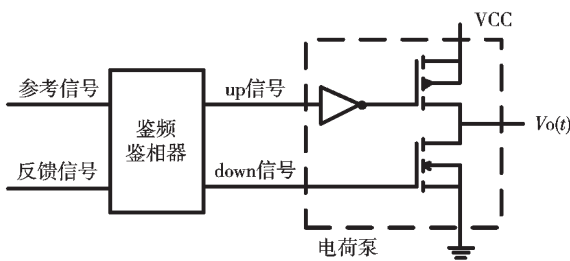


图2 电荷泵鉴频鉴相器

对图2所示的框图的输入与输出的时序图进行分析,分别为参考信号超前和参考信号滞后两种情况。在参考信号和反馈信号都为低电平时up和down信号以及输出的电平为 $\frac{1}{2}V_{CC}$ ,即高阻态<sup>[10-11]</sup>。

对于图2所示的简化电荷泵鉴频鉴相器,以参考信号滞后的情况为例,输出电平为:

$$v_d = \frac{1}{2} V_{CC} \cdot \frac{t_2 - t_1}{T} = \frac{1}{2} V_{CC} \cdot \frac{\omega(t_2 - t_1)}{\omega T} = V_{CC} \cdot \frac{\theta}{4\pi} \quad (1)$$

式中, $t_2 - t_1$ 为参考信号和反馈信号的时间差, $\theta$ 表示两

个信号的相位差。将上式用电流的形式进行表达,如下式所示:

$$I_d = I_p \cdot \frac{\theta}{2\pi} \quad (2)$$

式中, $I_p$ 为电荷泵电流, $I_d$ 为电荷泵输出电流。于是电荷泵鉴频鉴相器的增益可以表示为:

$$K_d = \frac{I_d}{\theta} = \frac{I_p}{2\pi} \quad (3)$$

### 1.2 环路滤波器

环路滤波器的本质是低通滤波器,用于给压控振荡器(Voltage-Controlled Oscillator, VCO)提供低纹波直流控制信号,以使得压控振荡器产生低相位噪声信号。环路滤波器的带宽影响着环路的锁定时间和信号的相位噪声。带宽越宽,锁定时间也越长,输出信号的相位噪声也越大;反之,带宽越窄,锁定时间越长,输出信号相噪越小。需要在二者之间找到一个平衡点。图3为TI公司官方软件提供的4阶环路滤波器原理图。整个滤波器网络为一电阻性低通滤波网络。

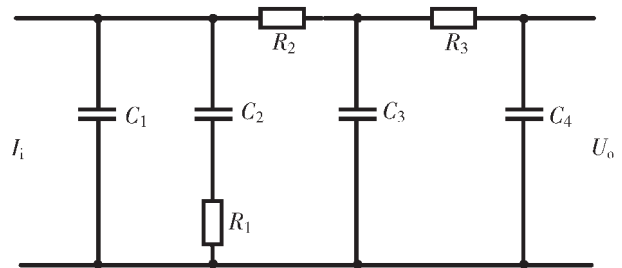


图3 4阶环路滤波器

对图3所示的环路滤波器进行分析,在 $C_1$ 、 $C_2$ 、 $R_2$ 节点上的电压在复频域上可以表示为<sup>[12]</sup>:

$$U_{\text{junction}}(s) = \frac{I_i(s)}{sC_1 + \frac{sC_2}{sR_1C_2 + 1} + Z_0} \quad (4)$$

其中, $Z_0 = \frac{s^2C_3C_4R_3 + s(C_3 + C_4)}{s^2R_2R_3C_3C_4 + s(C_3R_2 + C_4R_3 + R_2C_4) + 1}$ ,则输出信号为:

$$U_o(s) = \frac{U_{\text{junction}}(s)}{s^2C_3C_4R_2R_3 + s(C_4R_2 + C_4R_3 + C_3R_2) + 1} \quad (5)$$

环路滤波器的传递函数可以表示为:

$$F(s) = \frac{U_o(s)}{I_i(s)} \quad (6)$$

由式(6)可以看出这是一个电阻性的滤波网络。

### 1.3 压控振荡器

压控振荡器振荡器根据控制电压的大小输出对应频率的信号。压控振荡器的输入输出关系可以表示为:

$$\Delta\omega = \frac{d\theta_v(t)}{dt} = K_v \cdot v_c \quad (7)$$

式中, $\Delta\omega$ 为相位变化率即频率, $\theta_v(t)$ 为瞬时相位, $K_v$ 为压控振荡器的压控增益,单位为MHz/V,通常由芯片手册中给出; $v_c$ 为压控振荡器控制电压。对式(7)两端进行

拉氏变换,得到压控振荡器的传递函数为:

$$H_{vco}(s) = \frac{\theta(s)}{v_c(s)} = \frac{K_v}{s} \quad (8)$$

1.4 分频器

分频器在锁相环中的作用为将输出信号分频,然后将信号送至鉴频鉴相器同输入信号的相位进行比较。根据输入输出关系有:

$$\omega_o = \omega_i \cdot \frac{1}{N} \quad (9)$$

式中,  $N$  为分频系数,  $\omega_i$  为输入频率,  $\omega_o$  为输出频率。则分频器的传递函数可以表示为:

$$K_{div} = \frac{\omega_o}{\omega_i} = \frac{1}{N} \quad (10)$$

1.5 环路特性

由上面的分析,对系统闭环回路进行分析,有:

$$\theta_e K_d F(s) K_v = \theta \quad (11)$$

式中,  $\theta_e$  为相位差,有:

$$\theta_e = \theta_i - \frac{1}{N} \theta_o \quad (12)$$

将式(11)、式(12)联立,可以得到频域形式的闭环增益为输入输出相位之比,即:

$$G_{close} = \frac{\theta_o}{\theta_i} = \frac{\frac{1}{2\pi} I_p F(j\omega) \frac{K_v}{j\omega}}{1 + \frac{1}{2\pi} \frac{1}{N} I_p F(j\omega) \frac{K_v}{j\omega}} \quad (13)$$

根据负反馈放大器的环路幅频和相频特性发现,当式(13)右边项的分母为 0 时会出现闭环增益无穷大的情况,负反馈会变成正反馈,从而导致锁相环失锁。闭环回路产生正反馈的临界条件为:

$$\begin{cases} \left| \frac{1}{2\pi} \frac{1}{N} I_p F(j\omega) \frac{K_v}{s} \right| = 1 \\ \arg \left( \frac{1}{2\pi} \frac{1}{N} I_p F(j\omega) \frac{K_v}{s} \right) = 180^\circ \end{cases} \quad (14)$$

为了使锁相环保持稳定,需要对系统的幅频和相频特性进行修正。

2 X 波段频率源设计改进

2.1 系统分析

首先对 X 波段频率源进行设计。在引言中已经提到,现在存在的问题是使用 TI 的软件给出的环路滤波器参数设计电路会产生短暂锁定后失锁的情况。根据式(14)从系统角度对原因进行分析。

环路的目标输出信号频率是 9 GHz,使用到的 VCO 核为 VCO2。根据手册上的经验公式,估算出在 9 GHz 处 VCO 的增益为:

$$K_{VCO} = K_{VCO1} + (K_{VCO2} - K_{VCO1}) \times (f_{VCO} - f_1) / (f_2 - f_1) = 128.9 \text{ MHz/V} \quad (15)$$

式中,  $f_1$ 、 $f_2$ 、 $K_{VCO1}$ 、 $K_{VCO2}$  分别为该 VCO 核在工作的起始和终止频率以及在该频率上的 VCO 增益。

按照芯片手册中推荐的图 3 所示的环路滤波器的参数,系统其他参数为:  $I_{cp} = 15 \text{ mA}$ ,分频器分频系数为

$N = 360$ ,鉴频鉴相器的频率为 25 MHz。根据这些参数绘制出系统的幅频和相频特性曲线,如图 4 所示。

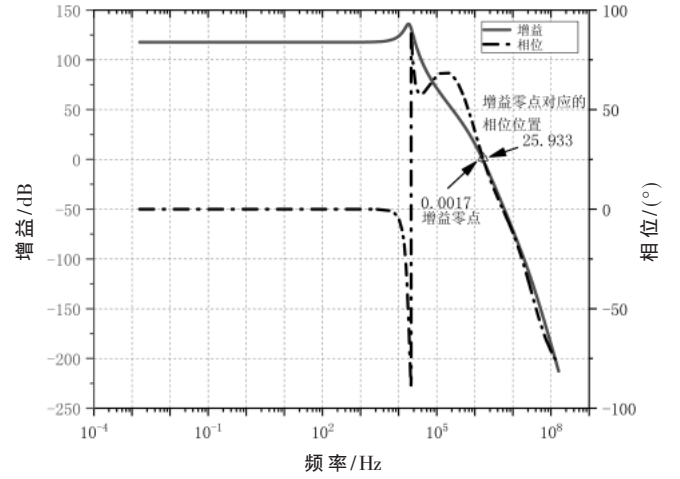


图 4 系统的幅频和相频响应

从图 4 中可以看出,环路的相位裕度为  $25.94^\circ$ 。通常来说,闭环控制系统的相位裕度至少要有  $45^\circ$ ,这样的系统才不容易发生相位翻转。所以在之前提到的锁相环容易出现失锁的情况有可能就是由于相位裕度不够造成的。增大系统相位裕度能够使锁相环更稳定。

2.2 改进方案

对于本设计,即 X 波段频率源来说,根据频率源的闭环传递函数,可以改变的参量有电荷泵电流  $I_p$ 、环路滤波器的传递函数  $F(s)$  和分频器的分频比  $\frac{1}{N}$ ,其中修改分频比需要对输入信号频率进行修改。通过对这些参数的调节来对系统的增益和相位信息进行改善,本文主要采用对环路滤波器进行修改的方式来实现。

根据图 4 中的相位下降速度来看,相位下降速度较快,对于低通滤波器带外的相位,滤波器的阶数越高,带外相位下降速度越快。这样可以通过将环路滤波器的阶数降低的方式来减缓相位降低的速度,从而达到提高相位裕度的目的。

将环路滤波器换成二阶滤波器之后,即修改分频比和去掉图 3 中  $R_2$ 、 $R_3$ 、 $C_3$ 、 $C_4$ ,其他参数保持不变,鉴频鉴相器的频率改为 100 MHz,然后在 MATLAB 中重新仿真,仿真得到的数据较之前有较大改善,如图 5 所示。图中, P2 和 P1 两点分别为增益为 0 的点和增益为 0 的点对应的相位。该环路的相位裕度约为  $63.524^\circ$ ,对于工程应用来说,该相位裕度能够满足需求。

2.3 改进设计结果及分析

在完成之后,对实物进行改进和测试。实物中,使用的晶振为 25 MHz 温补晶振,标称频率误差  $1 \sim 2 \text{ ppm}$ ;使用的基板为 RO4350,板厚 0.254 mm;锁相环由单片机通过模拟 SPI 总线进行控制。在测试时,当单片机对锁相环的初始化完成之后,锁定指示一直为高电平,说明锁

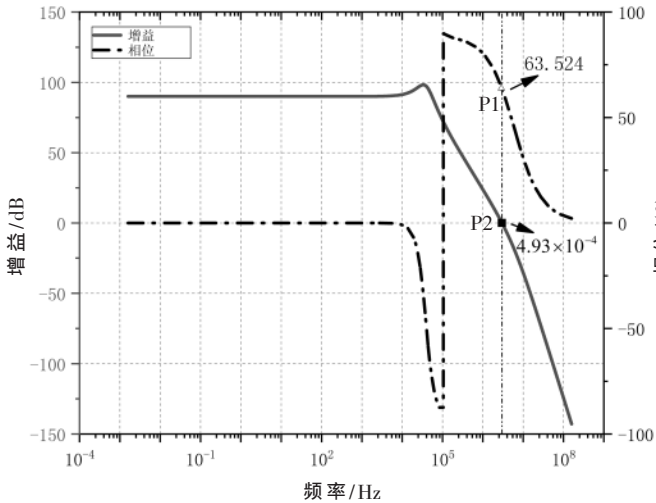


图5 改进后的环路幅频和相频特性曲线

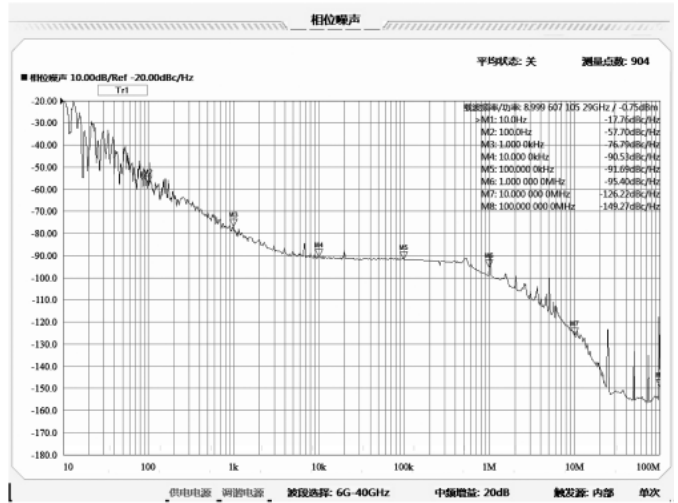


图7 改进后的锁相环输出信号相位噪声

相环实际工作时能够稳定锁相。

对 X 波段频率源输出的频谱进行测试得到的结果如图 6 所示,使用是德 N9010A 信号分析仪利用探针对输出进行测试,测得信号的功率约为 -2 dBm,在 Ka 波段使用探针进行频谱测试的衰减约有 5 dB,实际输出功率约 3 dBm,达到设计需求。

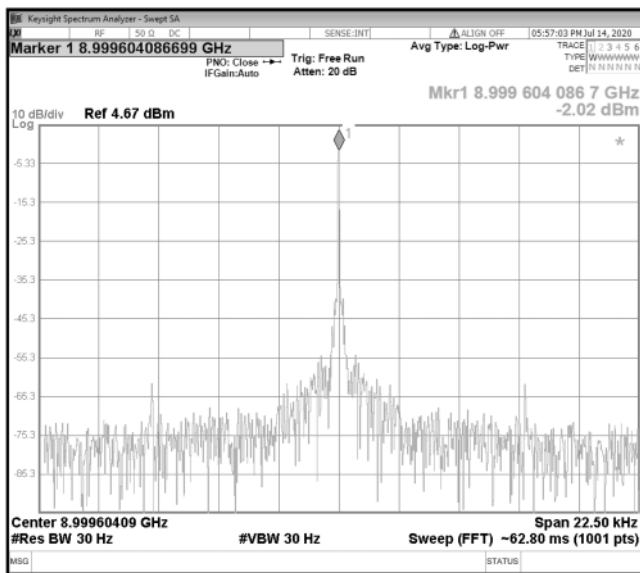


图6 改进后的锁相环输出信号频谱

系统输出信号相位噪声如图 7 所示,数据由思仪 4141F 信号源分析仪测试得到。从图中可以看到,在 10 kHz 处的归一化相位噪声为 -90.53 dBc/Hz,达到设计要求。但从图中可以看出近端的相位噪声恶化迅速,究其原因,在对电路其他部件进行分析之后,发现晶振的相位噪声对系统的影响较大。

由于振荡器频率的牵引效应,当外部信号频率和振荡器的频率接近时,振荡频率受到外部信号的牵引,所

以晶振的信号对输出信号会具有牵引效应,晶振的相位噪声会对输出信号产生影响。为了进一步减小输出信号的相位噪声,针对已使用的晶振的相位噪声,必须更换相位噪声更低的信号源,以及提高鉴频鉴相器的频率<sup>[13-14]</sup>。

### 3 倍频电路

倍频电路如图 8 所示,锁相环输出的信号经过 HMC819 完成第一次二倍频,由 HMC814 的输入输出特性,输出 18 GHz 信号功率大于 15 dBm,对于第二级二倍频芯片 HMC579 来说该功率较大,所以使用 HMC656 进行 5 dB 的衰减。最后使用滤波器滤除谐波,并完成功率放大。

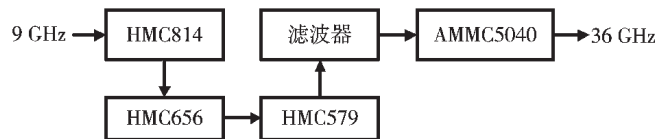


图8 倍频模块框图

倍频部分使用 RO5880 基板,板厚为 0.254 mm,微带线宽度为 0.75 mm 左右。倍频部分均使用裸芯片实现,在基板上放置芯片的位置开孔,将裸片放到孔中,使用导电胶将芯片与腔体粘合,芯片与微带线使用金丝连接。RO5880 基板与 RO4350 基板使用金带连接。实物如图 9

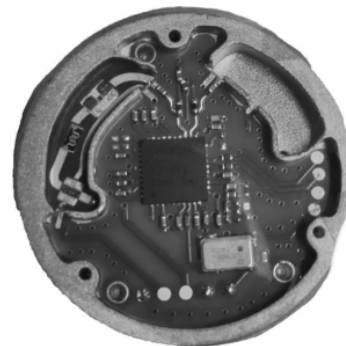


图9 实物图

所示,图9尺寸仅为 $\Phi 30$  mm。腔体还留出一部分空间用于雷达接收支路的装配。使用频谱仪对信号进行测试,得到如图10所示结果。在Ka波段使用探针产生的损耗有18~20 dB,所以实际输出信号功率大于15 dBm。

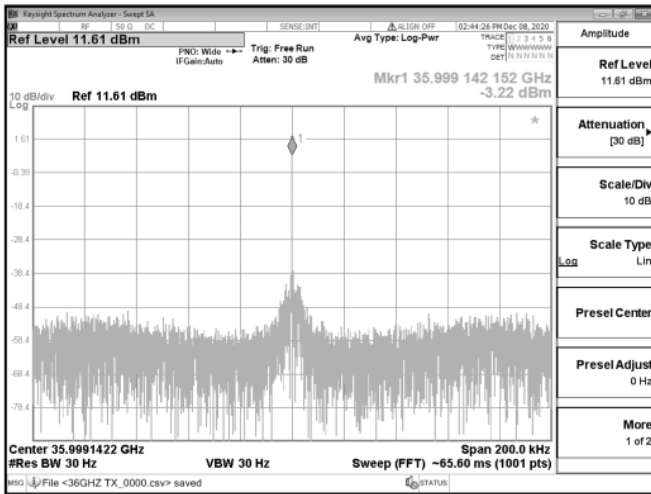


图10 36 GHz 信号测试

#### 4 结论

本文通过对锁相环各个部分进行分析从而建立数学模型,根据锁相环的数学模型对锁相环系统的电路参数进行了修改,环路的幅频和相频特性曲线从图4优化到图5所示的结果。通过对锁相电路的实际信号测试,锁相环能够实现稳定的基频信号输出,最后使用微组的方式完成了倍频电路部分的设计,实现了36 GHz、大于15 dBm的信号输出。频率源的大小仅为 $\Phi 30$  mm,并且能长期稳定工作。对比同类小型化频率源设计,本设计具有频率高体积小、相位噪声较低的特点,有很好的性能表现<sup>[15]</sup>。

#### 参考文献

- [1] 杜海龙,段照斌,王伯阳.基于锁相环路技术的二次雷达信号发生器设计[J].电子技术应用,2020,46(12):134-138,143.
- [2] 刘飞.24GHz混合集成FMCW源研究[D].成都:电子科技大学,2014.
- [3] RUBIO-CIDRE G,BADOLATO A,ÚBEDA-MEDINA L,et al. DDS-based signal-generation architecture comparison for an imaging radar at 300 GHz[J].IEEE Transactions on

- Instrumentation and Measurement,2015,64(11):3085-3098.
- [4] 郭丽芳,张松,尤小泉,等.W波段收发前端设计研究[J].成都大学学报(自然科学版),2017,36(4):394-397.
- [5] 张杰.一种小型化小数分频锁相频率源的设计[J].空军预警学院学报,2018,32(2):147-149,153.
- [6] 刘志强,沈亚飞,王文博,等.基于DDS与PLL的C波段宽带线性扫频源[J].微波学报,2018,34(4):71-76.
- [7] 徐家园.Ka波段小步进宽带频率源的研究与硬件实现[D].南京:南京理工大学,2015.
- [8] HUANG S,LIU S,ZHU Z.A high-resolution 2-GHz fractional-N PLL with crystal oscillator PVT-insensitive feedback control[J].IEEE Microwave and Wireless Components Letters,2018,28(3):227-229.
- [9] AMOURAH M,WHATELY M.A novel switched-capacitor-filter based low-area and fast-locking PLL[C].2015 IEEE Custom Integrated Circuits Conference(CICC),2015.
- [10] ZHAO B,YANG H.Supply-noise interactions among sub-modules inside a charge-pump PLL[J].IEEE Transactions on Very Large Scale Integration(VLSI) Systems,2015,23(4):771-775.
- [11] HOMAYOUN A,RAZAVI B.Analysis of phase noise in phase/frequency detectors[J].IEEE Transactions on Circuits and Systems I: Regular Papers,2013,60(3):529-539.
- [12] 刘琨,李铁虎,张俊安.高速宽带锁相环的相位噪声影响研究[J].微电子学,2019,49(4):467-470,476.
- [13] 李夏琴.本振相位噪声对宽带接收机噪声系数的影响[J].电子技术应用,2020,46(2):36-42,47.
- [14] 梁博,童旭升,扈田.一种超低相位噪声频率源的设计与实现[C].中国电子学会微波分会,2019.
- [15] 蒋洪福,王志刚.C波段小型化频率合成器研制[J].微波学报,2016,32(S1):227-229.

(收稿日期:2021-01-08)

#### 作者简介:

江润东(1995-),通信作者,男,硕士研究生,主要研究方向:微波毫米电路,E-mail:nucjrd@gmail.com。

姚金杰(1982-),男,博士,副教授,主要研究方向:微波毫米波测试技术、北斗导航定位技术应用。

姬娜娜(1995-),硕士研究生,主要研究方向:雷达系统与微波毫米电路。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所