

# 一种用于时间交织型 SAR ADC 的电容校正技术

杨荣彬, 徐振涛

(成都铭科思微电子技术有限责任公司, 四川 成都 610051)

**摘要:** 时间交织型 SAR ADC 对包括电容失配在内的通道间失配较敏感, 其中电容失配既包括通道内的失配也包括通道间的失配, 是影响时间交织型 SAR ADC 性能的重要因素。为了提升时间交织型 SAR ADC 的性能, 基于对 SAR ADC 中 DAC 电容失配对时间交织型 SAR ADC 影响的分析, 结合单通道低速工作 SAR ADC 的电容校正方法, 提出了一套适用于时间交织型 SAR ADC 的电容校正方法, 实现了超过 9 dB 的 SFDR 和超过 2.5 dB 的 SNDR 性能提升。

**关键词:** 时间交织; 逐次逼近模数转换器; 电容失配; 校正技术

中图分类号: TN432

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.201177

中文引用格式: 杨荣彬, 徐振涛. 一种用于时间交织型 SAR ADC 的电容校正技术[J]. 电子技术应用, 2021, 47(7): 44-47.

英文引用格式: Yang Rongbin, Xu Zhentao. A calibration technique for capacitor mismatches of time-interleaved SAR ADC[J]. Application of Electronic Technique, 2021, 47(7): 44-47.

## A calibration technique for capacitor mismatches of time-interleaved SAR ADC

Yang Rongbin, Xu Zhentao

(Chengdu MECS Technology Co., Ltd., Chengdu 610051, China)

**Abstract:** The time-interleaved SAR ADC is sensitive to mismatch between channels. The key factor is the capacitor mismatch, both in channel and between channels. This paper analyzes the impacts of capacitor mismatches in DAC of SAR (Successive-Approximation-Register) ADC on time-interleaved SAR ADC. For improving performance of time-interleaved SAR ADC, a calibration technique based on calibration of capacitor mismatches in single low-speed SAR ADC is proposed, which results in improvement of SFDR (Spurious Free Dynamic Range) exceed 9 dB and SNDR (Signal to noise distortion ratio) exceed 2.5 dB.

**Key words:** time-interleave; SAR ADC; capacitor mismatches; calibration technique

### 0 引言

高速 ADC 作为关键模块在航空航天、雷达通信<sup>[1]</sup>和软件无线电等领域发挥着重要作用。随着应用的发展, 这些领域对模数转换器的性能要求越来越高, 特别是在对续航有限制的应用场合, 不仅需要 ADC 的速度和精度满足系统要求, 还对 ADC 的低功耗提出了明确要求<sup>[2]</sup>。

逐次逼近 (Successive-Approximation-Register, SAR) ADC 由于其本身的类数字电路特性, 使得该类型的 ADC 可以较好地发挥先进工艺制程的优势, 在提高性能的同时降低功耗。随着集成电路的制造工艺发展到纳米量级, SAR ADC 的功耗优势将越来越明显<sup>[3-5]</sup>。

时间交织 (Time-Interleaved, TI) ADC 是将多个低速工作的 ADC 按照时间顺序依次对输入信号进行采样并转换量化输出, 并将各低速 ADC 的输出结果按对应的工作次序交织成最终输出, 以实现模拟信号到数字信号的高速转换。随着集成电路制造工艺的发展, 基于纳米工艺设计制造的低功耗高速时间交织型 SAR ADC 在近年

来越来越受到人们的重视<sup>[6-8]</sup>。

### 1 SAR ADC 电容失配对时间交织结果的影响

SAR ADC 按照其 DAC 的构成元件不同分为多种类型, 其中较为常见的电荷重分配型 SAR ADC 由电容阵列构成的 DAC、比较器和 SAR 逻辑电路三个主要模块构成。而构成 DAC 电容阵列的电容的失配是影响该类型 SAR ADC 性能的重要因素<sup>[9-10]</sup>。

对于单个工作的工作的 SAR ADC 而言, DAC 的电容失配主要影响 ADC 的线性度, 具体性能参数体现为微分非线性误差 (Differential Nonlinearity, DNL)<sup>[11-12]</sup> 和无杂散动态范围 (Spurious Free Dynamic Range, SFDR)。以  $M$  位的二进制 DAC 为例, DNL 最大的码字通常出现在最高位跳变处, 即码字从 011...11 跳变为 100...00。此时, 构成 DAC 的所有电容均需要切换, 是电容阵列中电容切换最多的时刻, 而每个电容的失配都会对 DNL 有所贡献。假设单位电容的标准差为  $\Delta C_U$ , 考虑到全差分结构, 共有  $2 \times (2^M - 1)$  个单位电容发生切换接到参考电压, 如图 1 所示。

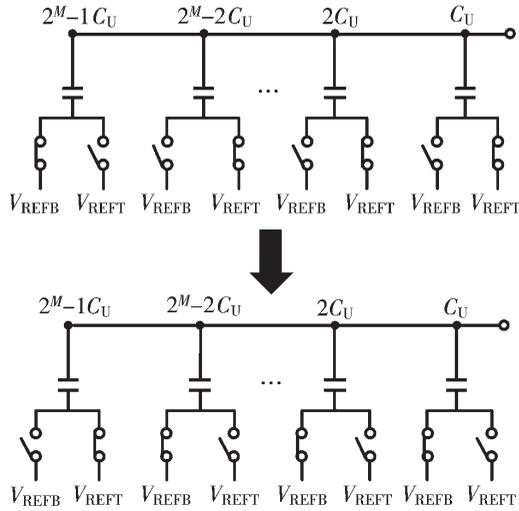


图1 最大DNL时开关切换示意图

由此得到对应的电压增量  $\Delta V_U$  为:

$$\Delta V_U \approx 2 \frac{V_{REF}}{2^M} \quad (1)$$

所有发生切换的电容的总容值变化量的标准差  $\Delta C$  为:

$$\Delta C = \sqrt{2(2^M - 1)} \Delta C_U \quad (2)$$

因此可以得到每个量化步长对应的电压变化量的标准差为  $\Delta V$ :

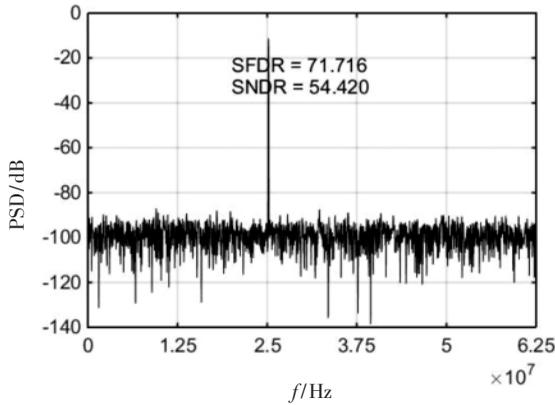
$$\Delta V = \frac{\sqrt{2(2^M - 1)} \Delta C_U}{2C_U} \cdot \frac{2V_{REF}}{2^M} \quad (3)$$

电容失配对于 SFDR 参数的影响将以 10 通道 1.25 GS/s 时间交织型 SAR ADC 为例进行阐述。根据时间交织 ADC 原理,10 通道 1.25 GS/s 时间交织型 SAR ADC 的各低速 ADC 的工作速率为 125 MS/s。当低速 SAR ADC 中的 DAC 电容存在失配时,其输出信号的频谱图如图 2(b) 所示,仅引起谐波分量,造成各 ADC 自身的 SFDR 恶化。

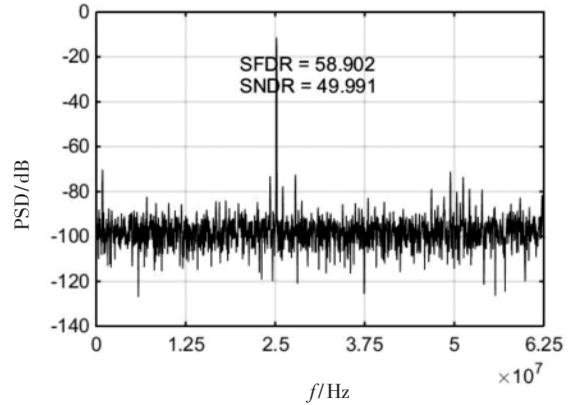
对于将多个低速 SAR ADC 通过时间交织形成的高速 ADC, DAC 电容失配的影响则分为两种情况。(1)通过时间交织构成高速 ADC 的各低速 SAR ADC 的 DAC 电容失配之间没有相关性,则该失配主要贡献噪声,即增加高速 ADC 输出信号频谱的噪底;(2)通过时间交织构成高速 ADC 的各低速 SAR ADC 的 DAC 电容失配完全一致,即相关系数为“1”的全相关,则在交织构成的高速 ADC 输出频谱上将表现出明显的谐波,导致 SFDR 性能的明显下降,如图 3 所示。

## 2 时间交织型 SAR ADC 电容失配校正方法

以上分析和仿真结果表明,为了保证时间交织型 SAR

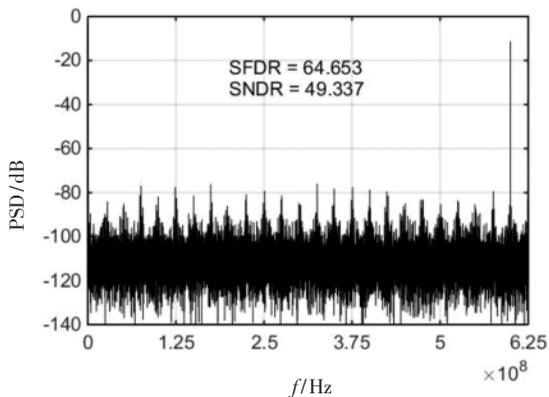


(a) DAC 电容不存在失配

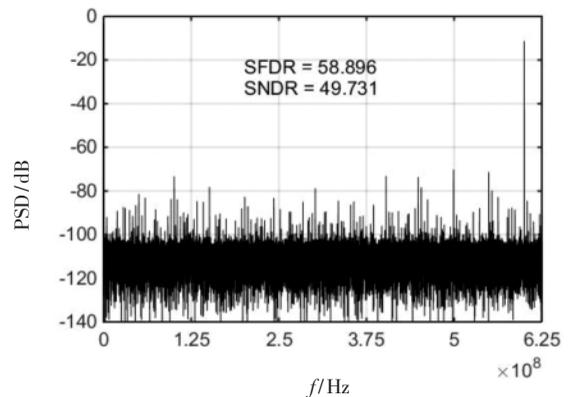


(b) DAC 电容存在失配

图2 DAC 电容失配对单通道 ADC 的影响



(a) 各通道 DAC 电容失配不相关



(b) 各通道 DAC 电容失配完全相关

图3 DAC 电容失配对时间交织 ADC 的影响

ADC 具有良好的线性度,则需要尽可能地降低其低速 SAR ADC 中 DAC 的电容失配。由于电容失配的大小严重依赖于集成电路制作工艺本身,可控性差,因此,本文将采用校正的方法来降低 DAC 电容失配对时间交织型 SAR ADC 性能的影响,具体校正流程如图 4 所示,其主要分为两大步骤:权重校正和增益校正。

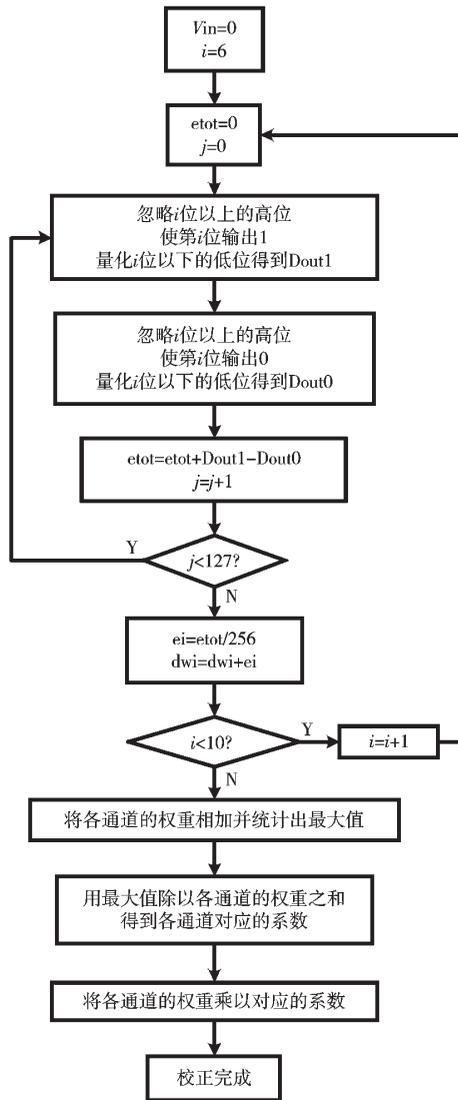


图 4 时间交织 ADC 电容失配校正流程图

首先,需要各低速 SAR ADC 采用低位电容量化高位电容的方式校逐一获得 DAC 电容阵列中各电容的权重值<sup>[13-15]</sup>。例如,如图 4 所示,第 6 位电容的权重值是通过第 0 至第 5 位电容量化得到的,之后再使用第 0 至第 5 位电容以及新得到的第 6 位电容的权重值来量化第 7 位电容的权重,以此类推,直到量化完成最高位电容。为了消除噪声对电容重量化结果的影响,每一位电容的重量化取权重过程都将进行 128 次并取平均值作为最终的电容权重。

由于电容失配校正后会导导致各低速 SAR ADC 的总

电容权重不同,进而引起相互间的增益误差。因此,在各低速 SAR ADC 的 DAC 电容校正完成后,须进行增益误差校正,具体方法为:将各低速 SAR ADC 中 DAC 电容阵列校正后的各电容权重进行相加,获得总电容权重。通过统计获得所有低速 SAR ADC 中的最大总电容权重值,并将所有低速 SAR ADC 的总电容权重向最大值进行“归一化”操作,完成各低速 SAR ADC 的增益误差校正。

图 5 展示了在 DAC 电容有失配的情况下,通过本文方法进行电容校正前后的时间交织型 SAR ADC 的输出频谱。

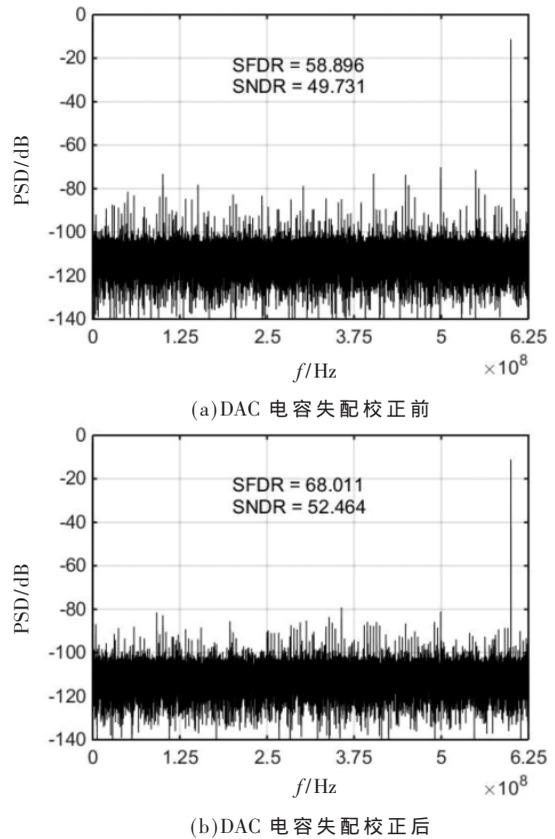


图 5 时间交织 ADC 中 DAC 电容失配校正前后的频谱图

### 3 结论

随着系统应用对高性能且低功耗的高速 ADC 的需求日益增长,基于 SAR ADC 的时间交织模数转换器成为了优选方案之一。然而,时间交织型 SAR ADC 中必然存在的 DAC 电容失配严重制约着该类型高速 ADC 的性能。本文在分析 DAC 电容失配影响的基础上,结合低速 SAR ADC 的电容校正方法,提出了一套适用于时间交织型 SAR ADC 的电容校正方法,实现了超过 9 dB 的 SFDR 和超过 2.5 dB 的 SNDR 性能提升。

#### 参考文献

[1] JIAO S, YAN B, ZHOU L, et al. Estimation and calibration for channel mismatches in high-speed ADC systems[C]. IEEE International Conference on Communication, Circuits

- and Systems, 2013.
- [2] 李毅. 高速数据采集、存储及处理系统设计[D]. 西安: 西安电子科技大学, 2009.
- [3] SEKIMOTO R, SHIKATA A, YOSHIOKA K, et al. A 0.5-V 5.2-fJ/conversion-step full asynchronous SAR ADC with leakage power reduction down to 650 pW by boosted self-power gating in 40-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(11): 2628-2636.
- [4] LIOU C Y, HSIEH C C. A 2.4-to 5.2fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with charge-average switching DAC in 90nm CMOS[C]. 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 2013.
- [5] CHEN Y J, HSIEH C C. A 0.4V 2.02fJ/conversion-step 10-bit hybrid SAR ADC with time-domain quantizer in 90nm CMOS[C]. 2014 Symposium on VLSI Circuits digest of Technical Paper, 2014.
- [6] STEPANOVIC D V. Calibration techniques for time-interleaved SAR A/D converters[D]. Berkeley: University of California at Berkeley, 2012.
- [7] KEANE J P, GUILAR N J, STEPANOVIC D, et al. An 8GS/s time-interleaved SAR ADC with unresolved decision detection achieving -58dBFS noise and 4GHz band width in 28nm CMOS[C]. 2017 IEEE International Solid-State Circuits Conference, 2017.
- [8] Guo Mingqiang, Mao Jiaji, Sin Sai-Weng, et al. A 29mW 5GS/s time-interleaved SAR ADC achieving 48.5dB SNDR with fully-digital timing-skew calibration based on digital-mixing[C]. IEEE Symposium on VLSI Circuits, 2019.
- [9] 王娜. 电荷再分配 SAR ADC 设计中高精度的实现[D]. 成都: 四川大学, 2006.
- [10] 闫传平. 逐次逼近型模数转换器数字校准技术研究及实现[D]. 成都: 电子科技大学, 2010.
- [11] 杜翎. 基于非二进制量化算法的逐次逼近模数转换器的设计[D]. 成都: 电子科技大学, 2016.
- [12] 陈海波. 0.35um CMOS 工艺下 12 位 30MS/s SAR ADC 的设计[D]. 南京: 东南大学, 2016.
- [13] Lee Chun C, Lu Cho-Yung, NARAYANASWAMY R, et al. A 12b 70MS/s SAR ADC with digital startup calibration in 14nm CMOS[C]. Symposium on VLSI Circuits Digest of Technical Papers, 2015.
- [14] Ye Fan, Li Shuai, Zhu Min, et al. A 13-bit 180-MS/s SAR ADC with efficient capacitor-mismatch estimation and dither enhancement[C]. 2019 IEEE International Symposium on VLSI Circuits and Systems, 2019.
- [15] Shen Junhua, SHIKATA A, FERNANDO L D, et al. A 16-bit 16-MS/s SAR ADC with on-chip calibration in 55-nm CMOS[J]. IEEE Journal of Solid State Circuits, 2018, 53(4): 1149-1160.
- (收稿日期: 2020-12-06)
- 作者简介:  
杨荣彬(1982-), 男, 硕士研究生, 工程师, 主要研究方向: 模拟集成电路设计。  
徐振涛(1987-), 男, 博士研究生, 工程师, 主要研究方向: 模拟集成电路设计。
- 
- 扫码下载电子文档
- 
- (上接第 20 页)
- matching for wireless sensor network applications[C]. 2020 IEEE International Conference on Semiconductor Electronics, Malaysia: IEEE, 2020: 73-76.
- [5] 魏启迪, 林俊明, 章国豪, 等. 应用于 802.11ac 的 SiGe BiCMOS 低噪声放大器[J]. 电子技术应用, 2018, 44(7): 42-45.
- [6] ZHONG L, ZHANG Z, LI J, et al. A dual mode integrated LNA and switch for WLAN receiver[C]. 2019 IEEE Asia-Pacific Microwave Conference. Singapore: IEEE, 2019: 1354-1356.
- [7] 耿红亮. 高线性宽带非对称 SPDT 射频开关设计[D]. 杭州: 浙江大学, 2017.
- [8] 张志浩. 射频开关的研究及其在新一代智能手机前端的应用[D]. 广州: 广东工业大学, 2017.
- [9] 张玲玲. 基于 GaAs 工艺的低噪声放大器及 ESD 保护电路设计[D]. 南京: 东南大学, 2015.
- [10] 徐邵然. 应用于 WSN 的 2.4GHz 低功耗低噪声放大器设计[D]. 南京: 东南大学, 2015.
- [11] 张昊. 宽带接收机前端关键模组中关键电路的研究与设计[D]. 合肥: 中国科学技术大学, 2018.
- [12] 屠志晨. pHEMT 通用导航低噪声放大器设计[D]. 杭州: 浙江大学, 2016.
- [13] 汪宁欢. 应用于 5G 基站的低噪声放大器和射频接收前端设计[D]. 南京: 中国电子科技集团公司电子科学研究院, 2019.
- [14] 张宁. GaAs\_pHEMT 噪声模型及低噪声放大器的研究设计[D]. 西安: 西安电子科技大学, 2019.
- [15] 倪冬欣, 彭龙新, 李建平等. 5.6GHz 限幅低噪声放大器的研制[J]. 固态电子学研究与进展, 2020, 40(1): 18-22.
- (收稿日期: 2021-03-12)
- 作者简介:  
饶忠君(1996-), 男, 硕士研究生, 主要研究方向: 射频集成电路设计。  
张志浩(1989-), 通信作者, 男, 博士, 讲师, 主要研究方向: 射频集成电路设计、射频电路特性建模及电磁仿真, E-mail: zhihaozhang@gdut.edu.cn。  
章国豪(1964-), 男, 博士, 教授, 主要研究方向: 模拟、射频、微波及毫米波单片集成电路设计及新技术研发。
- 
- 扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所