

基于 Innovus 工具的 IR Drop 自动化修复

万健¹, 王硕¹, 邱欢¹, 陈飞阳¹, 叶林¹, 武辰飞^{1,2}, 欧阳可青^{1,2}

(1. 深圳市中兴微电子技术有限公司 后端设计部, 广东 深圳 518055;

2. 移动网络和移动多媒体技术国家重点实验室, 广东 深圳 518055)

摘要: 在先进工艺节点下, 芯片电源网络的电阻增加和高密度的晶体管同时翻转会在 VDD 和 VSS 上产生电压降 (IR Drop), 导致芯片产生时序问题和功能性障碍。采用基于 Innovus 工具的三种自动化 IR Drop 修复流程在 PR (Placement and Route) 阶段优化模块的动态 IR Drop。结果表明, Pegasus PG Fix Flow 和 IR-Aware Placement 这两种方法能分别修复设计的 48% 和 33.8% 的 IR Drop 违例, 且不会恶化时序和 DRC (Design Rule Check), 而 IR-Aware PG Strape Addition 这种方法的优化力度相对较小, 且会使 DRC 有较大幅度的恶化。

关键词: 芯片设计; Innovus 工具; IR Drop 修复

中图分类号: TN402

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.219801

中文引用格式: 万健, 王硕, 邱欢, 等. 基于 Innovus 工具的 IR Drop 自动化修复[J]. 电子技术应用, 2021, 47(8): 43-47.

英文引用格式: Wan Jian, Wang Shuo, Qiu Huan, et al. Automatic IR drop fixing with Innovus implementation system[J]. Application of Electronic Technique, 2021, 47(8): 43-47.

Automatic IR drop fixing with Innovus implementation system

Wan Jian¹, Wang Shuo¹, Qiu Huan¹, Chen Feiyang¹, Ye Lin¹, Wu Chenfei^{1,2}, Ouyang Keqing^{1,2}

(1. Department of Back-End Design, Sanechips Technology Co., Ltd., Shenzhen 518055, China;

2. State Key Laboratory of Mobile Network and Mobile Multimedia Technology, Shenzhen 518055, China)

Abstract: At the advanced process nodes, due to resistive power grid and simultaneous switching of close instances, there is a voltage reduction (IR drop) on VDD nets and an increase on VSS nets. IR drop may cause timing issues and functional failures of chips. In this paper, three automatic IR drop fixing flows based on Innovus implementation system were used to avoid and fix the possible dynamic IR drop issues during the PR (Placement and Route) stage. The results show that the Pegasus PG fix flow and IR-Aware placement flow could reduce the IR drop violations of 48.0% and 33.8% respectively, and would not deteriorate the timing and DRC (Design Rule Check). However, the optimization effect of IR drop issues was relatively small with IR-Aware PG strape addition flow and DRC greatly deteriorated.

Key words: chip design; Innovus implementation system; IR drop fixing

0 引言

在先进工艺节点下, 芯片集成度极大提高, 电源网络的电阻增加和高密度的晶体管 (可称为 Cell) 同时翻转会在供电线 (Power nets and Ground nets, 简称 PG) 上产生 IR Drop^[1-4]。先进工艺下, 5%~10% 的 IR Drop 可能会引起时序问题, 20%~30% 的 IR Drop 可能会导致功能性障碍, 因此在芯片设计过程中, IR Drop 的预防和优化也就显得越来越重要。

本文中, 基于 Cadence 公司的自动化布局布线工具 Innovus, 利用 IR-Aware Placement、IR-Aware PG Strape Addition 和 Pegasus PG Fix Flow 这三种方法自动化修复设计的动态 IR Drop, 并对比分析各方法的优化效果。

1 芯片物理实现过程中的 IR Drop 概述

1.1 IR Drop 定义

IR Drop 是指在集成电路中 VDD 或 VSS 的电压的下降或升高的现象, 综合考虑 VDD 和 VSS 的 IR Drop 为双边电压降 (本文中的 IR Drop 均指双边电压降)。IR Drop 过高, 芯片就会出现时序问题甚至功能性障碍, 使芯片彻底失效^[5-6]。

动态 IR Drop 是电路开关切换时电流波动引起的, 更能反映芯片工作时的供电情况, 所以本文主要探讨动态 IR Drop 的优化 (下文的 IR Drop 均指动态 IR Drop)。

1.2 传统 IR Drop 修复流程和局限

IR Drop 的优化一般是在芯片物理实现后期进行, 通常有三种方法: 加 cell padding 将 cell 推开、添加稳压

二极管减小电压波动、减小 cell 的驱动。但是以上方法存在如下局限：

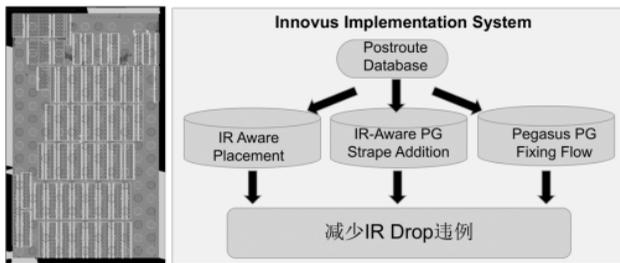
- (1)加 cell padding 和稳压二极管时,很难仅针对 IR Drop 违例的区域添加,会造成面积和资源的浪费;
- (2)如果整体减小设计中 cell 的驱动,可能会造成严重的时序恶化;
- (3)优化效率低,迭代次数多,IR Drop 修复工作量大;
- (4)没有从补强 PG 网络方面进行对 IR Drop 进行优化。

2 IR Drop 的自动化修复流程设计

针对传统 IR Drop 修复方法的缺点,本文中利用 IR-Aware Placement、IR-Aware PG Strape Addition 和 Pegasus PG Fixing Flow 这三种方法在 postroute 阶段对模块的动态 IR Drop 进行自动化优化。

2.1 IR Drop 的自动化修复流程设计

本文中利用一个在先进工艺下设计的模块为例进行说明,Floorplan 如图 1(a)所示。模块面积约为 555 μm×925 μm,instance 数目约为 130 万,最高走线金属层为 M17,最高频率超过 1.0 GHz,Signoff 方式为 SOCV (Statistical On Chip Variation)。模块的端口分布在四周,八边形的 bump 打在 M17 上,给底层逻辑供电。



(a)Floorplan 图

(b)IR Drop 修复流程

图 1 实验模块的 Floorplan 和 IR Drop 的自动化修复流程设计

本文中会分别利用如图 1(b)所示的三个自动化流程优化模块的动态 IR Drop,并对比分析各方法的优缺点和优化效果。

(1)IR-Aware Placement

该方法会自动调用 Voltus 工具(Cadence 公司的功耗分析 Signoff 工具)识别设计的 IR Drop hotspot 区域,并将在小范围内将这些区域的 cell 推开,降低 IR Drop 区域 cell 的密度,减小 IR Drop,用到的命令主要是:

- ①refinePlace -preserveRouting true;
- ②ecoRoute。

(2)IR-Aware PG Strape Addition

该方法也会自动识别设计的 IR Drop hotspot 区域,设计者可根据不同区域的 IR Drop 情况设置不同的 PG pattern,利用命令可自动将这些 PG 加在 IR Drop hotspot 区域,有针对性地优化 IR Drop。例如,当 IR Drop 大于 5%时,设计多层的 PG pattern 来进行优化,而 IR Drop 小

于 5%时,设计单层的 PG pattern 来进行优化。用到的命令主要是:

```
reinforce_pg-pattern_file *** -pattern_map
{$voltage_drop_value $pattern_name};
```

其中,pattern_map 用于指定 IR Drop 范围和用于优化的 PG pattern。本实验中,当 IR Drop 大于 1.2%时,利用复合的 PG pattern 就能在相应区域的 M4、M6、M8、M11 和 M13 上添加 PG,优化 IR Drop。

(3)Pegasus PG Fixing Flow

在 Innovus 中可以调用 Pegasus 工具(Cadence 公司的物理验证 Signoff 工具)全局地或局部地添加 PG,以优化 IR Drop。用到的主要命令是:

```
add_pg_fill -fill -working_dir ***
```

该方法不会自动识别 IR Drop hotspot 区域,需单独调用 Voltus 工具检验 IR Drop 优化效果,添加的 PG 为 fill 的形式,可以随时删除或添加,且不会造成新的 DRC 违例。

2.2 IR-Aware Placement 的 IR Drop 修复

本部分利用三次 refinePlace 命令对模块 IR Drop 进行优化,动态 IR Drop 的阈值定为 6.54%(下同)。如表 1 所示,三次优化后违例的 instance 数目由 2 893 降为 1 914,违例数目减少 33.8%,最小供电电压(Minimum Effective Instance Voltage, Min EIV)从 0.699 V 提高到 0.721 V,提高 3.1%,动态 IR Drop 优化效果较为明显。

表 1 refinePlace 前后模块 instance 分布和比例

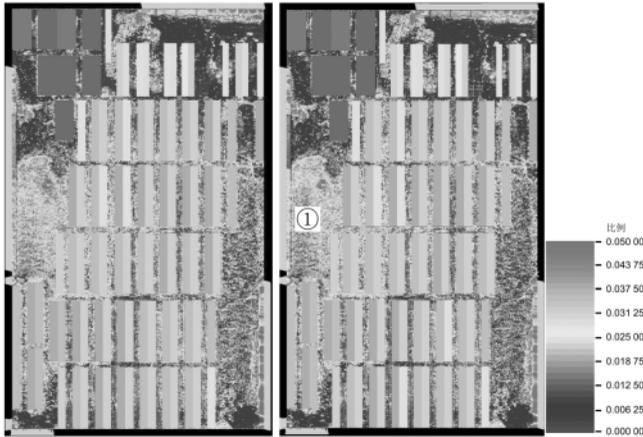
动态 IR Drop 范围/%	优化前		三轮 refinePlace 优化后	
	Inst 数目/个	占比/%	Inst 数目/个	占比/%
0~2.18	888 341	82.86	917 098	85.54
2.18~4.36	159 646	14.89	136 730	12.75
4.36~6.54	21 255	1.98	16 347	1.52
6.54~8.72	2 554	0.24	1 748	0.16
8.72~10.09	267	0.02	158	0.01
10.09~13.08	50	约为 0	8	约为 0
13.08~15.26	22	约为 0	0	0

注:1)Inst 表示 instance;2)设计的标准 VDD 电压为 0.825 V,下同。

如图 2 所示,三次优化后,模块在①处的 IR Drop 改善比较明显,说明该处虽然 cell 密度很高,但是有推开的空间。而在 Memory 上和端口处的 iobuffer 区域优化效果不明显。

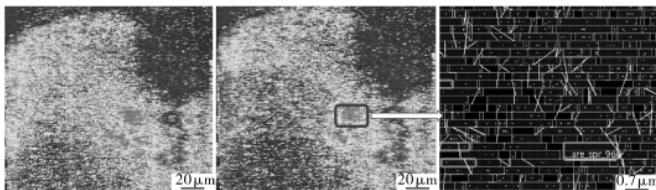
如图 3(a)、图 3(b)所示,从局部来看,IR Drop 的优化效果也比较明显。在第三轮优化时 cell 移动的路径如图 3(c)所示,该轮优化过程中 cell 移动的平均距离为 0.32 μm,最大移动距离为 7.21 μm。

如图 4 所示,随着优化次数的增多,移动的 instance 逐渐减少,违例 instance 减少的速度变缓,且最小电压值的增速减缓甚至有恶化的趋势,这说明优化的力度随着优化次数的增加而减少,第一轮优化力度最大,移动的 instance 最多,违例的 instance 减少了 28.6%,Min EIV



(a) 优化前 (b) 优化后

图2 refinePlace 优化前后模块的动态 IR Drop Map 图



(a) 优化前 (b) 优化后 (c) 移动 cell 示意图

图3 refinePlace 前后模块局部的动态 IR Drop Map 图和第三轮优化时移动 cell 的示意图

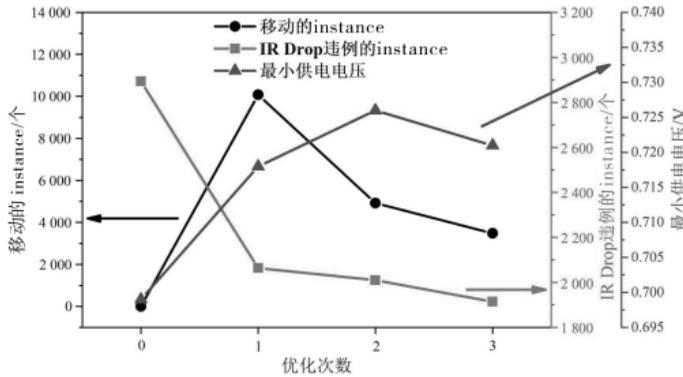


图4 每一轮优化移动的 instance 数目、最小供电电压值和违例 instance 数目的变化

增加了 2.7%。

如表 2 所示,每一轮优化后模块时序和 DRC 的变化较小,且运行时间均在 100 min 左右,在可接受的范围内。

表 2 三轮 refinePlace 优化前后模块的参数对比

参数	优化前	第一轮 refinePlace	第二轮 refinePlace	第三轮 refinePlace
WNS/ns	-0.650	-0.651	-0.651	-0.651
时序 TNS/ns	-2 327.2	-2 341.6	-2 338.6	-2 341.5
违例数/条	11 776	11 801	11 795	11 798
DRC/个	74	67	67	67
运行时间/min	/	97	102	98

综上所述,利用 refinePlace 命令进行三轮优化后,违例数目减少 33.8%,Min EIV 提高了 3.1%,IR Drop 优化效果比较明显,且对时序和 DRC 影响较小,运行时间可控。随着优化次数的增加,工具的优化效率逐渐降低。

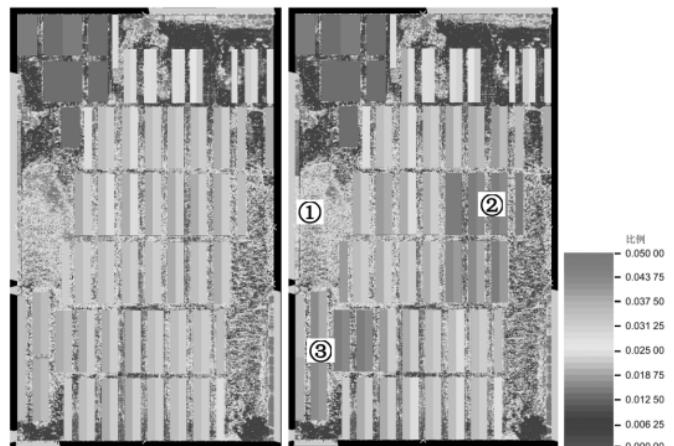
2.3 IR-Aware PG Strape Addition 的 IR Drop 修复

IR-Aware PG Strape Addition 的方法利用 reinforce_pg 命令来优化 IR Drop。如表 3 所示,优化后,IR Drop 较大的 instance 数目减小,违例的数目从 2 893 减小到 2 367,减小 18%,Min EIV 从 0.699 V 提高到 0.716 V,提高 2.4%,IR Drop 优化效果明显。

表 3 reinforce_pg 优化前后模块 instance 分布和比例

动态 IR Drop 范围/%	优化前		reinforce_pg 优化后	
	Inst 数目/个	占比/%	Inst 数目/个	占比/%
0~2.18	888 341	82.86	901 647	84.10
2.18~4.36	159 646	14.89	150 291	14.02
4.36~6.54	21 255	1.98	17 785	1.66
6.54~8.72	2 554	0.24	2 107	0.20
8.72~10.09	267	0.02	227	0.02
10.09~13.08	50	约为 0	32	约为 0
13.08~15.26	22	约为 0	1	约为 0

如图 5 所示,优化后,在①等高 cell 密度区域和②、③等 Memory 区域,IR Drop 有明显的改善。



(a) 优化前 (b) 优化后

图5 reinforce_pg 优化前后模块的动态 IR Drop Map 图

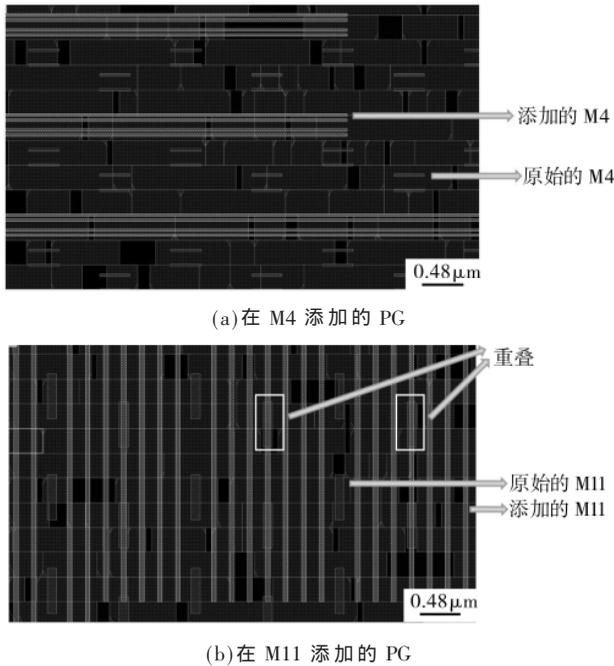
表 4 为工具在各金属层添加的 PG 和运行时间(仅指打 PG 的时间)。M4、M6 和 M11 绕线资源比较丰富,添加 PG 较多,而 M8 和 M13 等金属层绕线资源相对紧缺,添加的 PG 数目较少。总体的运行时间为 724 min,优化

表 4 各金属层添加的 PG 条数

金属层	M4	M6	M8	M11	合计
添加 PG 数/条	13 670	11 406	2 735	16 488	50 186
运行时间/min		340	159	129	724

效率相对较低。

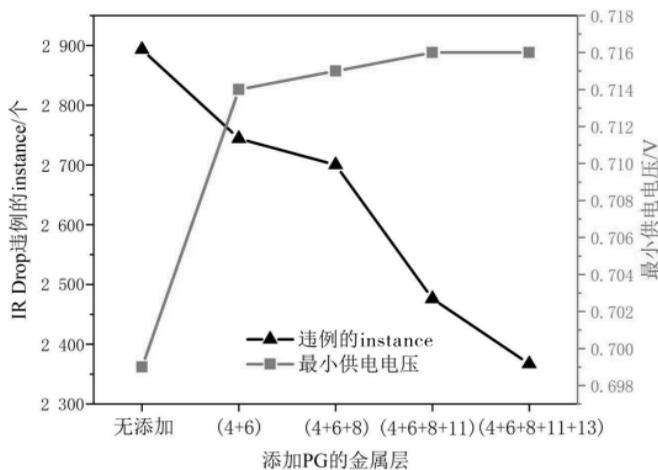
图 6 为 M4 和 M11 上添加的 PG,可以看出优化前的电源条均比较短,优化时工具会充分利用剩余绕线资源添加较长的电源条,补强设计的电源网络。但是在 M11 层会出现原始 PG 和添加 PG 的重叠的情况,这个还需要后期进行流程优化。



注:图中已隐去信号线、孔和其他层的 PG 线。

图 6 reinforce_pg 优化后在 M4 和 M11 添加的 PG

如图 7 所示,当添加 PG 的层数逐渐增加时,Min EIV 也逐渐提高,违例的 instance 数目减小。在 M4 和 M6 添加 PG 时 Min EIV 提高最快,这是因为这两层 PG 孔能直接打到 M0 和 M1 等 IR Drop 较大的金属层,给底层 instance 提供更多供电点。当 PG 打到了 M11 和 M13 等



注:(4+6)表示在 M4 和 M6 上添加 PG,其他缩写类似。

图 7 添加多层 PG 时 instance 违例数目和最小供电电压的变化

奇数层后,违例 instance 减少的速率加快,这是因为高层走线电阻更小,IR Drop 也减小。

如表 5 所示,利用 reinforce_pg 优化后,时序恶化较少。但是 DRC 的数目从 82 条增加到了 1 000 条,主要增加的违例是 Short 和 MinStep 等两类。Short 类型违例主要为在 M6、M8 和 M11 上电源线和信号线的 Short,这是由于该方法优化时会忽略信号线的绕线造成的。MinStep 的违例全在 M11 层,由孔未完全包住 PG 线造成,该类违例可通过减小 PG 的长度来解。此外,优化时添加的 PG 多达 50 186 条,难以直接通过 ecoRoute 来解 DRC。

表 5 reinforce_pg 优化前后模块的时序和 DRC

参数	优化前	reinforce_pg 后
时序	WNS/ns	-0.650
	TNS/ns	-2 327.2
	违例数/条	11 776
DRC	Short/个	42
	MinStep/个	0
	总违例数/个	74

综上可知,利用 reinforce_pg 命令的优化可减少 18% 的违例 instance,优化模块的 IR Drop,且对时序影响较小,但是使 DRC 数量增加了 13.5 倍。添加 5 层 PG 的运行时间可达 724 min,优化效率相对较低。此外,该方法能改善 Memory 上的 IR Drop。

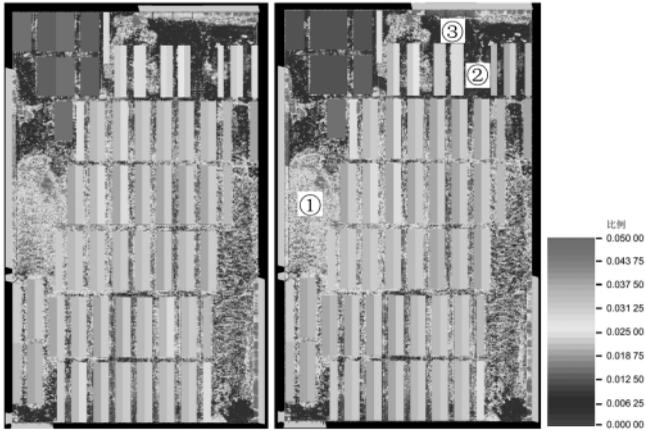
2.4 Pegasus PG Fixing Flow 的 IR Drop 修复

在 Innovus 中可调用 Pegasus 工具全局地或局部地添加 PG fill,增强设计的电源网络,优化 IR Drop。如表 6 所示,优化前的违例 instance 数目为 2 893,添加 local PG fill 和 global PG fill 后 instance 违例数目分别为 2 717 和 1 518,分别减少了 6%和 48%,Min EIV 均从 0.699 V 增加为 0.708 V,但是添加 global PG fill 后平均供电电压(Average Effective Instance Voltage, Avg EIV)从 0.814 V 提高到 0.815 V,且 IR Drop 在 0~2.18%范围的 instance 数目更多,可以看出添加 global PG fill 的优化效果更好。

表 6 添加 PG fill 前后模块 instance 分布

动态 IR Drop 范围/%	Inst 数目/个		
	优化前	添加 local PG fill	添加 global PG fill
0~2.18	888 341	898 039	929 256
2.18~4.36	159 646	152 663	127 224
4.36~6.54	21 255	18 670	14 080
6.54~8.72	2 554	2 390	1 362
8.72~10.09	267	279	117
10.09~13.08	50	33	25
13.08~15.26	22	15	14

如图 8 所示,添加 global PG fill 后,模块在端口处的高 cell 密度区域(如图 8(b)的区域①和③)和部分 Memory 上(如图 8(b)的区域②)的 IR Drop 有较为明显的改善。

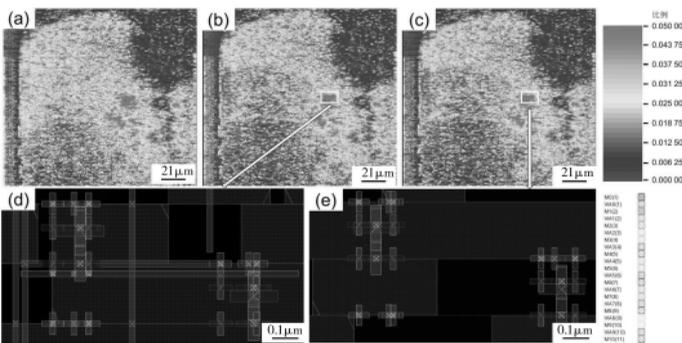


(a) 优化前

(b) 优化后

图8 添加 global PG fill 优化前后模块的动态 IR Drop Map 图

如图9所示,可以看出,添加 global PG fill 和 local PG fill 都能减小 IR Drop 违例的范围。如图9(d)、图9(e)所示,global PG fill 可以打得更长更密,供电效率更高,所以该类 PG fill 的优化效果也更好。



注:图中已隐去原始的 PG、M10 以上的 PG fill 和信号线。

图9 优化前(a)、加 global PG fill (b)、加 local PG fill (c)后动态 IR Drop Map 图和加 global PG fill (d)和 local PG fill (e)的放大图

如表7所示,添加 PG fill 后,时序情况基本维持不变(甚至稍有改善),优化后 DRC 的数目没有新增。利用 6 个 licence 可以在 237 min 内添加 4 120 962 条 global PG fill,适合在 postroute 阶段全面修复设计的 IR Drop。

综上所述,添加 global PG fill 的方式比 local PG fill 的 IR Drop 优化力度更大,打上的 PG fill 密度更高,且两总方法均不会使时序和 DRC 恶化。此外,添加 PG fill 的方式能改善 Memory 上的 IR Drop。

3 结论

(1)利用 Pegasus 工具添加 global PG fill 的方法能使

表7 添加 PG fill 前后模块时序和 DRC

参数	优化前	添加 local PG fill 后	添加 global PG fill 后
时序			
WNS/ns	-0.650	-0.650	-0.645
TNS/ns	-2 327.2	-2 326.2	-2 322.8
违例数/条	11 776	11 781	11 740
DRC			
Short/条	42	42	42
总违例数/条	74	74	74
添加的 PG fill/条	/	573 591	4 120 962
运行时间/min	/	188	237
		(1 个 licence)	(6 个 licence)

有 IR Drop 违例的 instance 数减少 48%,且时序和 DRC 没有恶化,动态 IR Drop 的优化效果最好。

(2)利用 refinePlace 命令优化 IR Drop,instance 违例数减少 33.8%,对时序和 DRC 影响较小,IR Drop 优化效果比较明显。

(3)利用 reinforce_pg 命令优化 IR Drop,instance 违例数减少 18%,对时序影响较小,但是使 DRC 数量增加 13.5 倍,且运行时间较长,优化效率较低。

(4)利用添加 PG fill 和 reinforce_pg 优化等方法可以改善端口处和 Memory 上的 IR Drop。

参考文献

- [1] 李振.片上 P/G 网络中 IR-drop 的分析与优化[D].西安:西安电子科技大学.
- [2] 杨垠丹.超深亚微米集成电路 IR-DROP 快速论证分析的研究[D].杭州:浙江大学,2004.
- [3] 倪鹏.28 nm 低功耗移动基带芯片的 IR Drop 分析与优化[D].西安:西安电子科技大学,2016.
- [4] 孙艳.低功耗集成电路中 IR Drop 分析与工程实践[J].集成电路应用,2017,34(6):69-73.
- [5] 陈春章,艾霞,王国雄.数字集成电路物理设计[M].北京:科学出版社,2008.
- [6] RABAAY J M, CHANDRAKASAN A, NIKOLIC B, et al. 数字集成电路:电路系统与设计的[M].北京:电子工业出版社,2010.

(收稿日期:2021-06-23)

作者简介:

万健(1995-),男,工程师,主要研究方向:数字集成电路物理实现。

王硕(1995-),男,工程师,主要研究方向:数字集成电路物理实现。

邱欢(1994-),男,工程师,主要研究方向:数字集成电路物理实现。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所