

# Tempus-PI 仿真和实测关键时序路径的一致性研究

余金金<sup>1</sup>, 闫志超<sup>1</sup>, 张倩忆<sup>2</sup>, 陈泽发<sup>2</sup>

(1. 上海燧原科技有限公司, 上海 200000; 2. 上海铿腾电子科技有限公司, 上海 200000)

**摘要:** 传统的静态时序分析会将电压的不一致性作为减弱参数形式, 以一定的余量帮助使用者覆盖大部分真实芯片中的情况。但是随着芯片越来越大, 软硬件的功能越来越多, 由于电压降引起的时序违例越来越多。很多情况下 IR 的分析是符合标准的。现在主流的大规模芯片如 AI 芯片都是基于 12 nm、7 nm 或者更小的技术节点。封装还会引入3DIC。电压降分析越来越复杂也越来越重要。与此同时, 时序分析也将会引入电压降的影响。Tempus-PI 提供一个真正的时序和电压降协同仿真的签核流程, 以此来帮助找到真正的电压敏感的关键路径。该仿真工作的结果得到了芯片测试的一致性验证。

**关键词:** 静态时序分析; 电压降; 关键路径; 一致性

中图分类号: TN402

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.219804

中文引用格式: 余金金, 闫志超, 张倩忆, 等. Tempus-PI 仿真和实测关键时序路径的一致性研究[J]. 电子技术应用, 2021, 47(8): 56–58.

英文引用格式: Yu Jinjin, Yan Zhichao, Zhang Qianyi, et al. Silicon correlation for critical path of 3DIC AI chip with Tempus-PI[J]. Application of Electronic Technique, 2021, 47(8): 56–58.

## Silicon correlation for critical path of 3DIC AI chip with Tempus-PI

Yu Jinjin<sup>1</sup>, Yan Zhichao<sup>1</sup>, Zhang Qianyi<sup>2</sup>, Chen Zefa<sup>2</sup>

(1. Shanghai Enflame Technology, Shanghai 200000, China; 2. Cadence Shanghai, Shanghai 200000, China)

**Abstract:** When we use traditional timing signoff(STA) with a proper margin or derate for voltage variations, it will help us to cover most scenarios of real silicon. But as chips are designed larger and larger, features of hardware and software increase more and more, we see some critical cases will lead timing to fail caused by IR drop, even if IR analysis is under criteria. Now, most of our designs such as AI chips are designed on 12 nm, 7 nm or less, with a 3DIC interposer. IR drop analysis is more and more complex and important. Meanwhile, timing analysis with IR drop is request. Tempus Power Integrity provides a true signoff solution for concurrent IR drop and timing, which helps us find the real critical timing path with voltage sensitive. And this simulation results are well correlated and verified by silicon testing.

**Key words:** STA; IR; critical path; correlation

## 0 引言

芯片设计向着更高的集成化、更高的频率以及更加复杂的签核(signoff)流程发展。其中静态时序分析(STA)是数字芯片设计 signoff 中最关键的环节之一。对于关键路径的定位, 仿真优化都是影响芯片性能的重要步骤。同时, 随着芯片设计复杂化, 技术节点向纳米量级发展, 电源传输网络造成逻辑单元的电压降分析也变得越来越系统化、精细化。因此由于电压降引入的时序变化也越来越多的需要考量, 尤其是关键路径上的电压降。

## 1 电压降对时序的影响

电压降会同时影响线延时和单元延时。由于峰值电压减小, 带压降的电压摆幅会明显小于正常电压, 这将影响到线延时和接收端输入斜率。电压降对时序影响如图 1 所示, 假设驱动端是工作在正常电压  $V_{dd}$  而接收端工

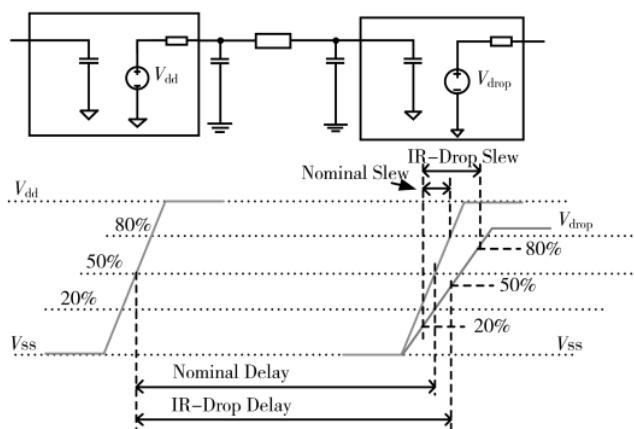


图 1 电压降对时序的影响

作在带压降的电压  $V_{IRdrop}$ 。同时假设如下的时序库设定:

- (1) Lower slew threshold : 20%
- (2) Upper slew threshold : 80%
- (3) Input threshold : 50%
- (4) output threshold : 50%

由于信号波形通过线传递过来,正常电压摆幅的线延时将小于带电压降计算得到的延时。同时可以看到接收端的输入斜率变化,而单元延时是由输入斜率和输出负载的公式计算得到。因此单元延时也将被影响到<sup>[1]</sup>。由于正常库文件都是通过标准的电压点设计的,为了更加精确的延时模型,需要引入多个电压点的库文件,通过差值法计算。

## 2 技术节点的影响

技术节点对 RC 和单元延时的影响如图 2 所示,随着芯片设计发展从 40 nm 到 28 nm 再到 16 nm 以及现在的 7 nm 和 5 nm,电阻系数成倍数(3 倍)地增加,从而造成电压降关键因子电源网络 R 的增加。而电容系数几乎没有增加,这样对于同样的电流需要可供充放电的耦合电容几乎没有增加。电压降的影响越来越严重。图中右侧图中则反映了随着阈值电压的降低,标准单元对于电压降低带来的性能影响越来越敏感。因此在当前主流 12 nm 或者以下的芯片设计中 IR 以及 IR 对时序的影响越来越严重。

## 3 Tempus-PI 算法

针对以上两个方面的影响,Tempus-PI 为客户提供了一套自动的分析方法,可以同时考虑时序和 IR 对设计的影响。这套方案可以支持读入现有矢量波形作为仿真输入的 EIV(Effective Instance Voltage)分析结果反标注到每一个标准单元上去。通过读入多套电压的 timing lib 库,STA 引擎可以对新的时延做准确的非线性插值,从而得到 IR-drop aware 的 timing 分析结果。这一轮的 STA 分析结果还可以作为新的 timing window 重新输入给 power & IR 分析引擎进行更为准确的迭代。

当仿真矢量在设计初期缺失或者不能涵盖最差情况的时候,该方案也支持做第一轮的 IR 仿真分析前,通过结合 STA 引擎找出对电压敏感的关键时序路径,在无矢量仿真中确保这些路径和在他周围比较重要影响路径一定翻转,从而得到 timing-aware 的 IR-drop 分析结果。这也是 Tempus-PI 算法中比较独特的一点。

## 4 设计简介和技术参数

这里的研究对象是一个 12 nm AI 芯片中的核心模块 S。其物理尺寸为 2 600  $\mu\text{m}$   $\times$  2 700  $\mu\text{m}$ ,一共 21M 标准单元。floorplan 如图 3 所示。

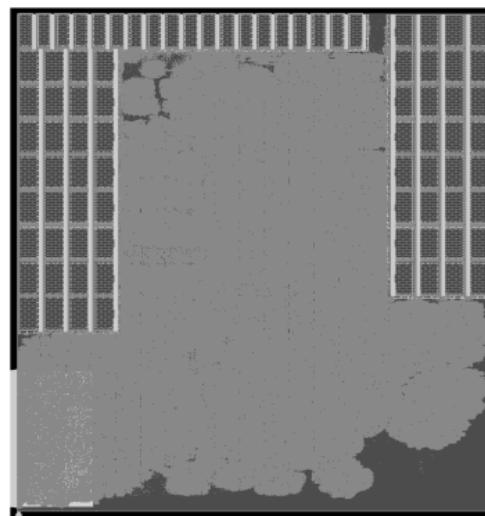


图 3 核心模块 S floorplan

该模块是整个 AI 芯片的核心,主频的高低决定了整体计算性能。因此对于该模块的关键路径的时序检查和收敛至关重要。

## 5 传统的静态时序分析

传统的时序分析基于工艺角的库文件以及一系列用来覆盖不同影响因子的时序计算参数,比如 derate、

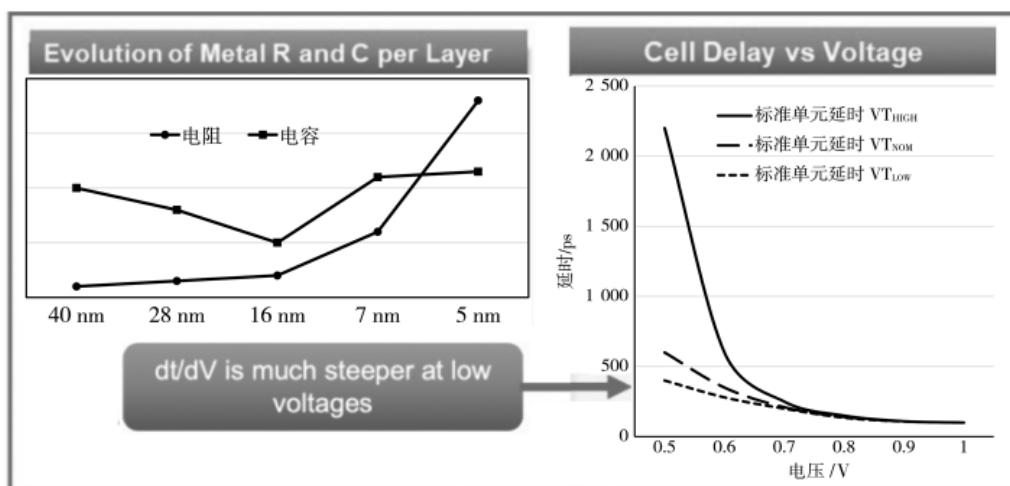


图 2 技术节点对 RC 和单元延时的影响

uncertainty 等。在该设计中要求在 typical 的情况下, 电压为 0.8 V 时, 达到设计的目标频率。最终建立时间的时序统计如图 4 所示。

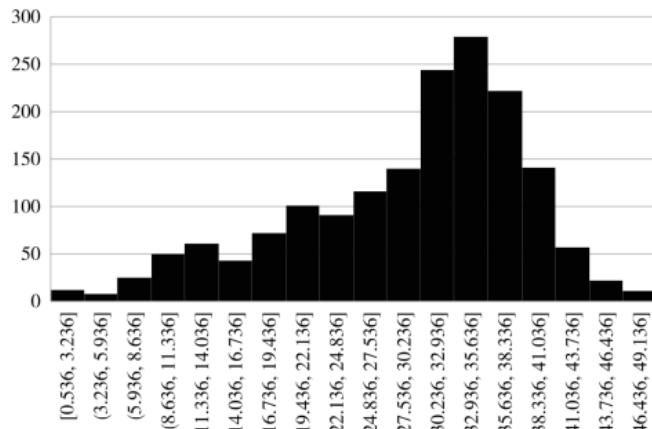


图 4 传统时序分析建立时间直方图

## 6 IR 分析

这里首先介绍下 IR 的仿真环境和方式。由于芯片设计已经结束, 进入了实验室实测阶段。前端设计可以提供和实测功能一致的矢量波形作为仿真输入。因此使用矢量波形作为 IR 仿真的输入。该波形表征了核心模块 S 在该时间段里所有逻辑单元的翻转情况。同时将单个核心模块放到了整个芯片中单独开启, 仿真模型中又带入了 3DIC 相关的中介层(interposer) 以及封装相关的设计参数。IR 仿真结果如图 5 所示。

如图 5 所示, 在系统中单个核心模块启动后, 在该核心所在区域从内到外形成了压降效应。

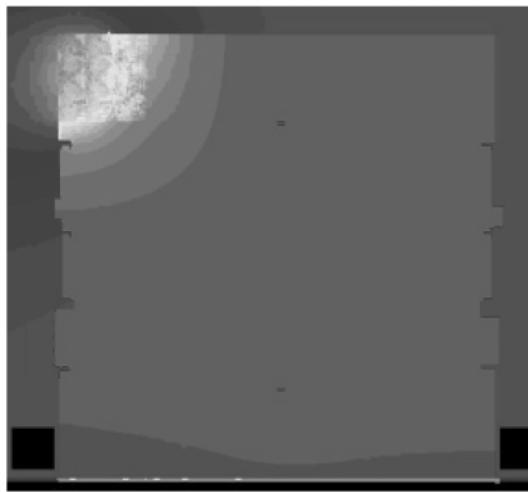


图 5 单核心模块在系统中启动后的 IR 仿真结果

## 7 IR-aware STA

通过 Tempus-PI 的标准流程, 将上个章节中的 IR 数据结合到 STA 的仿真中。可以看到时序有了很大变化, 统计结果如图 6 所示。

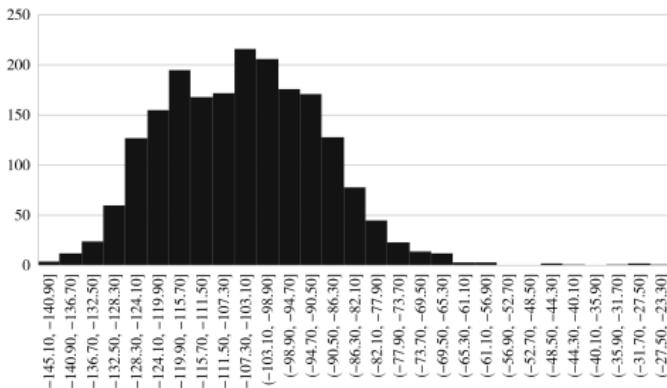


图 6 IR-aware STA 建立时间直方图

可见在带上 IR 的信息之后前 2 000 条 path 都在负的 slack 区间。

## 8 芯片测试方案以及一致性分析

根据芯片的时序情况, 找到 5 个类型的路径类型, 分别建立了 5 组测试案例, 如表 1 所示。从表 1 可以看出从 P1 到 P5, 路径的最低电压和传统 STA 的时序建立时间没有相关性, 但是和 IR-aware 的 STA 分析结果有比较正向的相关性。尤其是 P5 的 case 为实测最高的 min-voltage 值, 它在仿真中表现为 slack 最小的关键路径。

表 1 测试和 IR-aware Tempus-PI 仿真对比

路径类型	路径最低电压/V	Slack at Tri-STA/ps	Slack at IR-aware STA/ps
P1	0.682 9	83.834	33.1
P2	0.702 5	133.246	59.7
P3	0.704 3	51.812	-43.2
P4	0.705 7	46.478	-27
P5	0.731 4	46.804	-131.1

## 9 结论

本文在论述了先进工艺节点下, IR 对时序分析的显著影响。通过引入全系统的模型和参数, 基于特定 vector 进行了 Tempus-PI 仿真。由此得到的时序变化情况都和芯片实测的实验结果有比较合理的一致性。在未来的工作中还将引入无矢量的 Tempus-PI 功能, 这样能在 signoff 阶段发现并修复更多的 IR 敏感的关键路径。

## 参考文献

- [1] Cadence. Voltus IC power integrity solution user guide, product version 21.10, 472[Z]. 2016.

(收稿日期: 2021-06-23)

## 作者简介:

余金金(1987-), 男, 硕士, 主要研究方向: 电源完整性、IR 仿真。

闫志超(1986-), 男, 本科, 主要研究方向: 静态时序分析、物理设计。

张倩忆(1979-), 女, 主要研究方向: digital signoff。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所