

# 基于 SiP 封装的 DDR3 时序仿真分析与优化

王梦雅,曾燕萍,张景辉,周倩蓉

(中国电子科技集团公司第五十八研究所,江苏 无锡 214035)

**摘要:** 针对 DDR3 系统设计对时序要求的特殊性,对某一 SiP(System in Package)中 DDR3 封装和基板设计进行时序仿真和优化,通过仿真指导设计,提高 SiP 产品 DDR3 的设计成功率,减少设计周期。通过 ANSYS SIwave 软件提取信号 S 参数,再经过 Cadence SystemSI 软件搭建拓扑进行时序仿真分析,利用信号完整性相关理论,讨论信号时序与波形的关系,结合版图分析,给出实际的优化方案,并经过仿真迭代验证,最终使所设计的 DDR3 满足 JEDEC 协议中的时序要求。

**关键词:** DDR3; 系统级封装(SiP); 时序仿真; 高密度互连; 信号完整性

中图分类号: TN405.97

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211370

中文引用格式: 王梦雅,曾燕萍,张景辉,等. 基于 SiP 封装的 DDR3 时序仿真分析与优化[J]. 电子技术应用, 2021, 47(10): 42-47.

英文引用格式: Wang Mengya, Zeng Yanping, Zhang Jinghui, et al. Timing simulation analysis and optimization of DDR3 based on SiP package[J]. Application of Electronic Technique, 2021, 47(10): 42-47.

## Timing simulation analysis and optimization of DDR3 based on SiP package

Wang Mengya, Zeng Yanping, Zhang Jinghui, Zhou Qianrong

(China Electronic Technology Group Corporation No.58 Research Institute, Wuxi 214035, China)

**Abstract:** Aiming at the timing requirements of DDR3 system, timing simulation and optimization were carried out for DDR3 package and substrate design in a SiP(System in Package). Through simulation guidance design, the design success rate of DDR3 in SiP product was improved and the design cycle was reduced. The signal scattering parameters were extracted by ANSYS SIwave software, and then the topology construction and timing simulation analysis was carried out through Cadence SystemSI software. The relationship between signal timing and waveform was discussed based on the theory of signal integrity. The actual optimization scheme was given by combining with layout analysis. Finally, the designed DDR3 system could meet the timing requirements of JEDEC protocol through simulation iteration verification.

**Key words:** DDR3; SiP(system in package); timing simulation; high density interconnection; signal integrity

## 0 引言

系统级封装(System in Package, SiP)是利用先进封装技术将不同功能的芯片集成在一个微系统内,具备小型化、低功耗和高性能等优势,已成为半导体行业关注的重要焦点之一<sup>[1-4]</sup>。SiP 中经常集成高频率高带宽的 DDR3 系统来实现存储功能,但是与传统 PCB 不同,基于 SiP 封装的高密度互连 DDR3 的复杂性设计带来的信号完整性问题日益严重<sup>[5-8]</sup>。除了单纯从信号的眼图和波形来判断信号质量外,DDR3 的设计还面临着严格的时序要求,即使信号波形达到 JEDEC 协议中规定的判决标准,数据与选通信号、地址与时钟信号等之间的时延也不一定符合协议规范,DDR3 的接口时序分析成为 DDR3 设计的重中之重<sup>[9-10]</sup>。

基于 SiP 封装的 DDR3 设计一旦出现问题,再重新

投产会造成时间和成本的浪费,为了解决这一问题,引入了仿真的概念。根据产品不同设计阶段分为前仿真和后仿真,分别针对产品布线前和布线后<sup>[11-12]</sup>。本文主要针对后仿阶段,从一例实际 SiP 项目中的 DDR3 封装和基板设计着手,进行数据与选通、地址与时钟之间的时序仿真,通过仿真结果分析其信号薄弱点,结合该项目各方面情况提出优化方案,经过仿真迭代,使信号符合 JEDEC 协议规范,为 SiP 的 DDR3 时序仿真和优化提供很好的借鉴和指导作用。

## 1 DDR3 时序规范与计算理论

JEDEC 协议定义了 AC 和 DC 两种输入电平阈值,输入信号必须达到 AC 电平以满足时序要求,而信号的逻辑状态由 DC 电平来决定。图 1 所示为 DDR3(AC150/DC100)单端信号判决标准,上升沿时,信号穿过  $VIH_{(ac)min}$

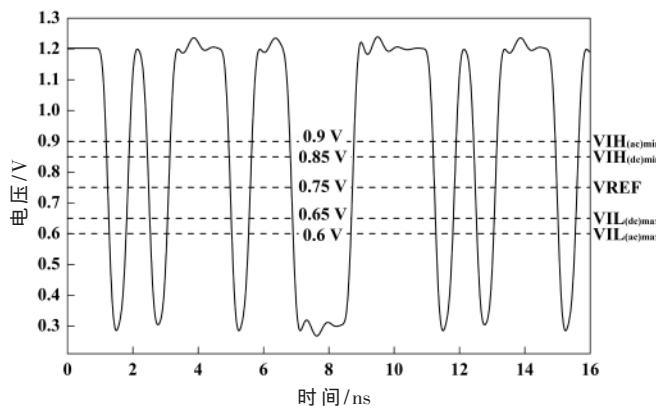


图 1 单端信号判决标准示意图

电平至下降到  $VIH_{(dc)min}$  电平为高电平有效时间。下降沿时,信号穿过  $VIL_{(ac)max}$  电平至上升到  $VIL_{(dc)max}$  电平为低电平有效时间<sup>[13-14]</sup>。差分信号与单端信号类似,其  $VIH_{diff(ac)min}$  为 0.3 V,  $VIH_{diff(dc)min}$  为 0.2 V,  $VIL_{diff(dc)max}$  为 -0.2 V,  $VIL_{diff(ac)max}$  为 -0.3 V。

JEDEC 协议中规范了数据信号正确锁存所需要的最小建立时间  $T_{setup}$  和最小保持时间  $T_{hold}$ 。所以数据信号的建立时间  $T_{DS}$  和保持时间  $T_{DH}$  应大于规范要求,存在一定裕量,才能满足时序要求。以数据与选通时序为例,其时序裕量计算过程如下<sup>[15-16]</sup>。

图 2 为 DDR3 的数据信号和选通信号的时序分析示意图。时钟输入到选通信号到达接收端的时间  $T_{strobe}$  为:

$$T_{strobe} = T_{in_strobe} + T_{delay} + T_{flt_strobe} \quad (1)$$

式中,  $T_{in_strobe}$  为系统时钟输入到选通输出时间;  $T_{delay}$  为选通信号相对数据信号的延时时间(1/4 时钟周期);  $T_{flt_strobe}$  为选通信号互连通道传输时间。

时钟输入到数据信号到达接收端的时间  $T_{data}$  为:

$$T_{data} = T_{in_data} + T_{flt_data} \quad (2)$$

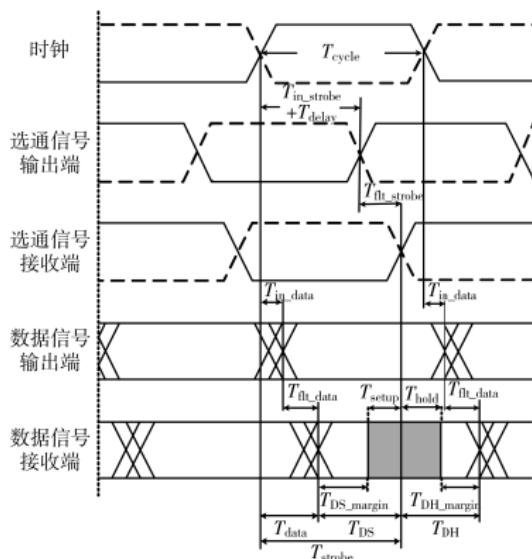


图 2 DDR3 数据与选通信号时序分析示意图

式中,  $T_{in_data}$  为系统时钟输入到数据输出时间;  $T_{flt_data}$  为数据信号互连通道传输时间。

建立时间裕量  $T_{DS_margin}$  为:

$$T_{DS_margin} = T_{DS} - T_{setup} = (T_{strobe} - T_{data}) - T_{setup} \quad (3)$$

第一个时钟边沿触发的数据到达接收端后会一直保持到下一时钟边沿触发的数据到达接收端,保持时间裕量  $T_{DH_margin}$  为:

$$T_{DH_margin} = T_{DH} - T_{hold} = (T_{cycle} + T_{data} - T_{strobe}) - T_{hold} \quad (4)$$

式中,  $T_{cycle}$  为时钟边沿触发间隔时间。

$T_{setup}$  与  $T_{hold}$  通常基于一特定转换速率,单端信号以 1 V/ns 为基准,差分信号以 2 V/ns 为基准。在实际 DDR3 系统中,由于芯片驱动能力、布线、负载等的不同,信号翻转速率通常不同于基准速率,因此需要根据信号实际情况动态调整建立和保持时间裕量。另外,同一信号或同组信号的  $T_{in_data}$  与  $T_{in_strobe}$  由于受芯片制造工艺、工作电压、温度等因素的影响会有所不同。同一数据信号的  $T_{flt_data}$  受码间干扰等因素影响在不同时钟周期下也会不同。要根据各信号各周期的实际情况来计算各周期的时序裕量,通常借助仿真工具进行时序计算。

## 2 基于 SiP 的 DDR3 设计

本项目 SiP 基板共有 70 层金属层(MP1-MP70),金属层之间填充介质层。其中 DDR3 系统由 FPGA 控制器和两颗 DDR3 芯片组成,DDR3 芯片经过 RDL 后平铺在 SiP 基板上。单颗 DDR3 芯片的容量是 2 Gb,速率 为 1.6 Gb/s,16 位数据。此 DDR3 系统数据线(DQ0-DQ31)采用点对点的互联拓扑,地址线(A0-A15)采用 Fly-by 型拓扑并通过 40.2 Ω 电阻上拉到 0.75 V 的电源,如图 3 所示。基于 DDR3 时序要求,数据线 DQ0-DQ7 与 DQS0/P0 同层等长布线,数据线 DQ8-DQ15 与 DQS1/P1 同层等长布线,以此类推。地址线与时钟线等长布线。

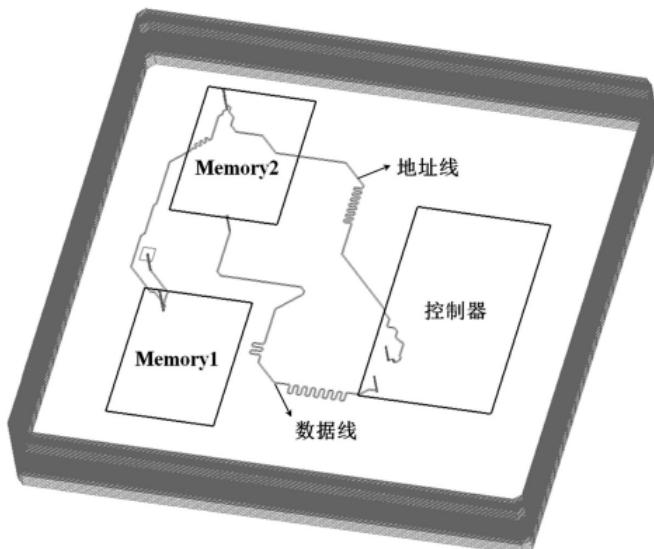


图 3 基于 SiP 的 DDR3 设计示意图

### 3 时序仿真分析与优化

本项目通过 ANSYS SIwave 软件按照数据信号 DQ 和选通信号 DQS、地址信号与时钟信号分两组提取控制器端到 Memory 端信号 S 参数, 包括基板与 RDL 布线, 完成频域仿真。随后利用 Cadence SystemSI 软件搭建基板与 RDL 级联的拓扑, 分别进行以上两组的时序分析, 通过问题定位与版图优化, 经过仿真优化迭代使所设计的 DDR3 信号满足 JEDEC 协议规范。

#### 3.1 数据信号时序仿真分析与优化

在数据写时, 按照时序要求, DQS 信号相对于 DQ 信号延迟 0.25 个时钟周期发出。通过 DQ 的时域仿真可以发现其单纯从波形来看 DQ 信号满足判决标准, 但是 DQ8-DQ15 与 DQ24-DQ31 信号相对于各自的 DQS 信号的建立时间裕量不足, 下面以上述两组中分别最差的 DQ15 与 DQ30 为例, 进行分析与优化。DQ15 与 DQ30 的时序仿真结果如表 1 所示, DQ15 与 DQ30 的建立时间未满足 DDR3 规范在 1.6 Gb/s 速率下所要求的最小建立时间, 以至裕量为负值。图 4(a) 为 DQ15 信号在整个仿真时钟周期(Cycle)内建立时间裕量折线图, 根据码型的不同, 信号在不同 Cycle 下的建立时间也随之变化, 约一半周期下的建立时间裕量为负值, 在第 9.5 个 Cycle 下建立时间最短, 为 -22.813 8 ps。结合 DQ15 信号的波形进行分析, 如图 4(b) 所示, 建立时间裕量不足是由于 DQ15 信号上升下降沿过缓引起的。本项目 SiP 体积小,

DDR3 布线密, 尤其是过孔之间的间距严重不足, 过孔间的串扰可能是导致上升下降沿过缓的原因。

通过对 DQ8-DQ15、DQ24-DQ31 两组数据信号过孔较密的控制端信号过孔之间增加相应长度的地过孔, 仿真结果如图 5 所示。增加地过孔, 减少信号间的串扰, 上升下降沿更加陡峭, 可以使建立时间延长, 改善时序问题, 进一步验证了长过孔串扰的影响。

但基于本项目 SiP 加工与各方面实际因素的考虑, 上述过孔的优化不能用于本项目的实际情况。对于 DQ8-DQ15、DQ24-DQ31 两组数据信号建立时间裕量不

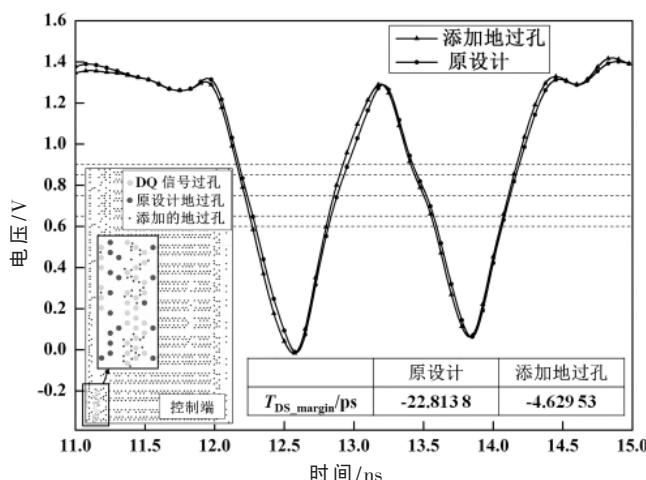
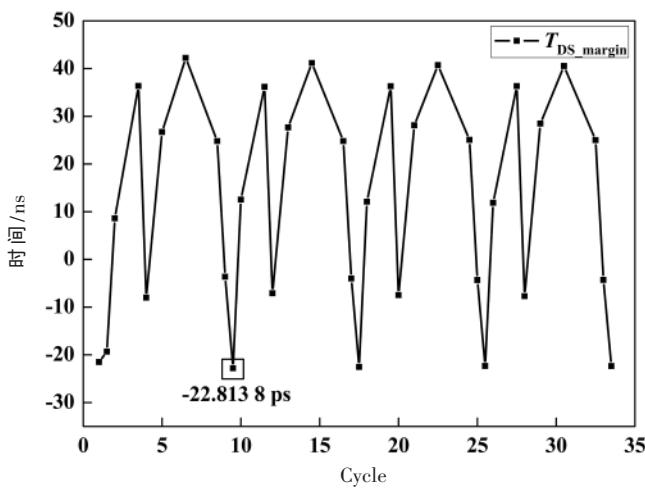


图 5 添加地过孔后 DQ15 信号的时序仿真结果

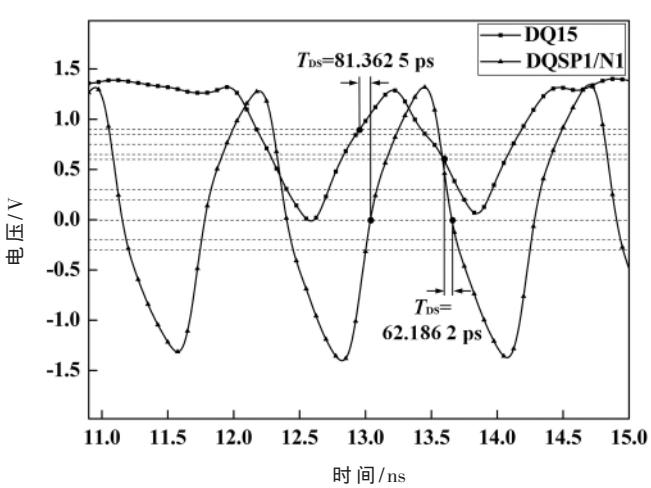
表 1 DQ15 与 DQ30 信号的时序仿真结果

数据信号	Min $T_{DS}$	[Min , Max]	$T_{DS\_delta}$	Min $T_{DS\_adj}$	Min $T_{DS\_margin}$	Min $T_{DH}$	[Min , Max]	$T_{DH\_delta}$	Min $T_{DH\_adj}$	Min $T_{DH\_margin}$
DQ15	62.186 2	[75 , 75]		-12.813 8	-22.813 8	402.637	[34 , 50]		352.637	307.637
DQ30	55.051 4	[75 , 75]		-19.948 6	-29.948 6	351.736	[50 , 50]		301.736	256.736

注: Min  $T_{DS}$  为时钟周期内最小建立时间,  $T_{DS\_delta}$  为建立时间增减值, Min  $T_{DS\_adj}$  为扣除增减值后的最小建立时间, Min  $T_{DS\_margin}$  为最小建立时间裕量, Min  $T_{DH}$  为时钟周期内最小保持时间,  $T_{DH\_delta}$  为保持时间增减值, Min  $T_{DH\_adj}$  为扣除增减值后的最小保持时间, Min  $T_{DH\_margin}$  为最小保持时间裕量



(a) DQ15 信号仿真时钟周期内建立时间裕量折线图



(b) DQ15 信号建立时间波形分析图

图 4 DQ15 信号的时序仿真结果

足的问题,考虑适当延长 DQS 的线长来满足时序要求,通过裕量计算,将 DQSN1/P1 延长 2 mm,DQSN3/P3 延长 3.5 mm。DQ15 与 DQ30 的时序仿真结果如表 2 所示,其余数据信号也均满足时序要求。在优化完成后,对数据读信号进行仿真验证,也均满足时序要求。

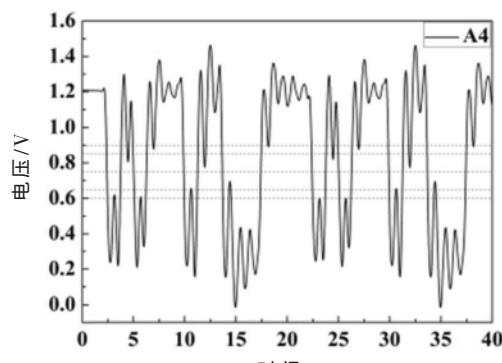
DQS 与时钟之间的时序,只要满足布线规则,可以在 DDR3 实际工作中通过“Write leveling”功能进行自动调节,故在本文不进行仿真。

### 3.2 地址信号时序仿真分析与优化

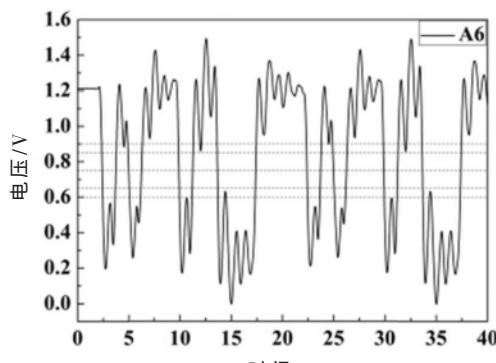
按照时序要求,时钟信号相对于地址信号延迟 0.5 个时钟周期发出,经过时序仿真发现,A4、A10 地址信号不满足时序要求,建立时间裕量不足,并且保持时间及其裕量无法判断(Timing Violation),如表 3 所示。由此可猜

想,A4、A10 地址信号定存在较大震荡超过判决标准造成时序混乱。结合仿真波形来看,Memory2 地址信号波形存在震荡,尤其是 A4、A6、A7、A10 信号震荡较为严重,如图 6 所示。A6、A7 震荡幅度只超过 AC 电平尚满足逻辑状态,但是 A4、A10 信号震荡幅度超过 DC 电平使时序错误,和上述地址信号时序仿真结果相呼应。

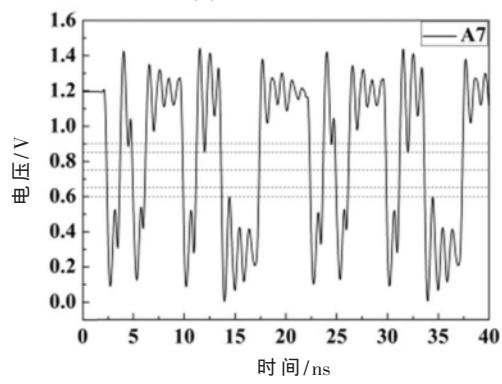
该项目地址信号由于采用 Fly-by 结构,线路中存在分叉点即阻抗不连续点,极易形成反射影响信号质量产生震荡,并且由于该 SiP 布线过密,信号之间的串扰又加重了震荡的幅度。Memory1 相对于 Memory2 距离 FPGA 较远,Memory1 的地址线信号幅值低于 Memory2 的地址线信号,但 Memory1 靠近终端上拉电阻能够消除一部分反射,反而信号质量较好,Memory2 的地址线信号则存



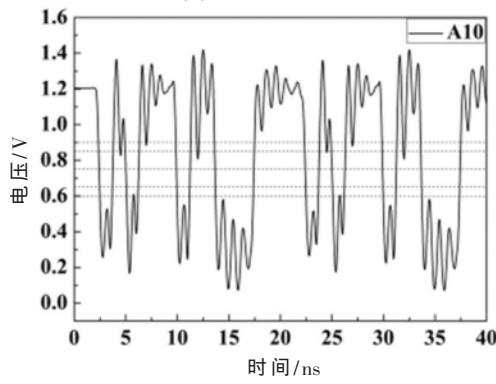
(a) A4 信号波形图



(b) A6 信号波形图



(c) A7 信号波形图



(d) A10 信号波形图

图 6 A4、A6、A7、A10 地址信号仿真波形图

表 2 优化后 DQ15 与 DQ30 的时序仿真结果

数据信号	Min $T_{DS}$	[Min, Max] $T_{DS,\Delta}$	Min $T_{DS,adj}$	Min $T_{DS,margin}$	Min $T_{DH}$	[Min, Max] $T_{DH,\Delta}$	Min $T_{DH,adj}$	Min $T_{DH,margin}$
DQ15	87.698 1	[75, 75]	12.698 1	2.698 1	382.132	[34, 50]	332.132	287.132
DQ30	89.543 2	[75, 75]	14.543 2	4.543 17	323.394	[50, 50]	273.394	228.394

表 3 A4、A10 的时序仿真结果

(ps)

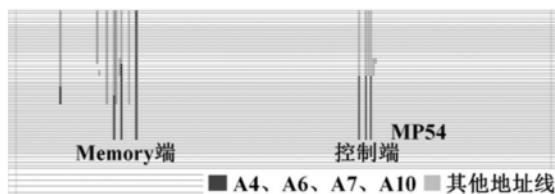
地址信号	Min $T_{IS}$	[Min, Max] $T_{IS,\Delta}$	Min $T_{IS,adj}$	Min $T_{IS,margin}$	Min $T_{IH}$	[Min, Max] $T_{IH,\Delta}$	Min $T_{IH,adj}$	Min $T_{IH,margin}$
A4	196.863	[75, 75]	121.863	-48.137 4	Timing Violation	[50, 50]	Timing Violation	Timing Violation
A10	219.404	[75, 75]	144.404	-25.595 6	Timing Violation	[34, 50]	Timing Violation	Timing Violation

注: Min  $T_{IS}$  等各名称与表 1 注释中一一对应。

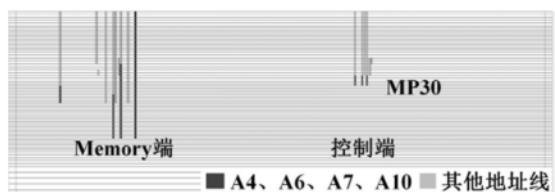
在较大震荡,造成时序不满足要求。

在后仿时,应综合考虑各方面因素,找到最快速最精简的方法改进设计,避免过设计。通过版图分析,A4、A6、A7、A10信号相对于其他地址信号布线较深,最长过孔位于MP54层,并且控制端过孔布线过密。将控制

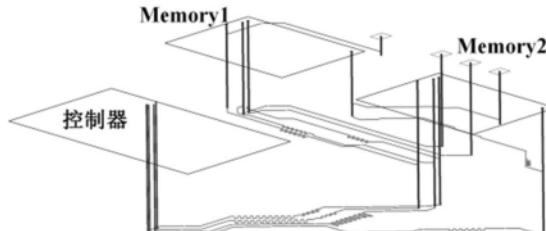
端A4、A6、A7、A10过孔缩短并调整间距,布线层上移,减少过孔间的串扰,如图7所示。通过对优化后的版图进行时序仿真,A4、A10信号的建立时间与保持时间裕量均达到要求,如表4所示。结合仿真波形,如图8所示,A4、A6、A7、A10信号的震荡幅度也获得较大改善,



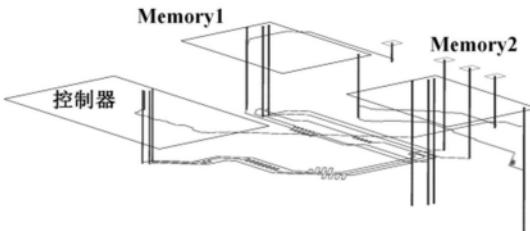
(a) 原地址信号过孔设计



(c) 优化后地址信号过孔设计



(b) 原A4、A6、A7、A10信号布线



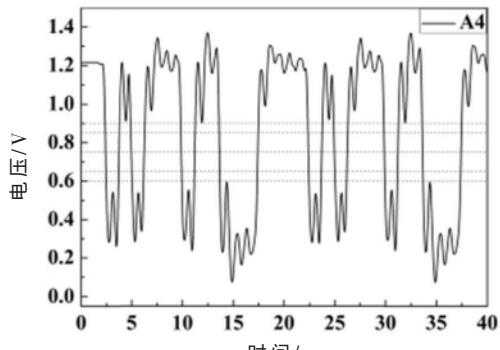
(d) 优化后A4、A6、A7、A10信号布线

图7 地址信号过孔布线优化方案

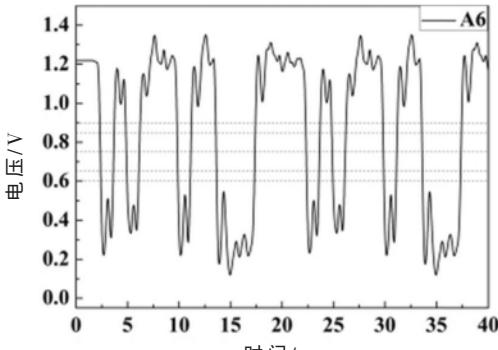
表4 优化后A4、A10的时序仿真结果

(ps)

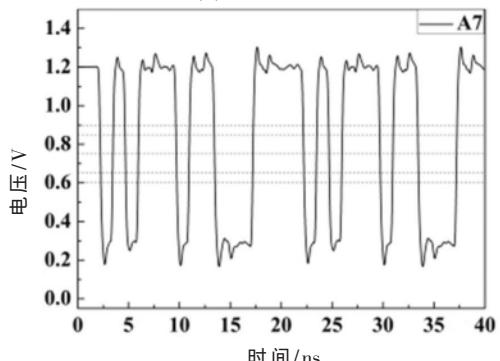
地址信号	Min $T_{IS}$	[Min, Max] $T_{IS_{\text{delta}}}$	Min $T_{IS_{\text{adj}}}$	Min $T_{IS_{\text{margin}}}$	Min $T_{IH}$	[Min, Max] $T_{IH_{\text{delta}}}$	Min $T_{IH_{\text{adj}}}$	Min $T_{IH_{\text{margin}}}$
A4	263.167	[75, 75]	188.167	18.166 8	785.023	[50, 50]	735.023	615.023
A10	262.911	[75, 75]	187.911	17.911	766.705	[50, 50]	716.705	596.705



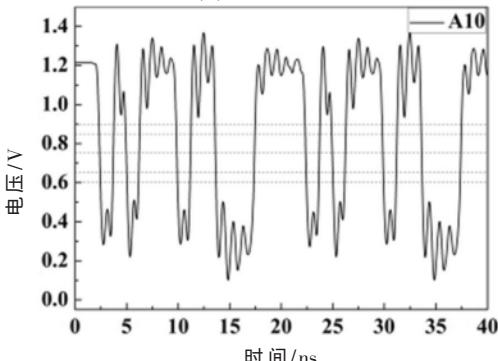
(a) A4信号波形图



(b) A6信号波形图



(c) A7信号波形图



(d) A10信号波形图

图8 优化后A4、A6、A7、A10地址信号仿真波形图

满足 DDR3 规范要求。

#### 4 结论

本文介绍了 DDR3 的时序计算与仿真,结合一例实际 SiP 项目中的高密度互连 DDR3 系统封装和基板设计方案,进行 DQ 与 DQS、地址与时钟之间的时序仿真与优化。通过仿真发现,在信号波形满足 DDR3 的 AC 和 DC 判决标准后,其建立时间与保持时间仍可能不满足 DDR3 的时序要求,验证了 DDR3 时序仿真的重要性。本文在项目后仿阶段,针对 DQ 与 DQS、地址与时钟之间的不合格时序信号,进行具体分析,讨论时序与波形之间的关系,结合版图分析,提出优化方案并通过仿真迭代进行验证。鉴于后仿真阶段对设计修改的局限性,最终得到切合实际的优化方案,使所有信号均满足 JEDEC 协议规范。通过仿真来指导设计,为 SiP 的 DDR3 系统的设计与优化给出方向和建议。

#### 参考文献

- [1] 李扬.SiP 系统级封装设计仿真技术[J].电子技术应用,2017,43(7):47-50.
- [2] 曾燕萍,张景辉,王梦雅,等.DDR3 堆叠键合组件的信号完整性分析与优化[J].电子与封装,2020,20(12):120201.
- [3] 王福鑫,国凤娟,牛玉成,等.基于 SiP 技术的微系统设计与实现[J].电子技术应用,2018,44(12):17-19.
- [4] LEE Y C, PARK C S. LTCC-based monolithic system-in-package (SiP) module for millimeter-wave applications[J]. International Journal of RF and Microwave Computer-Aided Engineering, 2016, 26(9): 803-811.
- [5] 孙静,黄文清.基于 DDR3 高速电路拓扑结构的优化与仿真[J].计算机应用与软件,2017,34(2):147-151.
- [6] 孔维刚,陈长胜,张旭.Virtex-7 FPGA DDR3 电路的设计与仿真研究[J].航空计算技术,2018,48(4):93-96.
- [7] BOGATIN E. 信号完整性与电源完整性分析[M].李玉山,

(上接第 41 页)

- on Solid-State and Integrated Circuit Technology Proceedings, 2006.
- [9] MULLER D, BARTKY W. A theory of asynchronous circuits[C]// Proceedings of International Symposium on the Theory of Switching, 1959: 204-243.
  - [10] DEVARAPALLI S V, ZARKESH-HA P, SUDDARTH S C. SEU-hardened dual data rate flip-flop using Celements[C]// Int Symp Defect Fault Tolerance VLSI Syst. Albuquerque, NM, USA. 2010: 167-171.
  - [11] MONGKOLKACHIT P, BHUVA B, BOULGHASSOUL Y, et al. Mitigation of single-event transients in CMOS digital circuits[C]// Proceedings of Radiation and its Effects on Components and Systems, Nashville, Vanderbilt University, 2003: 335-340.
  - [12] 张筱颖.基于异步保存及互锁存储单元的抗 SEE 触发器

刘洋,初秀琴,等,译.北京:电子工业出版社,2019.

- [8] 倪芸,姚晓东.高速并行总线信号完整性分析设计[J].电子测量技术,2013,36(4):106-110.
- [9] SHARMA H, MERVIN J, SELVAKUMAR D. DDR3 interconnect optimization—signal integrity and timing analysis perspective[C]// 2015 International Conference on Control. IEEE, 2015.
- [10] 韩玉涛.高速总线的时序分析方法及 DDR 计算实例[J].常州工学院学报,2018,31(2):42-47.
- [11] 金帅,韩连刚,谢锡海.DDR3 与 FPGA 接口的高速电路板信号完整性分析[J].现代电子技术,2017,40(22):10-13.
- [12] 牛宾,史黎黎.基于 DDR3 的 PCB 设计及仿真[J].计算机与网络,2017,43(12):64-66.
- [13] 李晋文,胡军,曹跃胜,等.DDR3 时序分析与设计[J].计算机科学,2012,39(4):293-295.
- [14] JEDEC. DDR3 SDRAM specification : JESD 79-3F[S]. Arlington : JEDEC, 2012.
- [15] 陈兰兵,钟章民,肖定如,等.Cadence 高速电路设计[M].北京:电子工业出版社,2014.
- [16] 唐万明,范朝元.基于 Cadence 的 DDR 源同步时序仿真研究[J].现代电子技术,2014,37(8):75-78.

(收稿日期:2021-02-03)

#### 作者简介:

王梦雅(1992-),女,硕士研究生,工程师,主要研究方向:SiP 系统级设计、仿真技术。

曾燕萍(1987-),女,博士研究生,高级工程师,主要研究方向:三维集成系统设计、仿真技术。

张景辉(1994-),男,硕士研究生,工程师,主要研究方向:信号完整性与电源完整性仿真。



扫码下载电子文档

设计[J].固体电子学研究与进展,2013,33(5):497-500.

- [13] 周昕杰.单粒子瞬态扰动加固锁存电路:107124176[P]. 2017-09-01.
- [14] DODD P E, MASSENGILL L W. Basic mechanisms and modeling of single-event upset in digital microelectronics[J]. IEEE Trans. Nucl. Sci., 2003, 50: 583-602.
- [15] 周昕杰.TCAD 结合 SPICE 的单粒子效应仿真方法[J]. 电子与封装,2019,19(4):32-35,48.

(收稿日期:2021-02-23)

#### 作者简介:

沈婧(1988-),女,硕士,工程师,主要研究方向:存储器设计、低功耗信号处理器设计。

薛海卫(1978-),男,硕士,研究员级高级工程师,主要研究方向:抗辐照信号处理器设计、高性能信号处理器设计。

陈玉蓉(1982-),女,本科,工程师,主要研究方向:后端版图设计。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所