

一种超低输入共模电压的动态比较器电路设计

杨德旺,张春华,郭春炳

(广东工业大学 信息工程学院,广东 广州 510006)

摘要: 为了适应物联网低功耗的应用场景,并满足低电源电压和低输入共模电压的工作要求,提出了一种适用于超低输入共模电压的双正反馈回路动态比较器。该比较器采用时序开关控制输入输出,解决了传统动态比较器在输入电压低于阈值电压时无法正常工作的问题,增大了输入动态范围;电源到地之间仅堆叠两级 MOS 管,降低了最小电源电压;引入两个正反馈回路,提高了分辨率。采用 TSMC 180 nm CMOS 工艺设计和验证,仿真结果表明,在电源电压为 900 mV,差模电压为 1 mV 情况下,提出的比较器最低共模电压为 51 mV,与传统 StrongARM 动态比较器和 DoubleTail 动态比较器相比,分别降低了 374 mV 和 264 mV;当输入共模电压低于阈值电压时,在中等的功耗下实现了最低的延时。

关键词: 动态比较器;低输入共模范围;低功耗比较器

中图分类号: TN432

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211378

中文引用格式: 杨德旺,张春华,郭春炳. 一种超低输入共模电压的动态比较器电路设计[J]. 电子技术应用, 2021, 47(10): 48-52.

英文引用格式: Yang Dewang, Zhang Chunhua, Guo Chunbing. Design of a dynamic comparator circuit for ultra-low input common-mode voltage[J]. Application of Electronic Technique, 2021, 47(10): 48-52.

Design of a dynamic comparator circuit for ultra-low input common-mode voltage

Yang Dewang, Zhang Chunhua, Guo Chunbing

(School of Information Engineering, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: In order to adapt to the application scenarios of low power consumption in the Internet of Things, and meet the requirements of low power supply and low input common-mode voltage, this paper proposes a dynamic comparator, with dual-positive feedback loop, suitable for ultra-low input common-mode voltage. The comparator uses a timing switch to control the input and output, which solves the problem that the traditional dynamic comparator cannot work properly when the input voltage is lower than the threshold voltage, and increases the input dynamic range. Only two MOS devices are stacked in series between the power supply and the ground, which reduces the minimum power supply voltage. Two positive feedback loops are introduced to improve the resolution. TSMC 180 nm CMOS process is used to design and verify the proposed comparator. The simulation results show that the lowest common mode voltage of the proposed comparator is 51 mV when the power supply voltage is 900 mV and the differential mode voltage is 1 mV, which is 374 mV and 264 mV lower than the traditional StrongARM and DoubleTail dynamic comparators, respectively. When the input common-mode voltage is lower than the threshold voltage, it achieves best delay among three topologies at moderate power consumption.

Key words: dynamic comparator; low input common-mode voltage; low power comparator

0 引言

随着物联网低功耗应用的逐渐兴起,系统供电电压逐渐降低,要求便携式设备和无线传感器网络能够在电源电压和输入共模电压都更低的条件下正常工作。比较器电路是 SAR ADC 等电路系统中的关键电路模块,其性能的好坏对系统有重要的影响^[1-6]。

常用的比较器包括开环比较器和动态锁存比较器。动态锁存比较器相较于开环比较器具有无静态功耗、速度较快和精度较高等优点,因此取得了更广泛应用^[7-8]。

StrongARM 比较器具有低功耗的优势,但分辨率较低,且输入共模范围较小。DoubleTail 比较器的分辨率和输入共模范围相比于 StrongARM 比较器有了一定的提高,但代价是更高的功耗,尤其当输入电压较低时会发生漏电,造成功耗急剧增加。因此设计一种同时满足低功耗、高分辨率和宽共模输入范围的动态比较器具有较强的实用意义^[9-11]。

本文首先分析了 StrongARM 比较器^[12-14]和 DoubleTail 比较器^[15]的结构特性和限制因素,接着阐述本文提出的

一种适用于超低输入共模电压的动态比较器的工作原理和设计要点,最后对电路仿真结果进行讨论。

1 电路设计

1.1 StrongARM 比较器

StrongARM 比较器的优点包括:(1)它消耗零静态功率,(2)它直接产生轨到轨输出,(3)它的输入参考偏移主要来自一个差分对。

其增益主要来自输入对管,近似于:

$$A_v \approx \frac{g_{m1,2} V_{THN}}{I_{CM}} \quad (1)$$

如图 1 所示,当 CLK 为低时, M5、M8 导通, Mtail 1 关断,对 OUTN 与 OUTP 进行复位操作,当 CLK 变为高时, StrongARM 比较器进入比较阶段,通过输入对管 M1、M2 进行放电,直到 VP 与 VQ 小于 VDD-VTHN, M3、M4 打开,并通过 M3、M4、M6、M7 形成正反馈,最终形成高低电平输出。

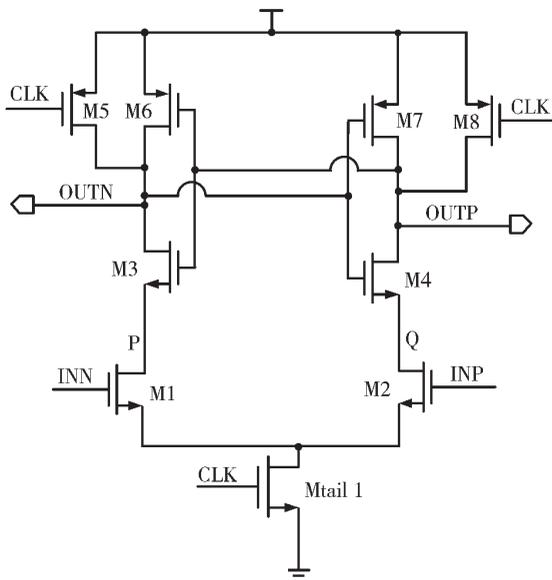


图 1 StrongARM 比较器

由于从 4 级 MOS 管堆叠,需要很大的电压余量,这在低电压深微米 CMOS 技术中存在问题,提升了对最低电源电压的要求,从而导致功耗增大。当输入共模电压低于 MOS 管的阈值电压时,输入对管会关断电流泄放路径,其比较器延时明显增大,不能正常工作。

1.2 DoubleTail 比较器

传统的 DoubleTail 比较器如图 2 所示,其工作原理如下。

复位阶段:当 CLK 为 0 时, Mtail1、Mtail2 断开, M3、M4 闭合,从而 fn=fp=VDD,进而 OUTP=OUTN=0。

再生阶段:当 CLK 为 1 时, Mtail1、Mtail2 闭合, M3、M4 断开,如果 INP>INN, fn=0 且 fp=1,从而 MR2 断开, MR1 闭合,继而 M10 断开, M8 闭合,进而 OUTP=VDD。如果 INN>INP, fn=1 且 fp=0,从而 MR2 闭合, MR1 断开,继而 M9 断开, M7 闭合,进而 OUTP=VDD。

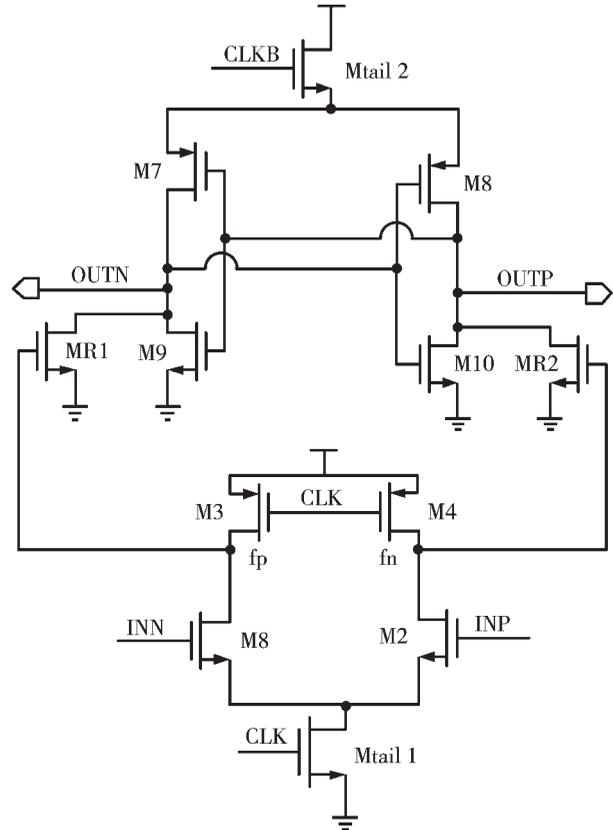


图 2 传统双尾比较器

它使用一个尾管作为输入级预放大,另一个尾管作为锁存级。从 VDD 到地需要三级 MOS 管堆叠,较 StrongARM 减少一级。然而当输入共模电平低于阈值电压时,输入对管 M2、M8 会进入亚阈值导通甚至不导通状态。这导致在再生阶段(CLK 为 1), fp 与 fn 不能下拉到地,从而使得 MR1 与 MR2 一直处于导通状态,形成电源到地的电流通路,发生漏电现象,继而使 OUTP 与 OUTN 一直处于低,影响比较器正常工作,造成功耗急剧增加。

1.3 提出的双环路动态比较器电路

本文提出的动态比较器如图 3 所示,包括输入差分对 M1、M6,采用 S1-S8 传输门作为开关,用于控制电路的时序,每个时序开关中均具有两个反向时钟,分别通过接收不同的时钟信号 CLK、CLKB 来控制时序开关的通断。M2、M3、M4、M5 构成一个正反馈回路, M1、M5、M6、M3 形成另一路正反馈回路。有效增大其增益,进而提升其分辨率,其等效增益约为:

$$A_v \approx 2 \frac{g_{m1,2} V_{THN}}{I_{CM}} \quad (2)$$

在时钟信号 CLK、CLK2 为高时,时钟信号 CLKB、CLKB2 为低,比较器进入复位阶段。S1、S8 闭合, S2、S7 断开,将输入保存在 M1、M6 的栅极寄生电容处。同时, S3、S4 闭合, S5、S6 断开,将 M2 至 M5 的栅极拉到电源 VDD,则 M3、M5 断开, M2、M4 闭合,将 OUTP、OUTN 拉

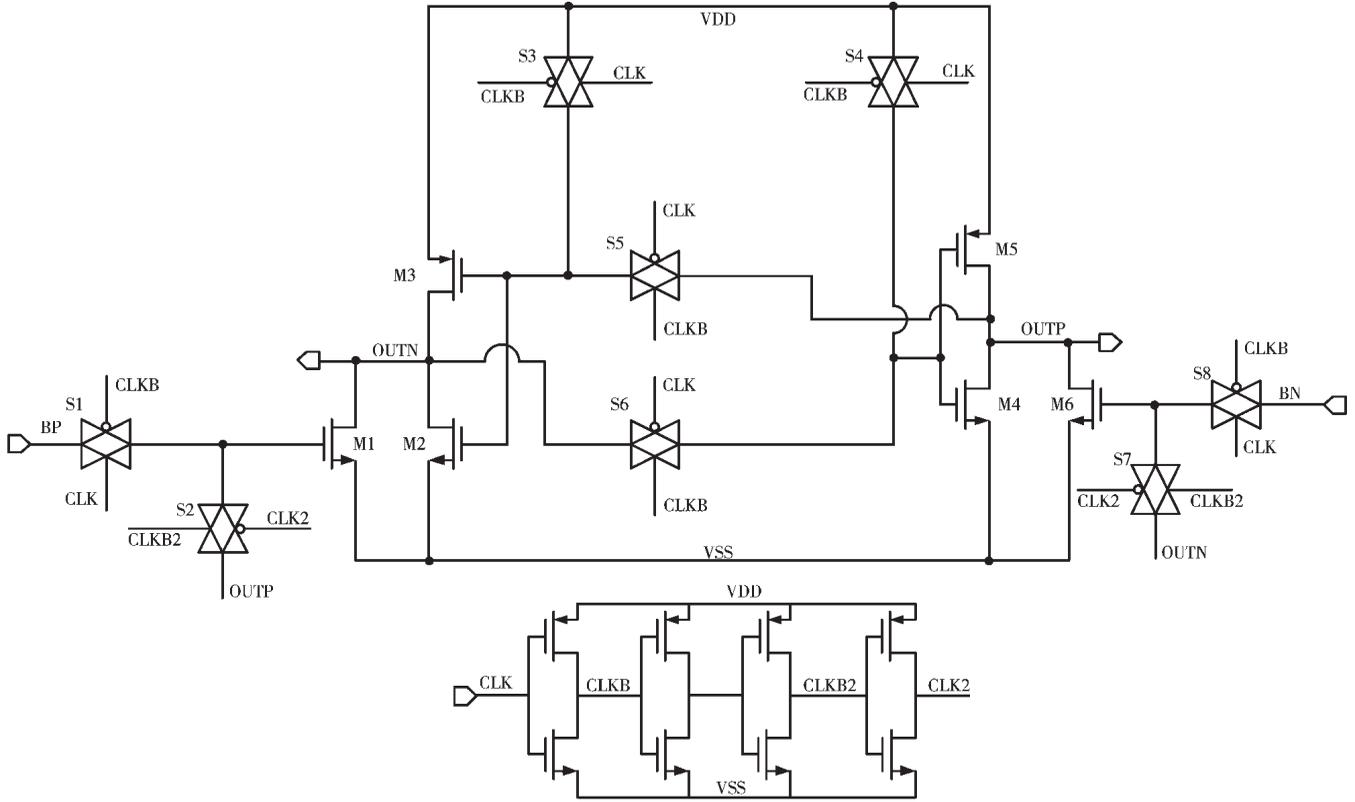


图3 本文提出的动态比较器

到地端。

接着进入再生阶段,时钟 CLK 变为低,CLKB 变为高,则 S1、S8 断开,断开 M1、M6;同时,S3、S4 断开,S5、S6 闭合,其中 M2、M3、M4、M5 构成一个正反馈回路。随后 CLK2 变为高,CLKB2 变为低,将输出 OUTP、OUTN 接入 M1、M6 栅极,其中 M1、M5、M6、M3 形成另一路正反馈回路,OUTP、OUTN 在复位阶段为低,时钟从低变到高的过程中,由于输入 BN、BP 的不同,会让 M1、M6 开关程度不一致,继而细微影响 OUTP 与 OUTN 的变化,进而经过正反馈,影响最终 OUTP 与 OUTN 输出值,并形成一高一低两个电平输出。

值得注意的是,因为比较器输入差模信号一般都较小,为防止上一次比较的结果的大信号 OUTP 与 OUTN 对下一次输入的影响,因此先让 S1、S8 导通接入信号,以形成有效的初始值,而后再通过 CLK2、CLKB2 让 S2、S7 导通,让 OUTP、OUTN 接入反馈回路。

因为该电路在比较阶段,引入两级反馈,且从电源到地只有两级 MOS 管,最低电源电压只需要 $2V_{DS}$,使该电路具有更大的电压裕度。在输入共模电压低于阈值电压时,因为输入信号仅通过一级输入对管 M1、M6 接入反馈回路,依然可以影响输出信号,因此比较器可正常工作。

2 电路仿真与分析

基于 TSMC 0.18 μm 1P6M 混合信号工艺,采用 Cadence

Spectre 软件对三个比较器进行设计和仿真。为了便于性能对比,图 1~图 3 的 MOS 管均采用最小尺寸,NMOS、PMOS 均宽为 $2\ \mu\text{m}$,长为 $180\ \text{nm}$ 。

对三个比较器进行瞬态仿真,电源电压为 $1.8\ \text{V}$,INN 为 $100\ \text{mV}\sim 300\ \text{mV}$ 斜坡信号,INP 为 $300\ \text{mV}\sim 100\ \text{mV}$ 斜坡信号,时钟信号为 $1\ \text{MHz}$,仿真结果如图 4 所示,本设计比较器依然能够实现比较功能。而 StrongARM 已不能完全建立正确的输出,DoubleTail 在 ΔV_{in} 为 $86\ \text{mV}$ 以下也已不能建立正确输出。进一步通过参数仿真,在电源电压为 $900\ \text{mV}$,差模电压为 $1\ \text{mV}$ 情况下,本文提出的比较器最低共模电压为 $51\ \text{mV}$,与传统 StrongARM 动态比较器和 DoubleTail 动态比较器相比,分别降低了 $374\ \text{mV}$ 和 $264\ \text{mV}$,仿真结果显示本设计具有更大的输入范围。

对三个比较器进行延时测试,分别在 VDD 为 $1.2\ \text{V}$ 、 $0.9\ \text{V}$,时钟频率为 $1\ \text{MHz}$ 情况下, ΔV_{in} 为 $1\ \text{mV}$,分别验证三种不同比较器在不同输入共模电压下的延时。其中,DoubleTail 与 StrongArm 两个比较器在共模输入电压低于 $0.2\ \text{V}$ 情况下不能工作,因此没有数据。仿真结果如图 5 所示,双循环比较器具有较好的延时稳定性,例如:在 VDD 为 $0.9\ \text{V}$ 、输入共模电压为 $0.3\ \text{V}$ 时,本文提出的比较器、DoubleTail 与 StrongArm 延时为 $7.18\ \text{ns}$ 、 $62.94\ \text{ns}$ 、 $169.4\ \text{ns}$,在输入共模电压较低时,本文提出的比较器延时性能明显优于其他两种比较器。

对三个比较器进行功耗测量,分别在 $V_{CM}=0.3\ \text{V}$ 、

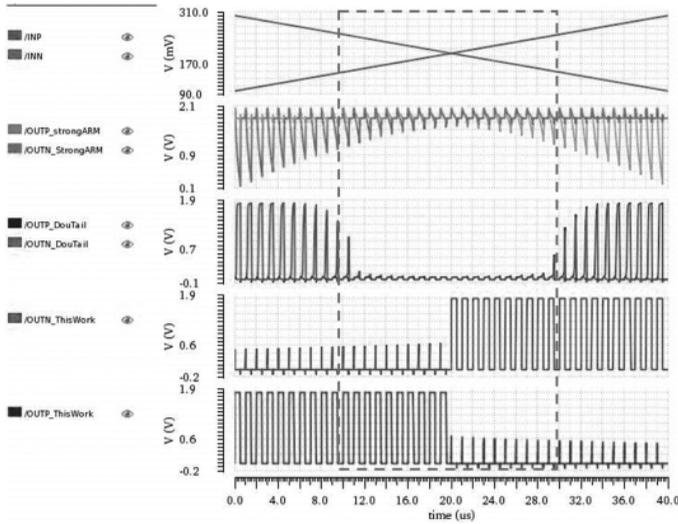


图4 瞬态特性仿真结果

INN 为 600 mV 恒定值。首先截取到 OUTP 跳跃到 VDD/2 的时间点,再选取对应的 INP 值减去 VDD/2, 所得结果为翻转电压,使用蒙特卡洛仿真,仿真测试 200 个点,测得其平均值为 112.748 u, 标准差为 2.575 u。结果如图 7、图 8 所示。

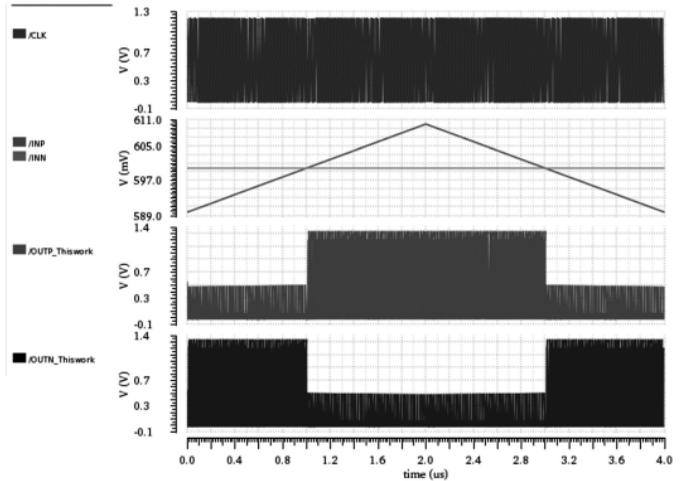


图7 offset 测试

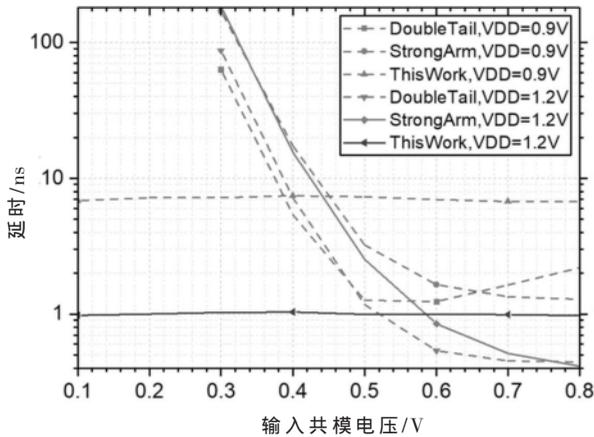


图5 三个比较器随输入共模电压的延时变化结果

0.5 V, 时钟频率为 1 MHz, 仿真时间为 100 μs, 选择其 VDD 上的平均电流乘以工作电压, 如图 6 所示, 其功耗基本介于 StrongARM 比较器与 DoubleTail 比较器之间。

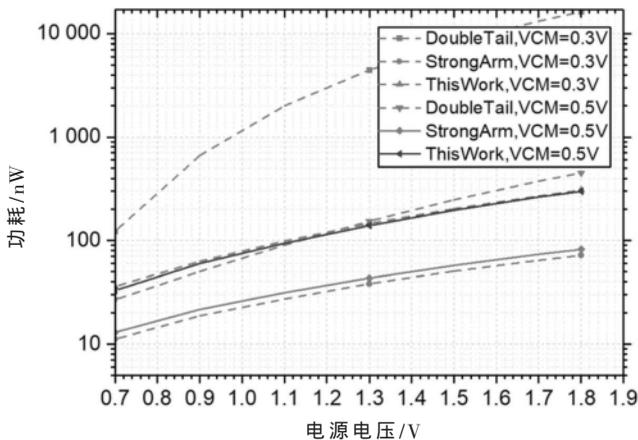


图6 三个比较器随电源电压的功耗变化结果

在 VDD=1.2 V, 时钟频率为 50 MHz, 输入电压 INP 为振幅为 20 mV 的三角波(最小值 590 mV, 最大值 610 mV),

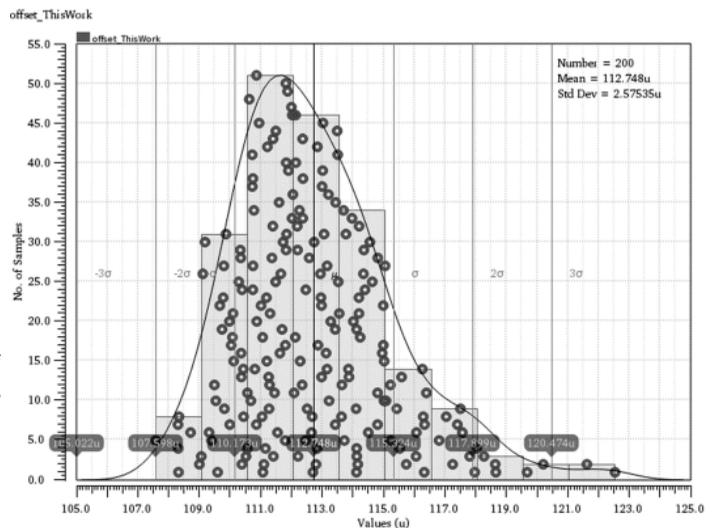


图8 蒙特卡洛仿真结果

在 VDD 为 0.9 V, VCM 为 0.3 V, 输入 ΔV_{in} 为 1 mV, 时钟频率为 1 MHz 时, 测试三个比较器延时与功耗, 其中 DoubleTail 比较器 MR1 与 MR2 器件会泄漏电流, 因此导致功耗骤增, 仿真结果如表 1 所示。

表1 比较器性能参数仿真结果

| 测量参数 | StrongARM | DoubleTail | ThisWork |
|----------|-----------|------------|----------|
| 工作电压/V | 0.9 | 0.9 | 0.9 |
| 输入共模电压/V | 0.3 | 0.3 | 0.3 |
| 采样频/MHz | 1 | 1 | 1 |
| 延时/ns | 169.4 | 62.94 | 7.18 |
| 功耗/nW | 25.09 | 3137 | 78.3 |

3 结论

本文提出了一种适用于超低输入共模电压的 CMOS 动态电压比较器,通过采用时序开关控制输入输出,增大了输入动态范围;减小堆叠的 MOS 管级数,降低了最小电源电压;引入两个正反馈回路,提高了分辨率,从而解决了传统动态比较器无法同时满足低功耗、高分辨率和宽共模输入范围的缺点。基于 TSMC 180 nm 工艺进行设计和验证。实验结果表明,提出的比较器具有更大的输入共模范围,并且在速度、功耗和分辨率之间取得了良好的折中,因此适用于物联网的低压低功耗应用场景。

参考文献

- [1] ZHANG H, TAN Z, CHU C, et al. A 1-V 560-nW SAR ADC with 90-dB SNDR for IoT sensing applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(12): 1967-1971.
- [2] SCHINKEL D, MENSINK E, KLUMPERINK E, et al. A double-tail latch-type voltage sense amplifier with 18ps setup+hold time[C]//2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, San Francisco, CA, 2007: 314-605.
- [3] BABAYAN-MASHHADI S, DALIRI M, LOTFI R. Analysis of power in dynamic comparators[C]//2013 21st Iranian Conference on Electrical Engineering (ICEE), 2013: 1-4, DOI: 10.1109/IranianCEE.2013.6599853.
- [4] ONUMANYI A J, ABU-MAHFOUZ A M, HANCKE G P. Low power wide area network, cognitive radio and the Internet of Things: potentials for integration[J]. Sensors (Basel), 2020, 20(23): 6837.
- [5] ZHU Y, CHAN C, CHIO U, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1111-1121.
- [6] WEI L, PAN X, CHAN C, et al. Input correlated swap-sampling technique for input driver power reduction in a 12b 25MS/s SAR ADC[C]//2019 IEEE International Symposium on Circuits and Systems (ISCAS), 2019.
- [7] SANGEETHA R, VIDHYASHRI A, REENA M, et al. An overview of dynamic CMOS comparators[C]//2019 5th International Conference on Advanced Computing & Communication Systems (ICACCS), 2019.
- [8] CHEVELLA S, O'HARE D, O'CONNELL I. A low-power 1-V supply dynamic comparator[J]. IEEE Solid-State Circuits Letters, 2020, 3: 154-157.
- [9] NASROLLAHPOUR M, HAMEDI-HAGH S. High speed, low offset, low power differential comparator with constant common mode voltage[C]//2017 IEEE 12th International Conference on ASIC (ASICON), 2017.
- [10] HORN G, HUIJSING J H. Extension of the input common-mode range beyond the supply rails of operational amplifiers and comparators[C]//ESSCIRC'92: Eighteenth European Solid-State Circuits Conference, 1992.
- [11] CHEN L, SANYAL A, MA J, et al. Comparator commonmode variation effects analysis and its application in SARADCs[C]//2016 IEEE International Symposium on Circuits and Systems (ISCAS), 2016, DOI: 10.1109/ISCAS.2016.7538972.
- [12] RAZAVI B. The strongARM latch a circuit for all seasons[J]. IEEE Solid-State Circuits Magazine, 2015, 7(2): 12-17, DOI: 10.1109/MSSC.2015.
- [13] ALSHEHRI A, AL-QADASI M, ALMANSOURI A S, et al. StrongARM latch comparator performance enhancement by implementing clocked forward body biasing[C]//2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2018.
- [14] AYESH M, IBRAHIM S, ABOUDINA M M. Design and analysis of a low-power high-speed charge-steering based StrongARM comparator[C]//2016 28th International Conference on Microelectronics (ICM), 2016, DOI: 10.1109/ICM.2016.7847852..
- [15] CHIWANDE S S, AKARTE S P. Performance analysis of low voltage, low power dynamic double tail comparator for data convertor application[C]//2016 World Conference on Futuristic Trends in Research and Innovation for Social Welfare (Startup Conclave), 2016.

(收稿日期: 2021-02-06)

作者简介:

杨德旺(1994-),男,硕士研究生,主要研究方向:数模混合集成电路。

张春华(1999-),男,硕士研究生,主要研究方向:数模混合集成电路。

郭春炳(1971-),通信作者,男,博士,教授,主要研究方向:模拟及数模混合集成电路设计, E-mail: cbguo@gdut.edu.cn。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所