

新型 PD 协议芯片 BMC 解码电路的设计与验证*

张万荣,王飞虎

(北京工业大学 信息学部,北京 100000)

摘要:提出了一种新型 PD 协议芯片 BMC 解码电路。在传统 BMC 解码电路的基础上,首先,将计数器从解码模块中分离出来并在解码模块内新增状态机,通过改变状态机的跳转条件实现了对单比特周期突变 25% 的 BMC 信号的解码;然后,新增的 FIR 滤波器使得 Threshold 值随 Cnt 值线性变化,实现了对周期多次连续变化的 BMC 信号成功解码;最后,利用 Synopsys 公司的 Verilog Compiled Simulator 进行仿真验证,证明了新方案可以对周期相差 25% 的相邻两位 BMC 信号解码,可以对周期以 6.25% 增加的连续十位进行解码。

关键词: BMC 解码;USB PD 协议;FIR;快充协议芯片

中图分类号: TN91

文献标识码: A

DOI:10.16157/j.issn.0258-7998.211493

中文引用格式:张万荣,王飞虎.新型 PD 协议芯片 BMC 解码电路的设计与验证[J].电子技术应用,2021,47(11):29-32,38.

英文引用格式:Zhang Wanrong,Wang Feihu. Design and verification of BMC decoding circuit for new PD protocol chip[J]. Application of Electronic Technique, 2021, 47(11): 29-32, 38.

Design and verification of BMC decoding circuit for new PD protocol chip

Zhang Wanrong, Wang Feihu

(Faculty of Information Technology, Beijing University of Technology, Beijing 100000, China)

Abstract: This paper presents a new type of biphasic mark coding(BMC) decoding circuit for PD protocol chip. Based on the traditional BMC decoding circuit, firstly, the counter is separated from the decoding module, and a state machine is added in the decoding module. By changing the jump condition of the state machine, the BMC signal with single bit period mutation of 25% is decoded. Then, a finite impulse response(FIR)filter is added to make the threshold value change linearly with the value of Cnt, so that the BMC signal with multiple continuous cycles can be decoded. Finally, the Verilog Compiled Simulator of Synopsys company is used for simulation verification, which proves that the new scheme can decode two adjacent BMC signals with a period difference of 25%, and decode ten consecutive BMC signals with a period increase of 6.25%.

Key words: BMC decoding;USB PD protocol;FIR;fast charging protocol chip

0 引言

近年来,随着移动设备快速充电功率的不断提高,USB 标准化组织(Universal Serial Bus Implementers Forum, USB-IF)制定了基于 BMC 编码的 USB 功率传输(Universal Serial Bus Power Deliver, USB PD)3.0 协议,该协议相比于 Qualcomm 公司的快速充电(Quick Charge, QC)协议、Samsung 公司的自适应快速充电(Adaptive Fast Charge, AFC)协议等快充协议具有只占用一根通信线,协议内容可拓展性强等优点,已成为应用最广的快充协议^[1-3]。BMC 解码模块是 USB PD 3.0 协议芯片的核心模块^[4-6]。随着手机快充功率突破 120 W,峰值电流可达到 6.25 A,电流大范围变化带来的地电位漂移现象愈发严重,地电

位漂移导致 BMC 信号在传输过程中周期多次连续变化使得 BMC 信号周期累计变化范围可达 $3.3 \mu\text{s}$ 的 $\pm 30\%$ ^[7];随着 USB 线中数据传输速率提高到 20 Gb/s 使,USB 线包内的电磁环境更加恶劣,从而使得 BMC 信号在传输过程中受到大量高频噪声干扰而导致周期单次大幅度突变^[8]。为解决上述问题,近年来人们提出了一些对 BMC 解码模块优化的方案,文献[9]提出了一种解码电路能够成功解码周期在 $3.3 \mu\text{s} \pm 25\%$ 范围内变化的 BMC 信号,但是当 BMC 信号周期累计变化到 $\pm 30\%$ 时不能成功解码,而是通过错误反馈机制强制 USB PD 3.0 协议芯片回到初始状态。

针对上述文献的不足,本文在传统解码模块的基础

* 基金项目:国家自然科学基金(61774012,61574010,61901010);国家科技重大专项(2016ZX02301002001);北京市自然科学基金(4192014,4204092);中国博士后科学基金(2019M650404);北京市朝阳区博士后科研经费资助项目(2019ZZ-9)

上,首先,通过调整传统解码系统的结构并加入状态机实现了对信号周期单次变化在±25%以内的BMC信号成功解码;另外,通过新增的FIR滤波器产生随BMC信号周期浮动的解码阈值实现了对周期多次连续变化的BMC信号成功解码。

1 新型BMC解码电路的设计

BMC解码规则如图1所示,被解码信号在每一比特开始前先进行一次翻转,如果某一比特的1/2位置发生了一次翻转,则该比特被解码成二进制数1,如图1中第1比特和第3比特所示;如果被解码信号某一比特内不发生翻转,则该比特被解码成0,如图1中第2比特和第4比特所示^[10-11]。

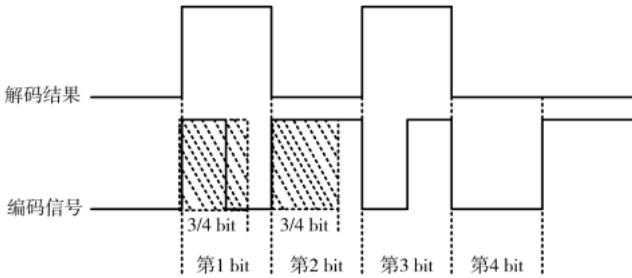


图1 BMC解码规则

传统的BMC解码系统电路结构如图2所示,包括滤波模块、边沿检测模块、解码模块^[12]。首先,数字BMC信号是由模拟信号经过施密特触发器得到的,容易带有毛刺,滤波模块可以滤除宽度为200ns以下的毛刺;然后,边沿检测模块输出的BMC信号的上升沿和下降沿



图2 传统BMC解码系统电路结构

作为解码模块中计数器开始和结束的条件;最后,解码模块通过对BMC信号64比特前导码的过采样求周期的平均值得到解码阈值,通过对比解码阈值和计数器计数值的大小解码数据包的有效数据部分,当计数器的值小于3/4解码阈值时解码结果为1,否则为0。从而实现了BMC信号的解码。

为了实现对信号周期单次变化在±25%以内的BMC信号成功解码,本文将计数器从解码模块中分离出来并在解码模块内新增状态机。新型BMC解码电路架构如图3所示,其中优化后的解码模块电路原理图如图4所示,Threshold值进入解码模块后先进行移位操作得到1/2Threshold和1/4Threshold,然后将1/2Threshold和

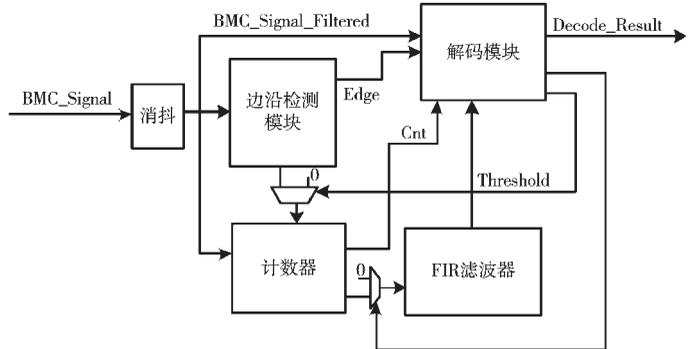


图3 新型BMC解码系统电路结构

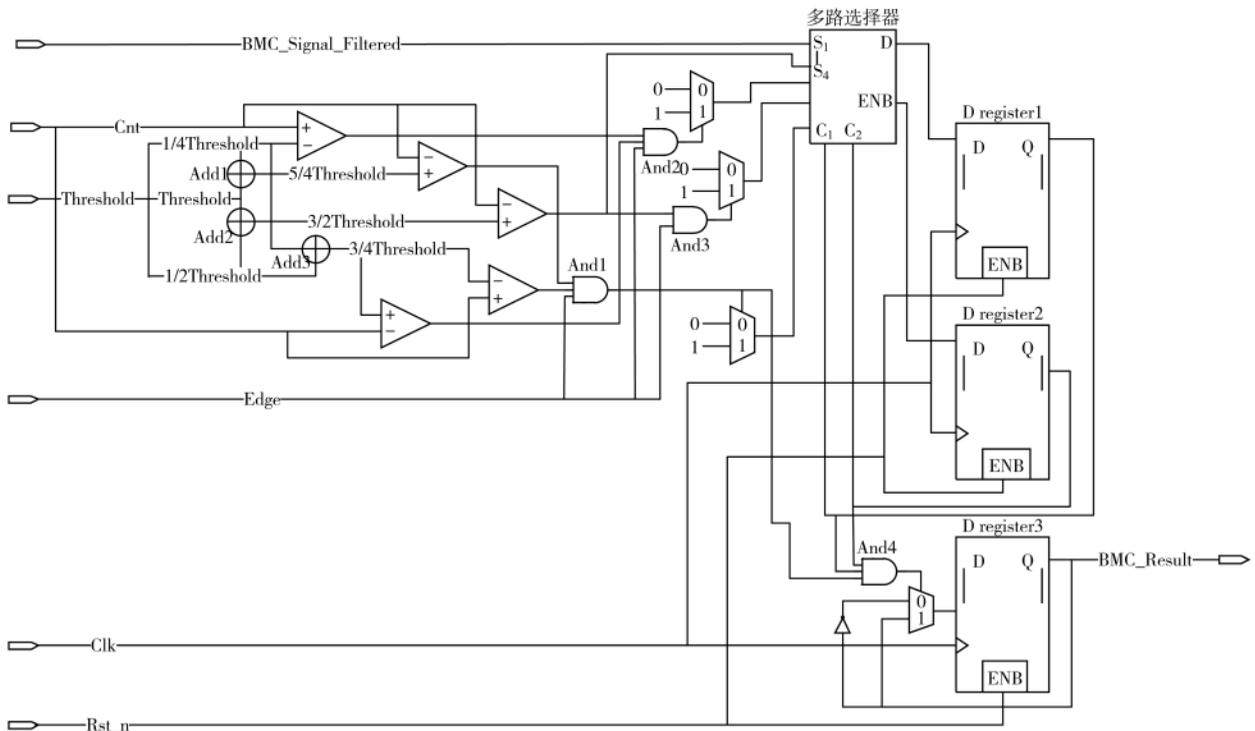


图4 解码模块电路原理图

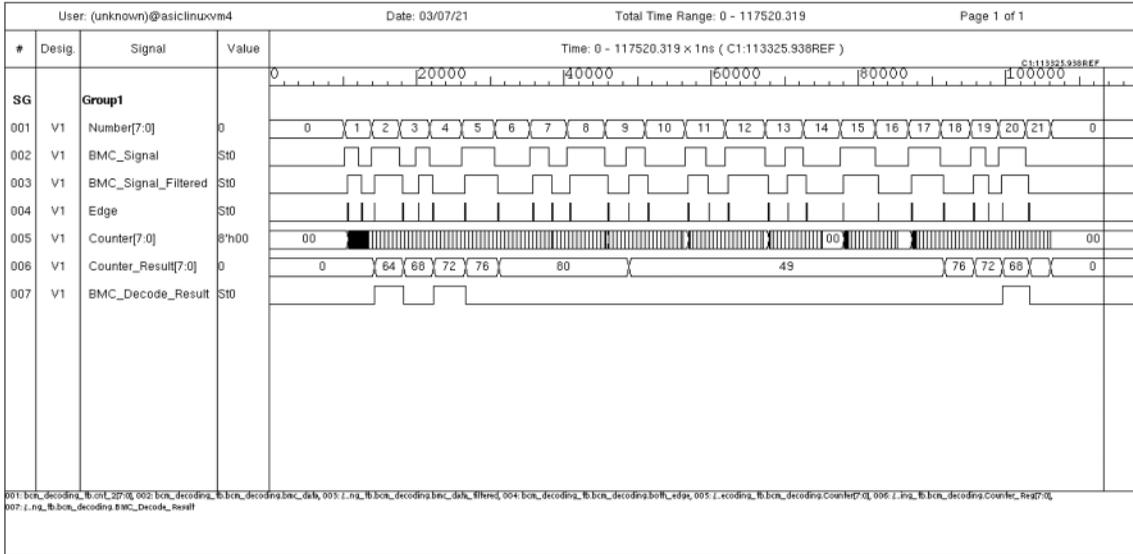


图 7 传统解码模块仿真结果

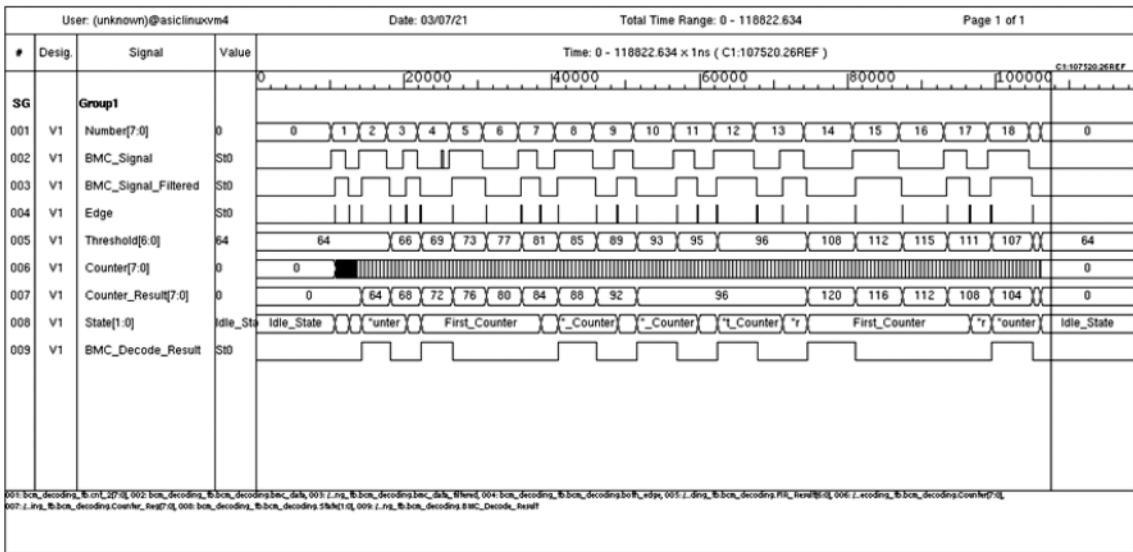


图 8 新型解码模块仿真结果

中的 254 ns 宽的毛刺成功被消抖模块滤除,滤波后的信号 BMC_Signal_Filtered 没有毛刺;输入信号 BMC_Signal 前 10 位的周期以 6.25% 的速度增加,第 14 位到第 18 位的周期以 6.25% 的速度减小,由于加入了 FIR 滤波器使得 Threshold 值随 Counter_Result 增大或减小,从而新型 BMC 解码电路均能成功解码。

本文与文献[9]的性能比较见表 1 所列,本文设计的新型 BMC 解码电路可对任意频率的 BMC 信号进行解码,文献[9]仅可以对周期在 300 kHz±25% 范围内的信号进行解码,且在华虹半导体 0.18 μm 工艺下面积相比

于文献[9]减少了 57.29%,功耗相比于文献[9]减少了 89.10%。

3 结论

为了实现对单比特周期突变 25% 的 BMC 信号解码,而且能够对周期多次连续变化的 BMC 信号成功解码,本文将计数器从解码模块中分离出来并在解码模块内新增状态机,另外在传统解码电路中增加了 FIR 滤波模块。状态机的跳转条件为 Cnt 值相对于 Threshold 值可变化 1/4,实现了对单比特周期突变 25% 的 BMC 信号的解码;新增的 FIR 滤波器使得 Threshold 值随 Cnt 值线性变化,实现了对周期多次连续变化的 BMC 信号成功解码。对新型 BMC 解码电路的仿真结果表明,可以对周期相差 25% 的相邻两位 BMC 信号解码,可以对周期以 6.25% 增加的连续十位进行解码。

(下转第 38 页)

表 1 性能比较

	本文	文献[9]
面积/nm ²	37 491.664 4	87 769.967 2
功耗/mW	0.314 50	2.886 5
可解码范围	任意频率	300 kHz±25%

异步时钟可以准确地进行 D-PHY 各个模式下进入引导码的检测。根据数模功能架构划分,搭建了模拟电路模型,供数字电路进行仿真验证。仿真和综合结果表明,D-PHY 在各个模式下功能和时序正确,满足 D-PHY v1.1 高速模式下 1.5 Gb/s 和低功耗模式下 10 Mb/s 的带宽要求。

参考文献

[1] 李先友,赵曙光,段永成,等.基于 FPGA 的实时 MIPI CSI-2 图像采集与处理系统[J].电子技术应用,2019,45(1):97-100.

[2] SHIN G W, LEE C K, LEE Y H. Hardware design of an interface supporting both camera and display for mobile devices[C]//2015 4th International Conference on Modeling and Simulation(MAS), 2015:17-20.

[3] KIM H S, LEE P H, HAN J W, et al. A 10 Gbps D-PHY transmitter bridge chip for FPGA-based frame generator supporting MIPI DSI of mobile display[J]. IEICE Transactions on Electronics, 2017, E100.C(11):1035-1038.

[4] KIM D H, KIM B D, CHO K. Design of D-PHY chip for mobile display interface supporting MIPI standard[J]. Microelectronics Journal, 2012, 43(12):949-955.

[5] MIPI Alliance, MIPI alliance specification for display serial interface[S]. Version 1.1, 2011.

[6] MIPI Alliance, MIPI alliance specification for D-PHY[S]. Version 1.1, 2011.

[7] LEE P H, JANG Y C. A 20-Gb/s receiver bridge chip with

auto-skew calibration for MIPI D-PHY interface[J]. IEEE Trans. Consumer Electronics, 2019, 65(4):484-492.

[8] KIM H S, LEE P H, HAN J W, et al. A 10 Gbps D-PHY transmitter bridge chip for FPGA-based frame generator supporting MIPI DSI of mobile display[J]. IEICE Transactions on Electronics, 2017, E100.C(11):1035-1038.

[9] KIM T J, HWANG J I, LEE S, et al. A 14 Gb/s dual mode receiver with MIPI D-PHY and C-PHY interfaces for mobile display drivers[J]. Journal of the Society for Information Display, 2020, 28(6):535-547.

[10] PANDEY A K, JANGALE A, NARAYAN S. Signal integrity and compliance test of DSI and CSI2 serial interface over MIPI D-PHY[C]//2020 IEEE 24th Workshop on Signal and Power Integrity(SPI), 2020:1-4.

[11] CUMMINGS C E. Clock Domain Crossing(CDC) Design & Verification Techniques Using SystemVerilog[Z]. 2008:1-56.

(收稿日期:2021-02-22)

作者简介:

张自豪(1995-),男,硕士研究生,主要研究方向:集成电路设计技术。

赵建中(1983-),男,博士,副研究员,主要研究方向:高速 Serdes 接口电路设计。

周玉梅(1962-),女,学士,研究员,主要研究方向:高性能低功耗专用集成电路设计和高性能低功耗混合信号电路设计。



扫码下载电子文档

(上接第 32 页)

参考文献

[1] 张烨晨,刘有耀,崔盼.基于 FPGA 的 USB PD 控制器设计与实现[J].信息技术,2019,21(2):26-29.

[2] 李生晖.基于 Type_C 接口的 USB_PD 协议的设计与实现[D].西安:西安电子科技大学,2017.

[3] 朱雪帅.应用于移动终端充电器的快充接口电路设计[D].南京:东南大学,2018.

[4] 王玲玉.USB PD 3.0 协议中发送端物理层的设计与实现[D].沈阳:辽宁大学,2018.

[5] SIAMAK D, LEO L. A Type-C USB power delivery chip faced catastrophic failure[C]//IEEE 11th Latin American Symposium on Circuits & Systems(LASCAS) 2020, 2020.

[6] 伍毅夫.基于 QuickCharge2.0 的快充控制芯片研究[D].西安:西安电子科技大学,2016.

[7] 黄腾.USB Type-C 及 PD 设计验证面面观[J].中国集成电路,2016(9):47-51.

[8] 席旭.基于 USB PD 协议的数控电源芯片设计[D].兰州:兰州大学,2019.

[9] 方侃飞,简智挺,赵建中.面向 USB PD 3.0 协议的新型 BMC 解码电路设计[J].信息技术,2020,25(3):14-17.

[10] 苗伟根.智能快充技术的研究及电路设计[D].杭州:杭州电子科技大学,2019.

[11] 李建成.大功率电源电池组能量管理系统设计与应用[D].长沙:湖南大学,2013.

[12] 赵旺.一种 BMC 码自适应解码系统 CN 208768080 U[P]. 2019-04-19.

[13] 赵毅.数字滤波的滑动平均法和低通滤波法[J].仪表技术,2001,5(1):40-41.

[14] HASHEMI S T, KIA M S S. Variability effects on full adders utilized at finite impulse response(FIR) filter implementation[J]. Journal of Economic & Management Perspectives, 2017, 11(2):933-945.

[15] ESCOTT R. VLSI implementation in multiple-valued logic of an FIR digital filter using residue number system arithmetic[J]. IEEE Transactions on Circuits and Systems, 1986, 33(1):5-25.

[16] SIAMAK D, XU Z. A BMC analog and digital PHY for USB Type-C power delivery[J]. Canadian Journal of Electrical and Computer Engineering, 2020, 43(3):195-202.

(收稿日期:2021-03-11)

作者简介:

张万荣(1964-),男,博士,教授,主要研究方向:芯片设计。

王飞虎(1995-),男,硕士,主要研究方向:芯片设计。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所