

基于多相滤波的四路并行抽样算法及实现

徐波

(中国西南电子技术研究所, 四川 成都 610036)

摘要: 在某型数字信号处理模块的研制中, 需要使用高速 A/D 对射频信号进行采样, 但由于系统时钟生成模块无法输出 320 MHz 时钟, 从而导致该高速 A/D 无法在 320 MS/s 采样率下工作。为解决该问题, 首先设置 A/D 采样率为 960 MS/s, 然后在 FPGA 中对采样信号进行 3 倍采样后得到 320 MS/s 的采样输出。该高速 A/D 与 FPGA 采用标准的 JESD204B 接口, 所以在 FPGA 中利用 JESD204B IP 核对高速信号进行了 1:4 串并转换, 再对串并转换信号进行多相滤波、抽取降样处理后输出。首先介绍了课题的背景, 然后对信号处理模块的组成、功能和性能指标进行了简要的说明, 对系统在 320 MS/s 采样率下存在的问题进行了深入分析, 针对该问题提出了四路并行抽样算法。并基于该算法, 利用 MATLAB 进行了系统建模并进行仿真, 仿真结果与预期一致。选取 Xilinx 公司的高性能 FPGA, 并结合系统模型中的低通滤波器参数对电路进行实现, 最后搭建数字信号处理模块与 Vivado 等软件工具的软硬件联合测试环境进行验证并给出实验结果。

关键词: 多相滤波; 四路并行抽样算法; 抽取

中图分类号: TN47

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211460

中文引用格式: 徐波. 基于多相滤波的四路并行抽样算法及实现[J]. 电子技术应用, 2021, 47(11): 110-115.

英文引用格式: Xu Bo. The four parallel sampling algorithm based on polyphase filtering and its implementation[J]. Application of Electronic Technique, 2021, 47(11): 110-115.

The four parallel sampling algorithm based on polyphase filtering and its implementation

Xu Bo

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: In the development of a certain type of digital signal processing module, high-speed AD samples the RF signal, but the clock generation module cannot output the 320 MHz clock, which causes the high-speed AD to work normally at the sampling rate of 320 MS/s. Therefore, in a high-performance FPGA, the signal is first sampled 3 times, and the JESD204B IP core performs a 1:4 serial-to-parallel conversion on the high-speed signal. Finally, the serial-to-parallel conversion signal is subjected to polyphase filtering and down sampling. The article first introduces the background of the subject, then briefly describes the composition, function and performance indicators of the signal processing module, and deeply analyzes the problems existing in the sampling rate of 320 MS/s, and proposes four parallel sampling algorithm for the problem. Based on the algorithm, the system was modeled and simulated by MATLAB, and the simulation results were consistent with expectations. It selects Xilinx's high-performance FPGA and combines the low-pass filter parameters in the system model to implement the circuit. Finally, the digital signal processing module and the software and hardware joint test environment of software tools such as Vivado are built to verify and give the experimental results.

Key words: polyphase filter; 4-way parallel sampling algorithm; decimation

0 引言

Joe Mitola 博士在 1992 年美国通信系统会议上首次明确提出了可编程或可重构无线电系统的概念。理想的软件无线电架构如图 1 所示, 在信号接收侧: 由天线接收的无线电信号经过低噪声放大后, 利用数模转换器 (ADC) 对信号进行数字化处理, 数字化处理的信号经过 FPGA/DSP 等完成数字下变频、数字滤波、数字解调等信

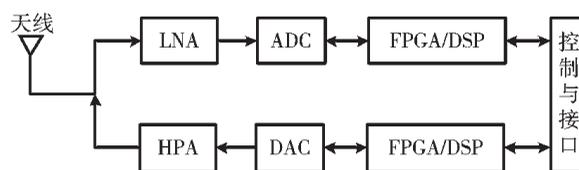


图 1 理想的软件无线电架构

号处理任务后送给控制与接口模块; 在信号发射侧: 从

接口过来的基带信号会通过 FPGA/DSP 完成数字调制、数字上变频和数字滤波等信号处理任务,再经模数转换器(DAC)转换为模拟信号,最后经功率放大器放大到足够功率,再由天线发射出去^[1]。

在某型信号处理系统中,包含信号接收 ADC 以及 FPGA 处理等部分,数据采样相关的电路如图 2 所示。该信号处理模块中共有三个模数转换模块 ADC,一个时钟产生模块,一个主 FPGA(FPGA1),一个控制 FPGA(FPGA2)。其中模数转换模块 ADC 的最高采样率为 1 GS/s,采样位数 14 bit,经过 JESD204B 接口得到采样数据。时钟生成模块共有 14 路输出时钟,分别给 ADC 和主 FPGA(FPGA1)输出采样时钟、JESD204B 参考时钟和工作时钟。控制 FPGA(FPGA2)通过 SPI 接口实现对 ADC 和时钟产生模块的工作模式控制,以及通过两块 FPGA 间的互连来实现对主 FPGA 工作模式控制。主 FPGA (FPGA1) 通过 JESD204B IP 核接收 ADC 的采样数据,并进行数据组合和简单处理,然后送至后续信号处理单元使用。

系统中的三个相同的 ADC 模块,每个 ADC 的采样率必须在 320 MS/s、360 MS/s、575 MS/s 三个特殊频点下工作,且支持在线更新。要求在对任意一个 ADC 的采样率更新时,不能影响其他 ADC 的正常工作。但是时钟生成模块无法输出 320 MHz 时钟,这就使得 ADC 无法在 320 MS/s 采样频点下进行工作。

为了满足系统对 320 MS/s 采样率的需求,同时为了获取更加稳定的、抖动小的时钟输出,设计采用时钟模块生成了稳定可靠的 960 MHz 时钟输出,并将该时钟信号与 ADC 连接,然后在主 FPGA 内做 3 倍抽样,将采样率降到 320 MS/s,最终输出 320 MS/s 的采样数据。

1 四路并行滤波算法设计

假设输入信号为 $x[n]$,滤波器的单位冲击响应为 $h[n]$,由卷积定理可得到滤波器输出 $y[n]$:

$$y[n]=x[n]*h[n]=\sum_{k=0}^{N-1}h[k]x[n-k] \quad (1)$$

式(1)单位冲击响应 $h[n]$ 中 n 的取值范围为 $0,1,2,\dots,N-1$,对 $h[n]$ 做 4 倍多相分解,则有 $h[n],h[n+1],h[n+2],h[n+3]$, n 的取值范围为 $0,1,2,\dots,N/4-1$,那么式(1)变为:

$$y[n]=\sum_{i=0}^3\sum_{k=0}^{N/4-1}h[4k+i]x[n-(4k+i)] \quad (2)$$

JESD204B 将输入信号做了 1:4 的串并转换,即一个时钟周期输入四个数据 $x[4n],x[4n-1],x[4n-2],x[4n-3]$,数据流如图 3 所示。

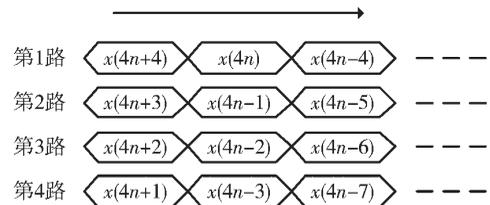


图 3 四路并行数据流

因此在做滤波处理时应该采用并行算法,滤波器每个周期输入四个数据,同时每个周期输出四个滤波后的数据。那么变为:

$$\begin{aligned} y[4n] &= \sum_{i=0}^3 \sum_{k=0}^{N/4-1} h[4k+i]x[4n-(4k+i)] \\ &= \sum_{i=0}^3 \sum_{k=0}^{N/4-1} h[4k+i]x[4(n-k)-i] \end{aligned} \quad (3)$$

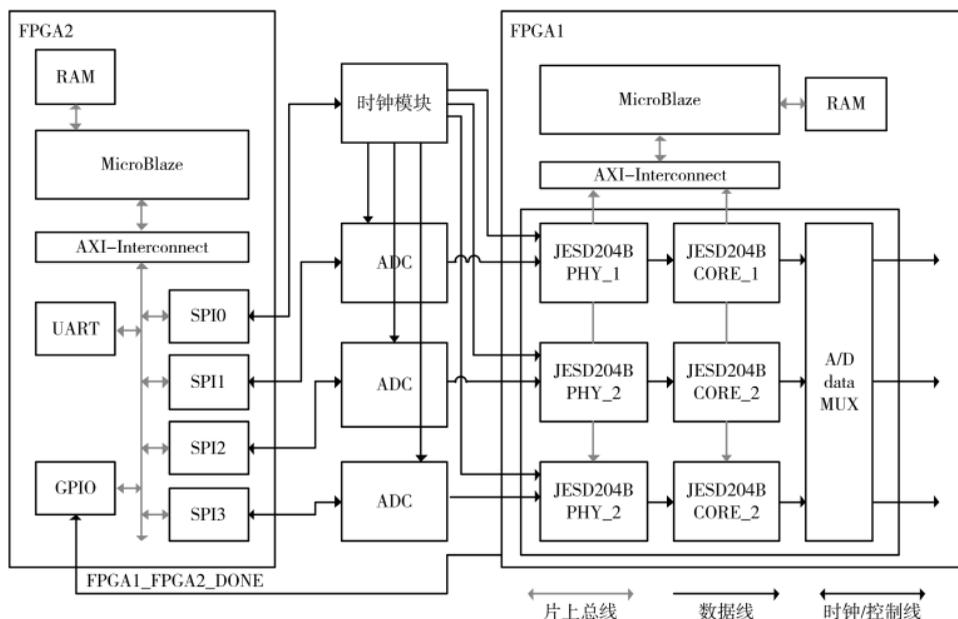


图 2 信号处理模块模数转换相关电路

变换成卷积表示方式,则式(3)变为:

$$y[4n] = \sum_{i=0}^3 h[4n+i] * x[4n-i] \quad (4)$$

那么 $y[4n]$ 的实现方式如图 4 所示。

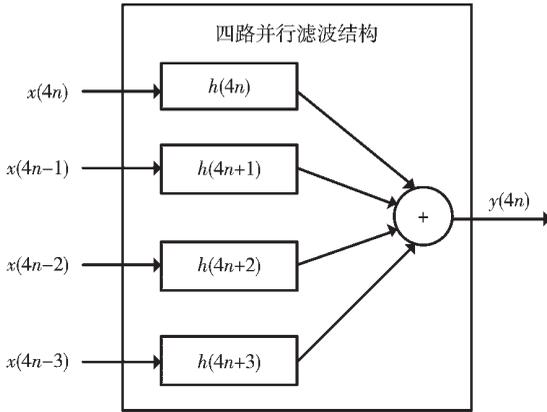


图 4 四路并行滤波结构

同理可得到 $y[4n-1]$ 、 $y[4n-2]$ 、 $y[4n-3]$ 的表达式为:

$$y[4n-1] = \sum_{i=0}^3 h[4n+i] * x[4n-1-i] \quad (5)$$

$$y[4n-2] = \sum_{i=0}^3 h[4n+i] * x[4n-2-i] \quad (6)$$

$$y[4n-3] = \sum_{i=0}^3 h[4n+i] * x[4n-3-i] \quad (7)$$

最终,四路并行滤波算法实现框图如图 5 所示。

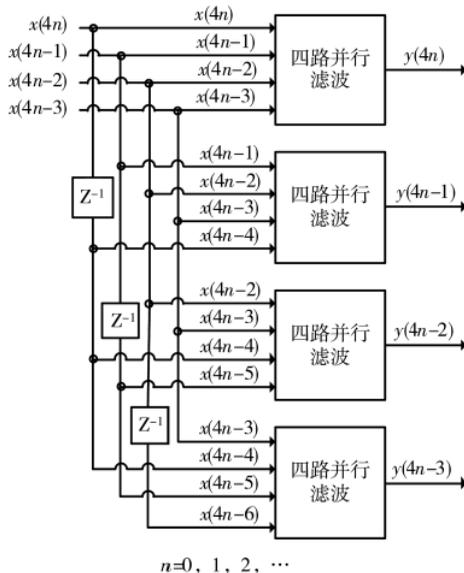


图 5 四路并行滤波算法实现框图

滤波结束对输出信号进行抽样,即对数据 $y[4n]$ 、 $y[4n-1]$ 、 $y[4n-2]$ 、 $y[4n-3]$ 并行输出信号进行抽取处理。

2 算法仿真与滤波器参数提取

根据第一节对四路并行滤波算法的设计,对该算法

进行仿真,验证算法能否按照系统要求正确滤波输出。设置采样频率 $f_s=960$ MHz,输入 10 MHz、380 MHz 叠加的正弦波信号,对该信号添加 SNR=5 dB 的噪声干扰,输入信号的幅频响应如图 6 所示。

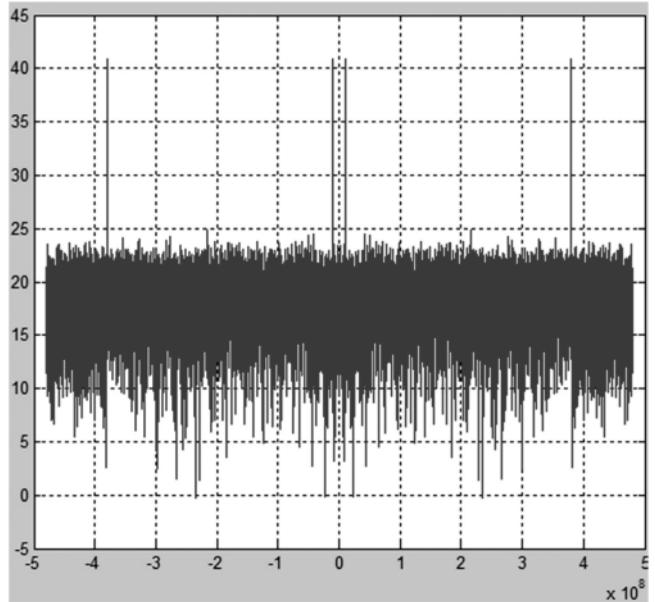


图 6 输入信号幅频响应

对输入信号进行 1:4 的串并转换,将信号分解成四路信号并行输出。该四路信号经由各自的 FIR 低通滤波器进行滤波,滤波器阶数取 32, FIR 低通滤波器的系数设置为 1/3。最后对四路并行信号进行并串转换,对转换后的信号进行分析,结果如图 7 所示,证明经过四路并行滤波算法后能够正确得到 10 MHz、380 MHz 两个频点。仿真完成后,在 MATLAB 中提取四路低通滤波器的参数并对其进行量化,该参数值主要辅助后续 FPGA 实现。

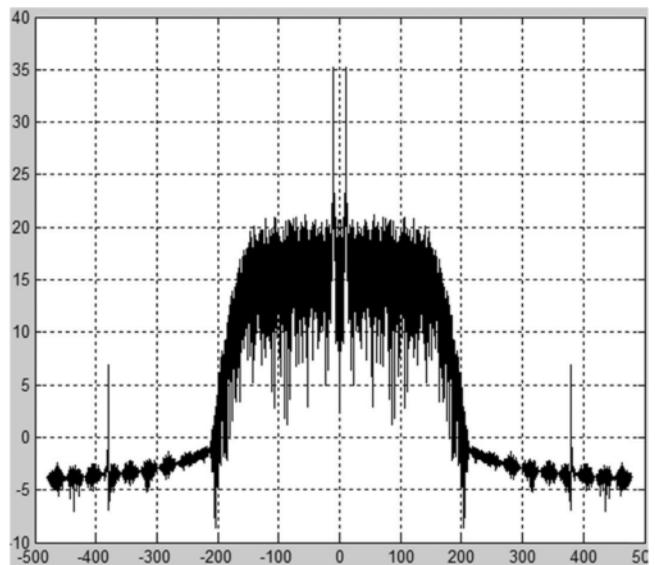


图 7 四路并行滤波输出幅频响应

3 算法的 FPGA 实现及仿真

信号处理模块主要选取 Xilinx 公司 FPGA, 四路并行滤波模块的实现如图 8 所示, 该模块主要用来实现图 3 中的四路并行滤波结构, 是四路并行抽样算法的基本处理单元。该模块主要功能是输入的四路数据送入 FIR 低通滤波器进行滤波, 并将滤波后的数据累加后输出, data0_i~data3_i 表示 JESD204B 输出数据, data_o 表示滤波、累加后的输出信号, 该信号会送给降样模块进行抽样。FIR 低通滤波器采用 Xilinx 公司的 IP core, 滤波器的参数在算法验证阶段产生, 该参数值直接与 IP core 结合使用。

利用 MATLAB 对算法仿真中产生输入信号进行 1:4 的串并转换, 并将转换完的数据作为激励分别送给 data0_i~data3_i, 输入时钟 clk 为 240 MHz, data_o 表示输出, 四路

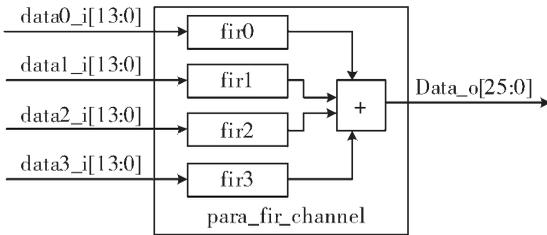


图 8 四路并行滤波通道模块框图

并行滤波通道的仿真结果如图 9 所示, 表明通过滤波后, 信号正常输出。

以四路并行滤波模块为基础, 对四路并行抽样算法进行了 FPGA 实现, 如图 10 所示, sample_clk 表示抽样时钟 240 MHz; down_sample_clk 表示抽样时钟 80 MHz; down_sample_data0~down_sample_data3 表示抽样数据; para_fir_channel0~para_fir_channel3 为四个并行滤波模块, 四个模块分别用来对 JESD204B 输出的四路信号进行滤波等处理; deci_filter 为降样模块, 该模块主要用于在并行滤波模块分别对四路信号处理完成后, 将输出信号送给降样模块进行抽取处理, 抽取后的信号再送至后续信号处理单元使用。

四路并行抽样算法的仿真结果如图 11 所示, 与上一节四路并行滤波的仿真方法类似, 仍然利用 MATLAB 对算法仿真中产生输入信号进行 1:4 的串并转换, 并将该四路信号作为激励分别送给 data0_i~data3_i, 图 11 中选取了第 1 路数据作展开, 其中 data_o_deci 表示 para_fir_channel 模块送给 deci_filter 的数据信号, data0_o 表示抽样信号。由 data_o_deci 的信号波形分析四路信号在通过四路并行滤波模块后, 信号被正确滤波输出; 同时滤波信号经过降样模块, 信号正确抽取。

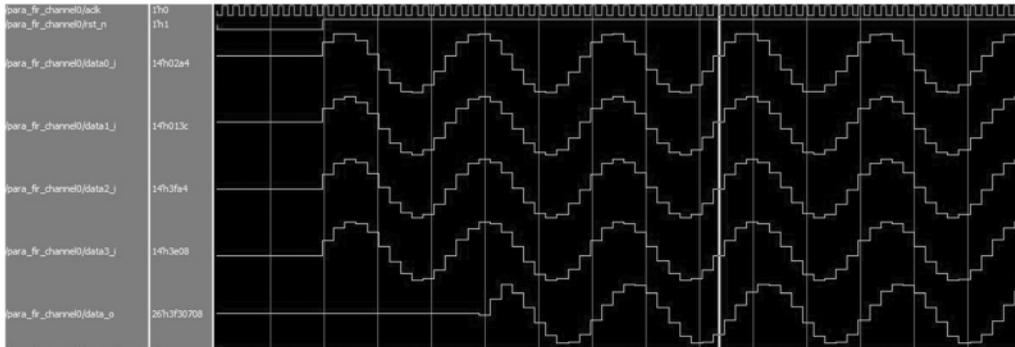


图 9 四路并行滤波通道模块的仿真结果

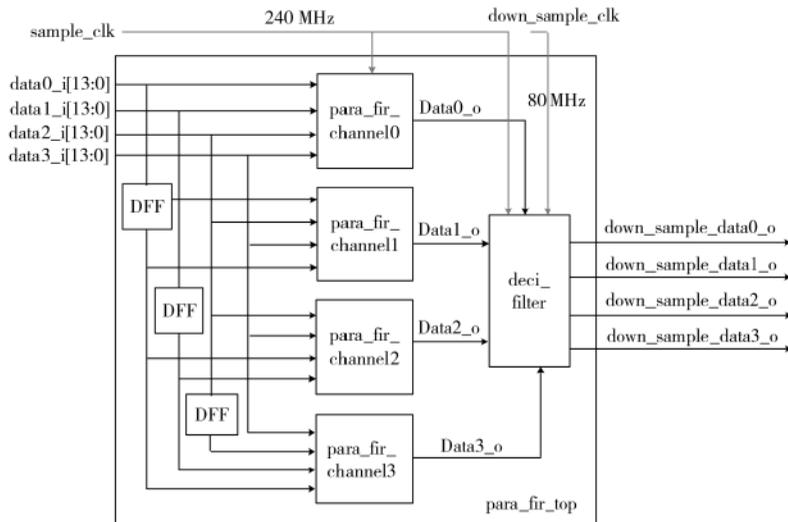


图 10 四路并行抽样算法实现框图

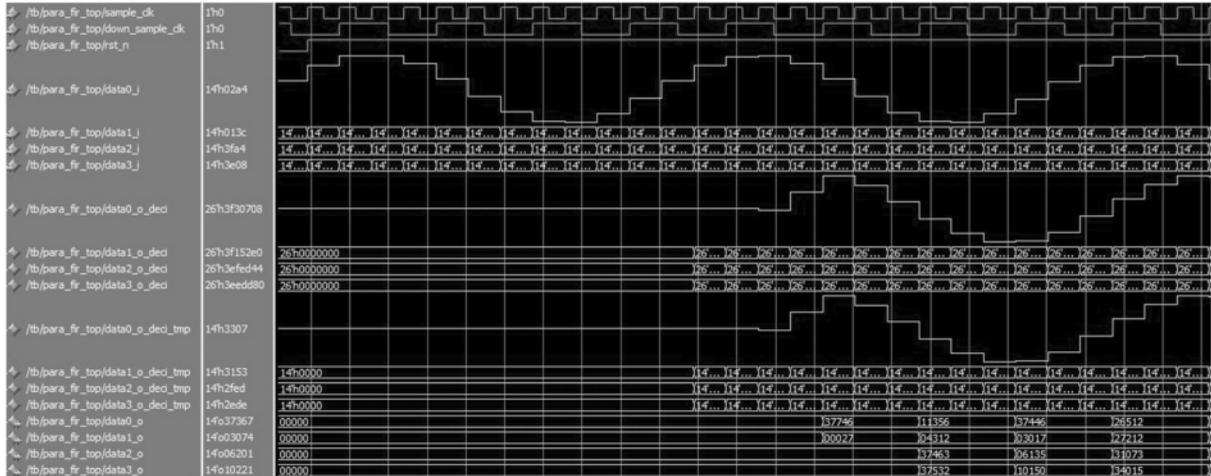


图 11 四路并行抽样算法的仿真结果

4 系统调试与结果分析

在完成四路并行抽样算法的 FPGA 实现和仿真验证后,将代码综合后下载到信号处理模块进行测试。测试框图如图 12 所示,时钟源向信号处理模块提供工作时钟,同时信号发生器向信号处理模块发送测试信号,信号处理模块将对测试信号先进行滤波,然后抽样输出, Vivado 对输出信号进行采集, MATLAB 对采集的输出信号进行分组分析,判断结果是否正确。

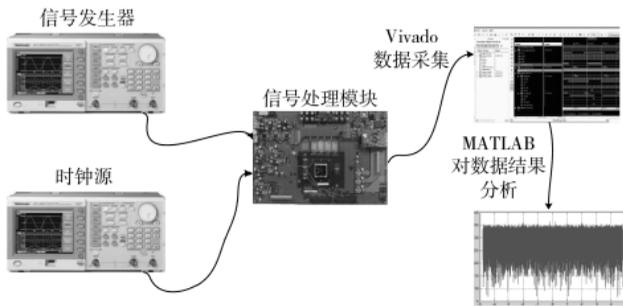


图 12 信号处理模块测试框图

如果要查看更多的信号,图 12 的测试系统的局限性就比较大,因为查看的信号越多, Vivado 中需要插入的探针(probe)就越多,这样导致的结果就是面积的增加和时序的劣化,而且可能会多次迭代综合,耗费的时间长,从而大大降低了工作效率。因而,搭建一个信号处理模块、MATLAB、Questasim 和 Vivado 的软硬件联合调试环境就显得尤其必要。在该调试环境中,只需要 Vivado 采集模块的接口和一些关键信号以外,利用 Questasim 仿真工具查看模块内部的信号,这样除了减少了面积,对时序影响也比较小,同时还提高了调试效率。该软件硬件联合调试环境如图 13 所示,信号发生器向信号处理模块送入信号后, Vivado 可以对模块接口和一些关键信号的信号进行采集,此时 Questasim 利用这些采集的信号作为输入激励进行仿真, MATLAB 收集仿真结果并进行分组、串并转换等处理,或者将 Questasim 输出的仿真结果与 Vivado 采集

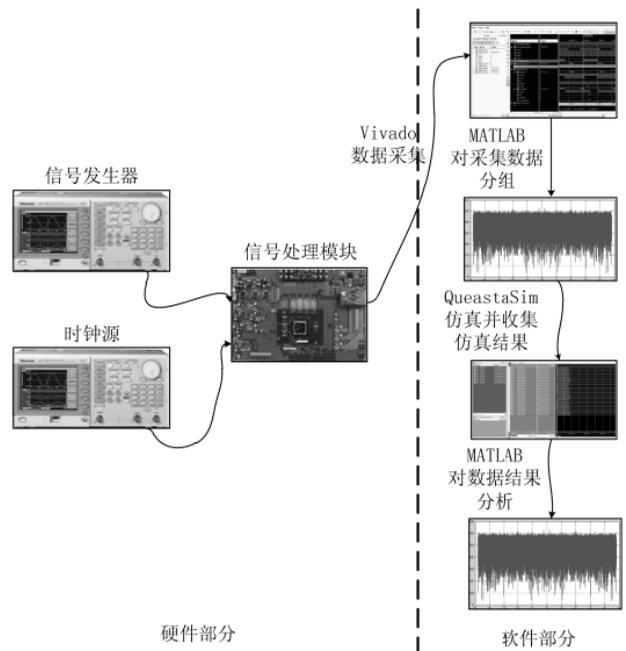


图 13 软硬件协同联合调试系统框图

的输出结果进行对比,用来判断结果是否正确。

软硬件联合调试环境搭建完成后,信号处理模块选择多个频率进行测试,实验结果证明均能输出正确的采样信号。以 66 MHz 和 74 MHz 为例,其中图 14 是 66 MHz 的幅频响应,图 15 是 74 MHz 的幅频响应。

5 结论

四路并行抽样算法的设计主要为了解决 ADC 在 320 MS/s 采样率下,经由 JESD204B 接收的信号在 FPGA 中无法处理的问题。在实际测试中将 ADC 设置在 960 MS/s 的采样频点,信号经过 JESD204B 转换为 4 路并行信号,分别对该四路信号进行滤波、抽样,将采样率降样到 320 MS/s,最终输出正确的抽样数据,经过试验证明该四路并行抽样算法模块能满足系统对 320 MS/s 采样率的要求。

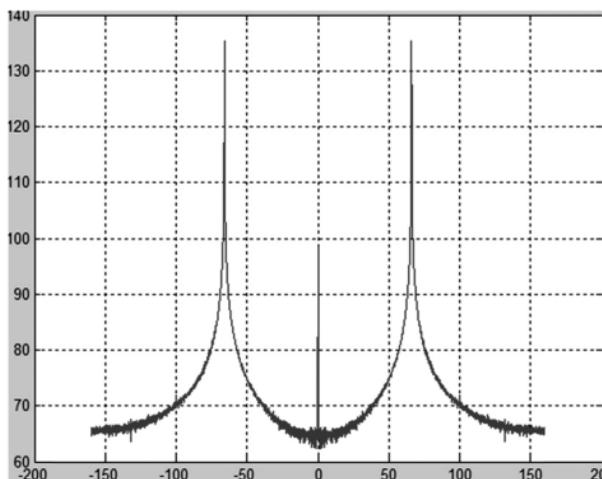


图 14 66 MHz 幅频响应

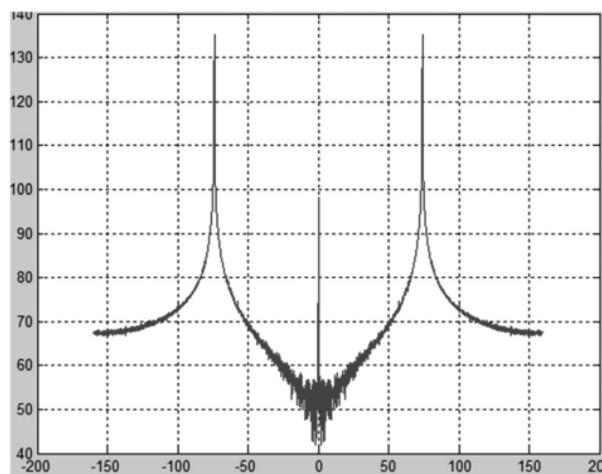


图 15 74 MHz 幅频响应

参考文献

- [1] 杨小牛.从软件无线电到认知无线电,走向终极无线电——无线通信发展展望[J].中国电子科学研究院学报, 2008(1): 1-7.
- [2] 张飞,伍小保.广义多相滤波及其应用[J].雷达科学与技术, 2014(3): 262-266.
- [3] 朱小华,王建新,于雷.多相滤波法实现的数字正交相干检波器[J].南京理工大学学报, 2001(6): 642-645.
- [4] 吴兵,张飞,伍小保.宽带数字波形产生中的广义多相滤

(上接第 109 页)

兰州:兰州交通大学, 2018.

- [9] 王涌,肖顺文,罗春梅.基于 Verilog 的 VGA 显示控制电路设计[J].数字技术与应用, 2019, 37(4): 150-151, 153.
- [10] 龙芯中科技术有限公司.Loongson_3A4000_user.pdf[DB/OL]. [2020-08-13]. <http://www.loongson.cn/uploadfile/cpu/3A4000user.pdf>.
- [11] ADV7125 芯片数据手册[DB/OL].[2020-09-05].https://www.analog.com/media/en/technical-documentation/data-sheets/ADV7125_cn.pdf.

波[J].雷达科学与技术, 2016(4): 422-426.

- [5] 江春燕,周胜源,陈星.基于软件无线电多相滤波的数字正交变换技术[J].电子设计工程, 2010(6): 89-92.
- [6] 罗星华,苏涛.基于多相滤波原理的数字正交采样技术[J].现代电子技术, 2008(3): 27-30.
- [7] 徐荣华,胡修林.基于多相滤波结构的宽带接收机数字下变频研究[J].计算机与数字工程, 2007(4): 50-54.
- [8] 支蔚秋.基于多相滤波的星上数字波束形成网络中关键技术的研究[D].西安:西安电子科技大学, 2008.
- [9] 周沿海.基于多相滤波的信道化发射机研究[J].通信技术, 2012(4): 27-30.
- [10] 曾斌,龙慧敏.基于多相滤波的宽带数字接收机二次变频设计[J].电讯技术, 2008(9): 43-46.
- [11] 谢裕进.基于多相滤波的宽带数字接收机的研究与 FPGA 实现[D].南京:南京航空航天大学, 2009.
- [12] A·V·奥本海默.信号与系统(第二版)[M].刘树棠,译.西安:西安交通大学出版社, 2001.
- [13] A·V·奥本海默.离散时间信号处理(第二版)[M].刘树棠,等译.西安:西安交通大学出版社, 2001.
- [14] 杜勇.数字滤波器的 MATLAB 与 FPGA 实现[M].北京:电子工业出版社, 2012.3
- [15] INGLE V K.数字信号处理及其 MATLAB 实现[M].陈怀琛,等译.北京:电子工业出版社, 1998.
- [16] 程佩青.数字信号处理教程[M].北京:清华大学出版社, 2001.
- [17] 周耀华,汪凯仁.数字信号处理[M].上海:复旦大学出版社, 1992.
- [18] 陈亚勇.MATLAB 信号处理详解[M].北京:人民邮电出版社, 2001.
- [19] 陈桂明,张月照.应用 MATLAB 语言处理数字信号与数字图像[M].北京:科学出版社, 2000.
- [20] Xilinx.Kintex-7 datasheet[DB/OL].<http://china.Xilinx.com/products/silicon-devices/fpga-ultrascale.html>.

(收稿日期: 2021-03-07)

作者简介:

徐波(1982-),男,硕士研究生,工程师,主要研究方向:数字微系统集成技术、ASIC 设计。



扫码下载电子文档

- [12] 刘盼.基于 CMOS 的 VGA 接口的工业相机的设计[D].保定:河北大学, 2014: 37-38.

(收稿日期: 2021-03-09)

作者简介:

籍明慧(1997-),男,硕士研究生,主要研究方向:主板设计。

裴焕斗(1973-),男,博士,副教授,主要研究方向:测试计量技术及仪器。

宫健(1997-),男,硕士研究生,主要研究方向:嵌入式系统。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所