

一种高速跳频信号的数字信道化宽带接收设计

王 杰

(中国西南电子技术研究所,四川 成都 610036)

摘要:跳频通信作为一种新型的通信体制,具有很强的抗截获、抗搜索、抗干扰、抗对抗等特点。美国及北约国家装备的战术信息分发系统以及地面、舰载、机载跳频电台和敌我识别系统等,均采用了跳频通信体制,具有高度的保密性和抗干扰性能。针对高速跳频信号频带宽、频点多且跳频速度快不利于快速检测的特点,提出了利用两片ADRV9009射频捷变芯片将高速跳频信号变换成零中频信号后,送FPGA经多相滤波数字信道化后完成多路通道信号接收处理的方案。该设计不仅简化了整个高速跳频信号前端宽带接收处理的流程,减小了前端模拟信道接收设备的体积,降低了系统的功耗,同时基于FPGA实现多相滤波的数字信道化设计大大增加了系统的灵活性,提高了后端高速跳频信号的检测和识别概率。

关键词:高速跳频信号;数字信道化宽带接收;ADRV9009;多相滤波处理

中图分类号:TN393

文献标识码:A

DOI:10.16157/j.issn.0258-7998.212183

中文引用格式:王杰.一种高速跳频信号的数字信道化宽带接收设计[J].电子技术应用,2021,47(12):26-30,

英文引用格式:Wang Jie. Design of digital channelized broadband receiver for high speed frequency hopping signal[J]. Application of Electronic Technique, 2021, 47(12): 26-30,

Design of digital channelized broadband receiver for high speed frequency hopping signal

Wang Jie

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: As a new type of communication system, FH communication has strong characteristics of anti-interception, anti-search, anti-interference and anti-antagonism. FH communication system is adopted in the tactical information distribution system, ground and shipborne and airborne FH radio stations and identification friend or Foe systems of the United States and NATO countries, which has high confidentiality and anti-interference performance. In view of the characteristics of high speed FH signal with wide frequency band, many frequency points and fast frequency hopping speed, this paper proposes to use two pieces of ADRV9009 RF agility chip to transform the high speed FH signal into zero IF signal, and then send it to FPGA through polyphase filtering digital channelization to complete the signal receiving and processing. The design not only simplifies the whole signal front-end wideband reception process, reduces the volume of the front-end analog channel receiving equipment, and reduces the power consumption of the system, but also greatly increases the flexibility of the system, and improves the detection and identification probability of high-speed frequency hopping signal in the end.

Key words: high speed FH signal; wideband digital receiver; ADRV9009; poly-phase filtering process

0 引言

通信侦察的主要任务是利用电子情报侦察手段对敌方发射的辐射源信号进行搜索与截获、分选与识别、调制参数测量和解调译码等。当前美国及北约国家的数据链均采用了高速跳频和直接序列扩频体制^[1],其具有跳频速度快、频点多、带宽宽、扩频码复杂等特点,信号的捕获、跟踪和检测极为困难^[2]。

针对信号的捕获跟踪,传统的侦察方式为将接收的射频信号通过模拟下变频变换到中频信号,经过AD数字采样后送数字信号处理模块完成信号的频谱计算和

功率估算等,从而完成信号的检测和分选识别。该方法针对带宽小、跳速慢、频点少的信号效果较好,但针对跳频带宽、频点多的信号则处理能力不足,FPGA的资源无法满足多路信号同时下变频、滤波和频谱并行计算处理。此外,当前装备发展的趋势是低功耗、小型化方向发展,传统模拟下变频方式已经很难满足这方面的需求。

美国亚德诺半导体公司(Analog)先后推出了AD9361、AD9371及ADRV9009等类型的射频频率捷变芯片,随着芯片的换代升级,其芯片的功能越来越强大,其中ADRV9009芯片的处理带宽可达200 MHz。本文提出基于ADRV-

9009+Zynq 的处理架构实现宽带高跳速信号的数字信道化宽带接收设计,后端 FPGA 处理采用多相滤波处理方式,通过抽取后再滤波,可大大节省 FPGA 的硬件资源。该方法可针对特定频点间隔的高速跳频信号、扩频信号等,经仿真调试和 FPGA 板级调试均有较好的效果,大大节省了 FPGA 的使用资源,具备推广到其他非协作信号侦察的应用前景。

1 高速跳频信号的工作原理

高速跳频信号主要应用于通信电台、敌我识别、数据链等平台上,其主要采用了跳频、直接序列扩频和跳时等反侦察通信技术,具有较低的截获概率。

针对该类信号跳频快和带宽大的特点,采用宽带数字信道化接收和高速数字信号处理相结合的技术,从而为后端的信号检测和参数估计提供预处理的数据。

图 1 所示是一种常规的高速跳频信号的信号发射流程,完成跳频之前该跳频信号还会进行扩频调制、加密处理和载波选择等,故对其侦收处理的难度较大。

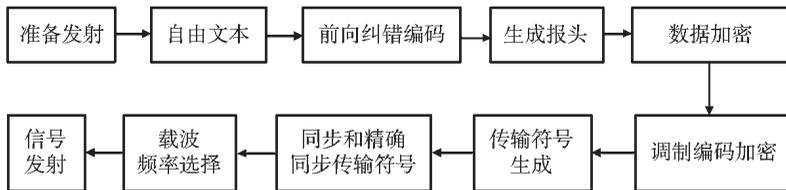


图 1 高速跳频信号波形的发射流程

2 针对高速跳频信号的宽带侦收总体设计

针对高速跳频信号的侦收包含三个关键技术:宽带接收处理设计、信号的参数估计和信号的解调解译。其处理的流程如图 2 所示,本文主要针对前端高速跳频信号的宽带接收处理设计展开分析。前端天线接收的信号通过两片 ADRV9009 芯片完成 L 频段信号的下变频和 AD 采样。采样后的两路数字基带信号送入一片 FPGA

实现滤波、数字信道化处理,变成每路采样率较低的基带信号。

假定某高速跳频信号的通道间中心频率间隔为 3 MHz,其跳频带宽为 300 MHz 左右,有效带宽为 64 个,为了保证侦收对信号的全概率覆盖,多相滤波数字信道化采用 50%的混叠设计。多相滤波数字信道化各信道带宽设计为 6 MHz,接收通道 1、2 输出涵盖频段为前段 150 MHz,划分为 32 个信道,接收通道 3、4 输出频段涵盖后段的 150 MHz,划分为 32 个信道。多相滤波数字信道化处理由 4 个完全相同的 16 路数字信道化组成,通过控制 ADRV9009 不同的射频频点可实现某高速跳频信号频段的全覆盖。其信道划分如图 3 所示。

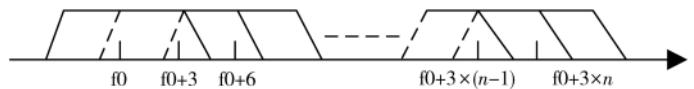


图 3 高速跳频信号宽带数字信道化

3 ADRV9009 工作原理及特点

ADRV9009 是一款高度集成的射频 (RF) 捷变收发器,提供双通道发射和接收器、集成式合成器和数字信号处理功能。其 1 路接收通道的处理流程如图 4 所示。

ADRV9009 接收链路按信号流程依次为:模拟正交混频、TIA (跨导放大器)、ADC、第一级抽取、第二级抽取、可编程 FIR 滤波器、正交校正、直流校正、直流增益和中频变换后通过 JESD204B 高速接口后送后端 FPGA 完成后续数字信号处理及解调/译码^[3-4]。

ADRV9009 的接收通道最大可支持带宽为 200 MHz,而某高速跳频信号的最大带宽达 300 MHz,因此两片 ADRV9009 的四个接收通道可实现高速跳频信号的全带宽覆盖^[5]。

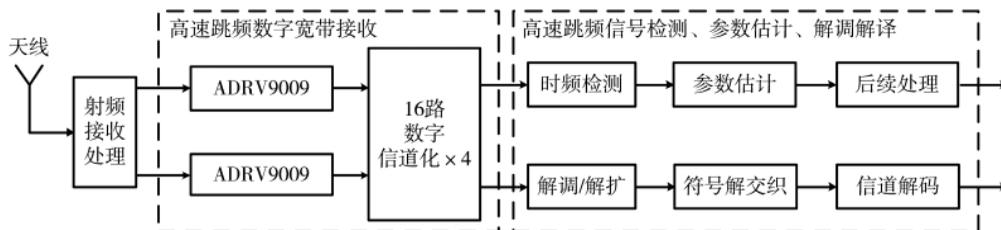


图 2 高速跳频信号侦收处理流程

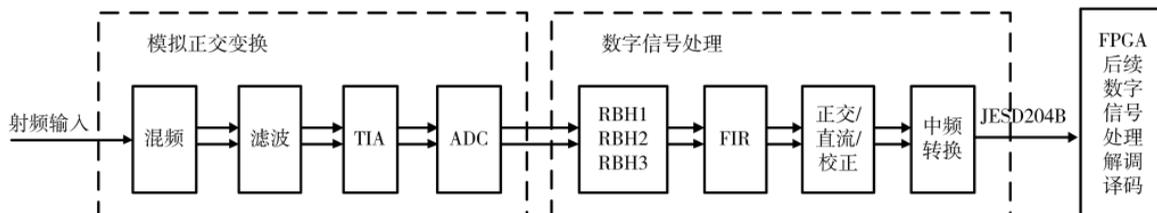


图 4 ADRV9009 的接收处理流程

4 针对高速跳频信号多相滤波处理的原理

如前文所述,本文用两片 ADRV9009 实现高速跳频信号的全带宽覆盖。ADRV9009 输出的是经过抽取、滤波后的零中频基带信号。鉴于 ADRV9009 送入的是基带 I、Q 信号,因此,本设计采用复数的数字信道化多相滤波结构^[6-7]。

根据复信号的信道化原始结构,可得第 k 路信道的输出^[8]为:

$$y_k(m) = \{[s(n)e^{j\omega_k n}] * h(n)\} | n=mD$$

$$= \sum_{p=0}^{D-1} \sum_{i=-\infty}^{+\infty} s(mD-iD-p)e^{j\omega_k(mD-iD-p)} \cdot h(iD+p) \quad (1)$$

定义 $s_p(m) = s(mD+p)$, $h_p(m) = h(mD+p)$, 则:

$$y_k(m) = \sum_{p=0}^{D-1} [\sum_{i=-\infty}^{+\infty} s_p(m-i)e^{j\omega_k(m-i)D} \cdot h_p(i)] e^{-j\omega_k p} \quad (2)$$

则推导出:

$$y_k(m) = \sum_{p=0}^{D-1} x_p(m) e^{-j\omega_k p} \quad (3)$$

各信道可选择奇划分和偶划分,为了推导及实现方便这里选择奇划分,令:

$$\omega_k = \frac{2\pi k}{D} \quad (4)$$

则推导出:

$$y_k(m) = \sum_{p=0}^{D-1} x_p(m) e^{-j \frac{2\pi}{D} kp} = \text{DFT}(x_p(m)) \quad (5)$$

根据以上推导,可得基于多相滤波结构的信道化接收机结构模型如图 5 所示。

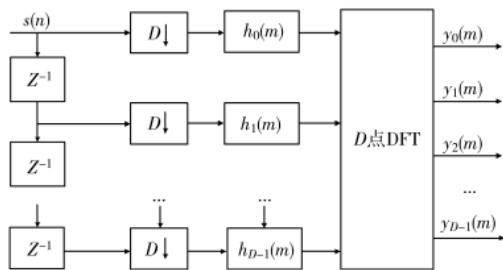


图 5 复信号的多相滤波结构

由于 D 倍抽取器位于滤波器之前,每个信道的抽取滤波器不是原来的原形低通滤波器 $h(n)$,而是该滤波器的多相分量 $h_p(m)$,其运算量降至原来的 $1/D$,极大地提高了该信道化接收机的实时信号处理能力。多相滤波数字信道化具有数字信号处理的全带宽、全概率覆盖、各通道并行处理等特点,而且其运算量低,便于硬件实现^[9-10]。

5 FPGA 的多路数字信道化处理设计

5.1 FPGA 处理流程

FPGA 采用 Xilinx 的 XC7Z045, FPGA 主要完成 ADRV9009 芯片的驱动配置和 AD 信号接收。接收的零中频基带数字信号经 16 倍抽取、滤波和 16 点 FFT 变换后输出各路通道的处理结果。其处理流程如图 6 所示。

5.2 FIR 原型低通滤波器设计

多相滤波设计中的滤波器组的设计相当重要,这组低通滤波器是对原型低通滤波器进行移位抽取得到的。本方法采用无盲区的信道划分方式,采样率为 96 MHz,信道数为 16 个,每个信道带宽是 6 MHz。综上所述,采用 MATLAB 的 Fdatool 设计完成^[11]。FIR 滤波器的幅频响应如图 7 所示。

5.3 FFT 设计

由于 DFT 本身需要做大量的蝶形运算,在 FPGA 工程实现中采样 FFT 的 IP 核来实现。每次送入 16 个采样点,处理完成后 16 通道并行输出,送后续的处理模块完成高速跳频信号的信号检测和参数测量。

6 MATLAB 仿真及 FPGA 实现

6.1 MATLAB 仿真结果

利用 MATLAB 针对高速跳频信号的 L 频段的多相滤波设计方法完成仿真。设置当前 ADRV9009 的 AD1 通道接收频率设置为 f_0 , AD2 的通道接收频率设置为 f_0+3 ,那么根据高速跳频信号的频点和带宽的关系,两个数字信道化处理模块可将高速跳频信号的 L 频段所有对应的跳频点完全覆盖。

由于四个 16 路的数字信道化结构完全相同,下边以一个模块的仿真来阐述。设置当前的高速跳频信号的三

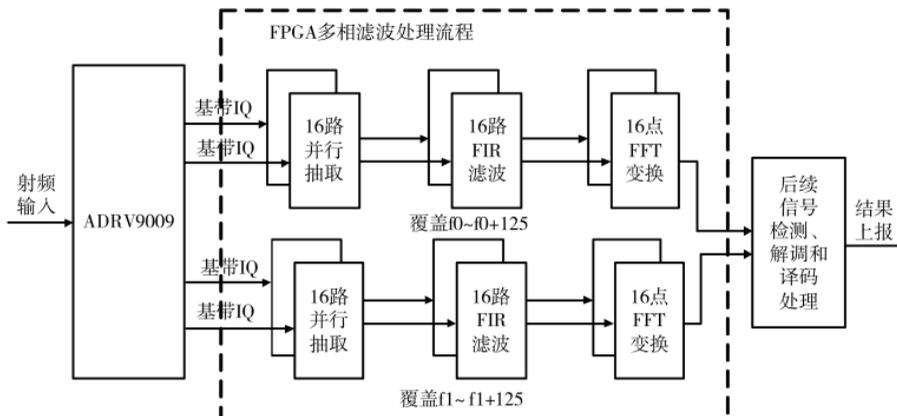


图 6 FPGA 的处理流程

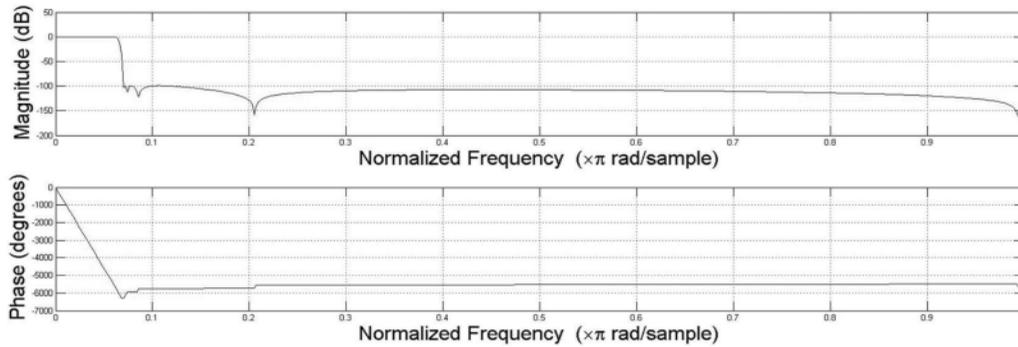


图7 FIR滤波器的幅频响应

个跳频频点分别为 f_0 、 f_0+3 、 f_0+6 ，则经过 ADRV9009 后的输出的基带 IQ 信号如图 8 所示。

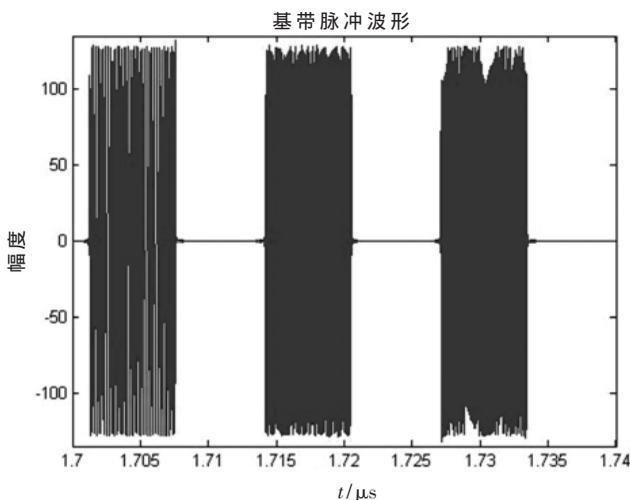


图8 三个不同跳频频点的脉冲波形

经过多相滤波处理后的波形如图 9 所示，由于经过多相滤波处理的信号为复信号，因此取复信号的模。

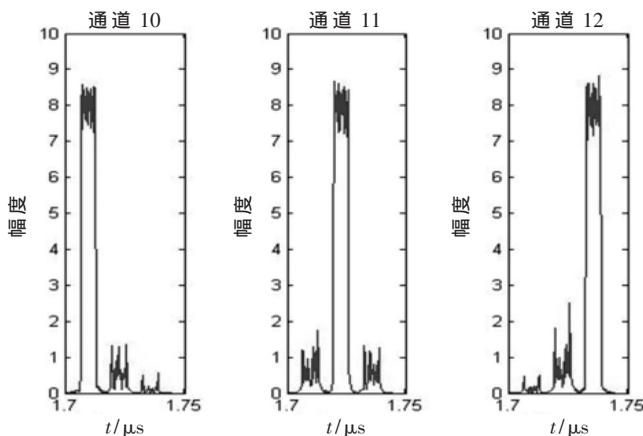


图9 MATLAB 相应通道的输出波形

由图 9 可见，一个通道只出现对应频点的高脉冲信号，其他的通道信号幅度明显降低，这和理论推导结果一致。

6.2 FPGA 仿真结果

6.2.1 FPGA 的仿真结果

图 10 是采用 Modesim 对实现后的 FPGA 算法完成仿真。由于 MATLAB 信道的编号是从 1 开始而 FPGA 是从 0 开始，故其仿真结果和 MATLAB 的仿真结果是一致的。

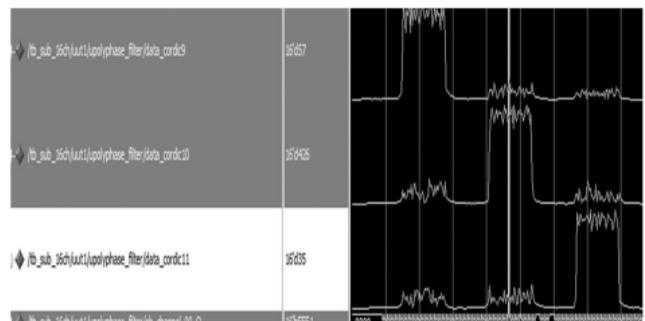


图10 Modesim 的仿真结果

通过板级测试，其 9、10、11 通道实测结果如图 11 所示。由图可见，9、10、11 通道信号的脉冲幅度显著大于其他信道的脉冲幅度。工程实现后脉冲落入的信道和理论推导及 MATLAB 仿真结果是完全一致的。

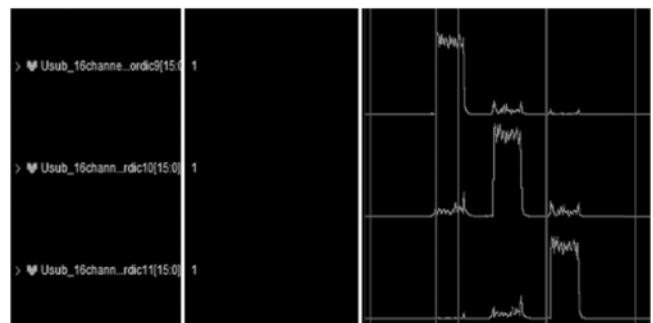


图11 FPGA 在线实现结果

6.2.2 资源分析

FPGA 的乘法器(DSP)资源是最宝贵的硬件资源，实现乘法和其他的算术运算均需乘法器来完成。采用多相滤波体制每路的乘法器(DSP)是 4 个，则总共需要 512 个 DSP，加上 FFT 变换的 DSP 总共需要 528 个乘法器就可完成该带宽下高速跳频信号的数字信道化处理。如果

采用传统的下变频滤波的方式,每一路数字混频滤波大概需要 67 个 DSP,则高速跳频信号的 51 个频点总共需要 3 417 个 DSP,此时一片 XC7Z045 的 DSP 资源无法完成此工作。

7 结论

针对高速跳频信号的侦察由于其信号带宽宽、跳速快、编码体制复杂,对接收机的设计及后端数字信号处理都是极大的考验^[7, 12-13]。本文探讨了针对高速跳频信号接收的宽带接收设计,结合当前高性能的射频频率捷变芯片,两片 ADRV9009 的四个接收通道可实现高速跳频信号带宽的全部覆盖。该方法不仅简化了前端射频部分的功耗、体积,而且前端四路接收通道只需设置对应频点即可。后端采用多相滤波的数字信道化技术,降低了数字信号处理的速度,节省了硬件资源,增强了系统的灵活性。该处理技术适应于不同带宽的高速跳频信号,而且针对其他非协作通信的宽带信号依然有较大的优势。

参考文献

- [1] 蒋鸿宇,叶江峰,肖仕伟,等.一种超宽带高速跳频信号实时非合作接收机[J].信息与电子工程,2012,10(4):390-395.
- [2] 李宏彦.Link-16 数据链波形分析与 FPGA 工程实现[D].成都:国防科技大学,2016:17-20.
- [3] 刘军,简义全.基于 LTC5586 的 1 GHz 实时带宽接收机设计[J].电子世界,2018(11):145-146.
- [4] 江岩,詹建,钱时祥.监测接收机高速扫描速度检测方法探讨[J].国外电子测量技术,2016,35(3):85-88.
- [5] 刘昕卓,米胜男,曲志昱,等.宽带数字信道化接收机算法研究与硬件实现[J].航空兵器,2017(1):68-73.
- [6] 鲁艳.一种宽带数字信道化接收机的设计及实现[J].电子技术与软件工程,2018(4):87.
- [7] 唐济远,刘渝,袁春珊.多相滤波结构的信道化接收机设计[J].军事通信技术,2012(33):57-62.
- [8] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001:21-87.
- [9] 侯聪.多相滤波数字信道化的 FPGA 实现[J].电讯技术,2012(8):1345-1348.
- [10] 叶金伟,刘渝.基于多相滤波的跨信道宽带信号处理技术[J].航天电子对抗,2011(8):52-55.
- [11] 胡广书.数字信号处理(理论、算法与实现)[M].北京:清华大学出版社,2004:179-191.
- [12] 黄卫英.一种 Link16 信号的检测识别算法[J].电讯技术,2021,61(2):186-190.
- [13] 齐小辉,卢丹.基于多相滤波器的信道化接收机设计[J].军事通信技术,2012(3):57-62.
- [14] 宗孔德.多抽样率信号处理[M].北京:清华大学出版社,1996:150-164.
- [15] 陈涛,岳玮,刘颜琼,等.宽带数字信道化接收机部分信道重构技术[J].哈尔滨工程大学学报,2011(12):1610-1616.

(收稿日期:2021-09-24)

作者简介:

王杰(1984-),男,硕士,工程师,主要研究方向:数字信号处理。



扫码下载电子文档

(上接第 25 页)

- [9] Intel Corporation.Intel Arria 10 hard processor system technical reference manual[EB/OL].(2021-07-xx)[2021-08-19].https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arria-10/a10_5v4.pdf.
- [10] Intel Corporation.Intel quartus prime standard edition user guide[EB/OL].(2019-12-xx)[2021-08-19].<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-getting-started.pdf>.
- [11] Intel Corporation.Intel SoC FPGA embedded development suite user guide[EB/OL].(2021-03-xx)[2021-08-19].https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_soc_eds.pdf.
- [12] National Institute of Standards and Technology.FIPS PUB 186-5(Draft):digital signature standard(DSS)[EB/OL].(2019-10-xx)[2021-08-19].<https://nvlpubs.nist.gov/nistpubs/FIPS/NIST.FIPS.186-5-draft.pdf>.
- [13] National Institute of Standards and Technology.FIPS PUB 180-4:secure hash standard(SHS)[EB/OL].(2015-08-10)[2021-08-19].<https://nvlpubs.nist.gov/nistpubs/FIPS/NIST.FIPS.180-4.pdf>.
- [14] National Institute of Standards and Technology.FIPS PUB 197:announcing the advanced encryption standard(AES)[EB/OL].(2001-11-26)[2021-08-19].<https://nvlpubs.nist.gov/nistpubs/FIPS/NIST.FIPS.197.pdf>.
- [15] VIEGA J,MESSIER M,CHANDRA P.Network security with OpenSSL[M].United States of America:O'Reilly & Associates, Inc.,2002.

(收稿日期:2021-08-19)

作者简介:

苏振宇(1983-),通信作者,男,硕士,高级工程师,主要研究方向:信息安全、嵌入式系统,E-mail:suzhy@inspur.com。

徐峥(1982-),男,系统架构师,主要研究方向:信息安全、计算机系统架构。

刘雁鸣(1989-),男,硕士,工程师,主要研究方向:安全测评、渗透测试。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所