

超宽带微封装频率合成器的设计

王文凯

(西南电子技术研究所,四川 成都 610036)

摘要: 现代电子侦察系统中,尤其是便携式、单兵等通信侦察系统,在功能技术指标保持不变的前提下,对于整机体积和重量都提出了更高要求,要求内部器件具有更小体积和更轻重量,所以,实现小型化、轻量化的超宽带频率源成为实现便携式侦察设备的重点和关键。基于单锁相环构架,采用新的电路和工艺实现方式,实现了 0.2 GHz~20 GHz 高性能超宽带频率源,为工程应用提供高性能、小型化和轻量化的频率源。

关键词: 超宽带;小型化;微封装;轻量化;锁相源

中图分类号: TN743

文献标识码: A

DOI:10.16157/j.issn.0258-7998.211452

中文引用格式: 王文凯. 超宽带微封装频率合成器的设计[J]. 电子技术应用, 2021, 47(12): 131-134, 140.

英文引用格式: Wang Wenkai. Design of ultrawideband and micropackaging frequency synthesizer[J]. Application of Electronic Technique, 2021, 47(12): 131-134, 140.

Design of ultrawideband and micropackaging frequency synthesizer

Wang Wenkai

(Southwest Institute of Electronic Technology, Chengdu 610036, China)

Abstract: In the modern electronic reconnaissance system, especially the portable and individual communication reconnaissance system, on the premise of ensuring the function and technical indexes stay the same, the volume and weight of the overall system are put forward higher requirements, the internal devices are required to have smaller volume and lighter weight. Therefore, realizing the miniaturized and lightweight ultra wide band frequency synthesizer has become the key point to realize portable reconnaissance equipment. Based on the single phase-locked loop(PLL) technique, this paper adopts a new circuit and process realization method to get the high performance ultra wide band frequency synthesizer, which provides a high performance, miniaturized and lightweight frequency synthesizer for engineering application.

Key words: ultra wide band; miniaturized; smaller package; lightweight; phase-locked loop frequency synthesizer

0 引言

频率合成器是超外差体制通信侦察系统中必不可少的重要组成部分,其主要实现以下两方面功能:一为混频时提供混频器所需的宽带本振信号;另外为在系统测向功能前多通道校准时,利用标校源产生的宽带标校信号对通道幅度与相位提供校准信号,以实现精准测向^[1]。超宽带、小型化、轻量化频率合成器在现在通信侦察系统,尤其是便携式通察系统中必不可少,得到了广泛应用并对其提出了更高的要求^[2-3]。在通常超宽带频率合成器设计方案中,通过多次混频以达到频率扩展的实现方案得到了广泛应用,但该方案由于使用混频器、滤波器和多级本振使功耗增加、体积增大、重量无法降低,不适用于便携式系统中。故本文提出一种单环模式,通过锁定高频宽带压控振荡器后,通过可编程分频器实现频率扩展,采用先进的 3D 微封装技术,最终实现超宽带微封小型化频率合成器的设计^[4-5]。

1 设计原理

1.1 单环 PLL 设计原理

基本的单环频率合成器(PLL)由鉴相器(PD)、环路滤波器(LF)、压控振荡器(VCO)和反馈可变分频器(需要时)四部分组成,单环频率合成器基本原理框图如图 1 所示^[6]。其中可变分频器通常集成在鉴相器芯片中,可通过程序根据需要控制其分频比,但如果压控振荡器反馈频率高于鉴相器最高工作频率时,需要外置固定分频器使反馈频率满足所选鉴相器最高工作频率,以使鉴相器正常工作。PLL 系统为一个负反馈控制系统。

PLL 的带内相位噪声计算公式如下:

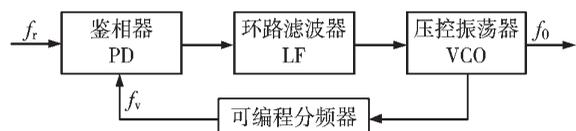


图 1 单环 PLL 原理框图

$$PN_{\text{floor}} = \text{Floor}_{\text{FOM}} + 10\log(f_{\text{pl}}) + 20\log N \quad (1)$$

其中, PN_{floor} 为 PLL 最终输出相位噪声; $\text{Floor}_{\text{FOM}}$ 为鉴相器归一化噪底; f_{pl} 为鉴相频率, 单位为 Hz; $N = f_{\text{vco}}/f_{\text{pl}}$ 为分频比; f_{vco} 为 VCO 输出频率^[6-7]。

1.2 多环 PLL 设计原理

多环频率合成器有多种组成结构, 包括 PLL 组合、DDS+PLL 组合等, 其中 DDS+PLL 的结构因频率分辨率高和低频噪声等优点, 应用较为广泛。但由于 DDS 功耗较大, 且为实现较好的杂散抑制需要外部时钟环, 故体积和功耗都较大。

实现超宽带频率合成器较常用的方法为采用 PLL 组合形式, 首先利用 PLL 产生 VCO 可覆盖的宽频带, 再通过二倍频器倍频到毫米波频段后, 通过一个点频源下变频到所需的频段。该方法需要多级滤波器以滤除混频所产生的杂波信号, 再放大到所需输出电平, 故体积和功耗也偏大^[8]。

2 超宽带微封装频率综合器设计方案

2.1 设计目标

由于某便携式工程项目需要完成一超宽带、小型化、轻量化频率合成器, 中国电子科技集团公司兄弟单位共同合作, 完成超宽带微封装锁相环设计与实现, 下面以该工程项目为例, 介绍其工作原理和最终产品性能。

该工程实例的主要技术指标要求为:

输出频率: 0.2 GHz~20 GHz;

输出电平: 0 dBm±3 dB;

跳频步进: 10 MHz;

跳频时间: ≤200 μs;

杂散抑制: ≤-60 dBc;

相位噪声: ≤-92 dBc/Hz@10 kHz;

体积: 20 mm×15 mm×5 mm。

2.2 设计方案

经过方案对比, 为了同时满足宽频带、细步进、低杂散、低相位噪声和小型化、轻量化的设计要求, 项目采用双环 PLL 频率合成技术实现改频率源, 工作原理如图 2 所示。

由超宽带频率合成器原理框图可以看出, 本方案采用单环小数 PLL 频率合成方案, 鉴相器采用 HMC704LP4E, 其具有现阶段较低的归一化噪声基底: -233 dBc/Hz(整数模式)和-227 dBc/Hz(小数模式), 本方案采用小数模式; VCO 采用国内自研分段式可编程 VCO, 该 VCO 内部分为六段, 可通过串口控制内部开关对 VCO 的切换得到不同输出频率, 在降低系统电调端控制电压的同时, 最终实现可覆盖 10 GHz~20 GHz 的宽频带输出^[9]; 可编程分频器通过外部串口控制, 对 VCO 输出的宽带信号进行 1, 2, 4, 8, …, 64 分频, 可实现扩宽输出频率带宽的作用; VCO 的最低输出频率为 10 000 MHz, 故经过最高 64 分频后, 该频率合成器最低输出频率为:

$$10\,000\text{ MHz}/64 = 156.25\text{ MHz} \quad (2)$$

该结果能够满足最低输出 200 MHz 要求。由于宽带可编程分频器输出谐波较差, 尤其是三次谐波, 故使用开关滤波组件对全频段输出频率进行滤波; 另外, VCO、可编程分频器和开关滤波器组输出功率电平都具有低端高、高端低的特点, 因此累加功率电平波动有±8 dB 之多, 故需要幅度均衡器对输出电平高、低端进行均衡, 以使经最后一级放大器放大后的最终输出功率电平更加平坦。

锁相环的相位噪声主要由晶振倍频后相位噪声输出和鉴相器归一化噪底倍频后的相位噪声输出的较差值决定。由于系统提供的晶振相位噪声水平高于正常水平, 故该频率合成器的相位噪声由鉴相器噪底倍频后的相位噪声决定。由于分频对相位噪声具有优化作用, 每经过 2 分频相位噪声即可优化 6 dB, 故在频率输出为 20 GHz 时相位噪声指标最差。输出相位噪声为:

$$\begin{aligned} & -227 + 20\log(20\,000/50) + 10\lg(5 \times 10^7) \\ & = -97\text{ dBc/Hz}@10\text{ kHz} \end{aligned}$$

考虑闪烁噪声、电路中其他器件热噪声, 以及工程可实现性, 实际信号输出相位噪声可以满足系统提出的-92 dBc/Hz@10 kHz 的技术指标要求^[10-11]。

3 超宽带微封装频率混合器仿真与实现

3.1 电路设计

本方案采用单环 PLL 实现方式, 基本原理框图如图 1

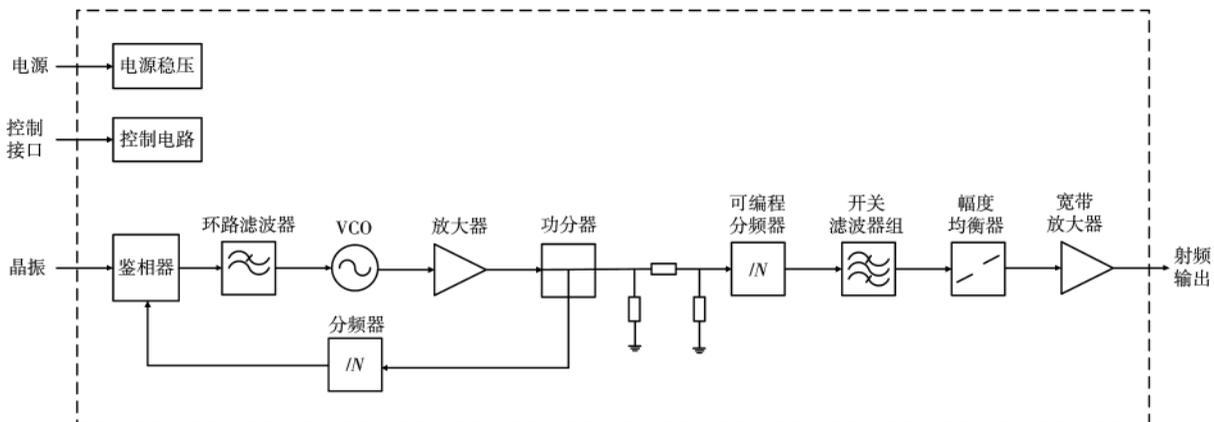


图 2 超宽带微封装频率合成器原理框图

所示,故 PLL 电路方案较简单。由于采用了国内先进的、自研的分段 VCO,使得全频段内线性度较好,更有利于电路设计与实现。

由于 HMC704LP4E 小数模式最高鉴相频率为 80 MHz,对 100 MHz 输入参考信号进行 2 分频,故该频率合成器采用 50 MHz 鉴相频率。综合考虑鉴相泄露、跳频时间和相位噪声等指标,根据项目经验,本方案将环路带宽选取为 300 kHz 左右,由于环路滤波器具有低通特性,对 50 MHz 鉴相频率具有非常好的抑制;该环路带宽可以减小两点的跳频时间,跳频时间为分段压控振荡器选段时间,由于分段 VCO 为开关切换,切换时间为纳秒级,可忽略不计,环路跳频时间为 $50\ \mu\text{s}\sim 60\ \mu\text{s}$,即为总跳频时间;由于环路采用小数工作模式,如果环路带宽较窄,环路会由于 $\Delta-\Sigma$ 调制引起噪声包,300 kHz 环路带宽有效抑制该噪声包,从而优化相位噪声。

环路滤波器参数仿真设计如图 3 所示。

频率合成器相位噪声仿真结果如图 4 所示。由于 20 GHz 超出了鉴相器的最高工作频率,故在反馈端增加了四分频器以满足鉴相器工作频率,相位噪声恶化 $20\log 4=12\ \text{dB}$,由曲线可以看出,偏移 10 kHz 处相位噪声约为 $-108\ \text{dBc}/\text{Hz}$,倍频后为 $-96\ \text{dBc}/\text{Hz}$,仿真结果与计算结果基本一致^[12]。

3.2 三维 SIP 工艺实现

SIP 就是实现两片或多片同样芯片或者不同芯片的堆叠,相比其他模组形式,SIP 的模块小型化、性能更高、成本也更低。关键是,SIP 允许摩尔定律延续,不是在过去的二维,而是在三维领域。

3.2.1 倒装芯片堆叠

倒装芯片通过减小芯片与系统间电互连的长度,允许更高数量的互连,以及充分利用芯片的整个面积,来增加芯片的电性能。

本方案采用倒装芯片和引线键合堆叠实现工艺组装。堆叠芯片中顶部芯片的倒装是为了芯片-芯片间的

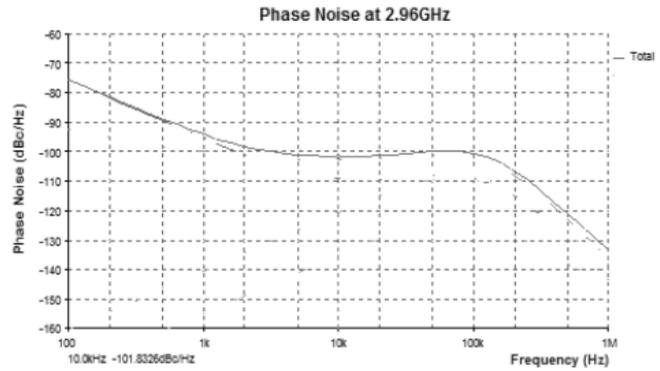


图 4 相位噪声仿真结果

通信,芯片间倒装芯片互连体现了倒装芯片技术的传统且内在的优点,比如高频工作、低的寄生效应、较小的封装尺寸。另外,通过减小长互连线的跨度缩短互连,使得器件更加小型化,长互连线可能应用于键合顶部的芯片。在这种堆叠中,底部芯片首先贴装在基片上用引线键合与之互连。然后顶部芯片面朝下贴装在底部芯片上表面上^[13]。

3.2.2 硅载片技术

硅载片就是将有机物或者陶瓷的基板用硅片取代,在硅载片上制作多层聚合物铜引线。采用 TSV 技术实现芯片互连。TSV 技术可以实现芯片与载片之间,以及载片与电路板之间的高密度互连。

芯片首先倒装键合到硅基片上,然后其他芯片逐个往上堆叠。整个堆叠结构最后用表面贴装到一个一个印制板上。焊料-孔-填充技术利 TSV 充当载片件的垂直互连。其工艺流程为基片钻好通孔后,首先在通孔里面沉积一层绝缘层,使得硅材料跟导体之间绝缘,之后完成通孔金属化^[14]。

通过上述工艺实现方式,极大地缩小了该频率合成器的体积和重量,该频率合成器最终外形结构如图 5 所示。结构尺寸为 $20\ \text{mm}\times 15\ \text{mm}\times 5\ \text{mm}$,重量仅为 15 g,达

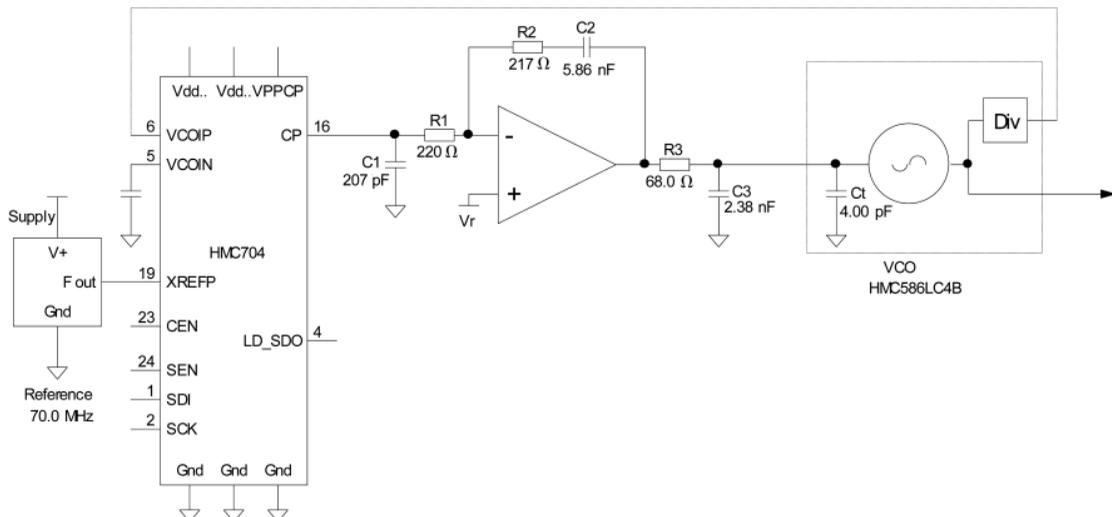


图 3 环路滤波器参数仿真结果

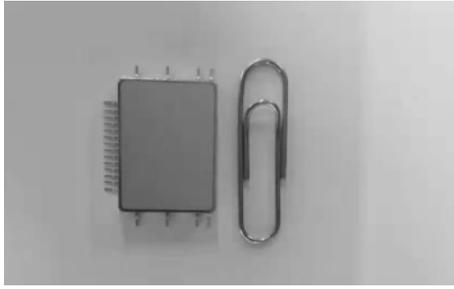


图 5 结构外形图

到了小型化、轻量化设计要求。

4 电路调试与测试结果

鉴于前期对技术指标考虑充分,设计方案合理,仿真准确,工艺布局考虑充分,实现可行性高,相位噪声能够很好地满足技术指标要求。全频段优于 $-92 \text{ dBc/Hz}@10 \text{ kHz}$ 。相位噪声测试曲线如图 6 所示。

由于环路滤波器的低通作用,并且本方案采取了 50 MHz 的高鉴相频率,环路滤波器对其有较好的抑制作用,故有效抑制了杂散信号。另外开关滤波组件对可编程分频器产生的多次谐波起到了很好的抑制作用。杂散和谐波抑制测试曲线如图 7 所示。

跳频时间测试结果如图 8 所示,限于 5052 跳频时间测试范围,测试了 $2\ 500 \text{ MHz} \sim 4\ 990 \text{ MHz}$ 的跳频时间,其基频为 $10\ 000 \text{ MHz} \sim 19\ 960 \text{ MHz}$,从图中可看出

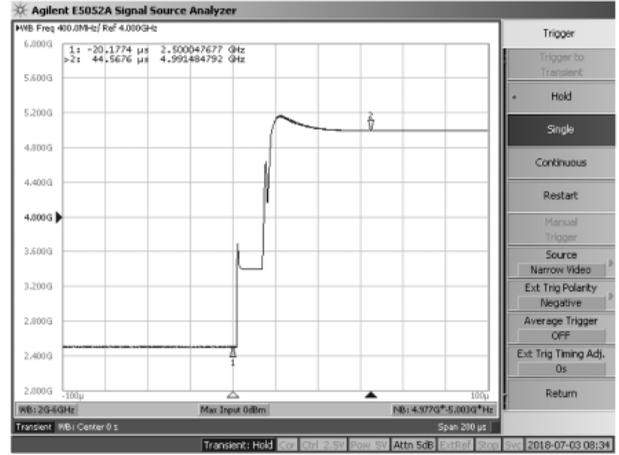


图 8 跳频时间测试曲线

全频段跳频时间为 $60 \mu\text{s}$ 左右^[15-16]。

频率综合器测试结果如表 1 所示。

表 1 频率综合器测试结果

测试项目	指标值	测试值
输出频率	200 MHz~20 GHz	200 MHz~20 GHz
输出电平	0 dBm±3 dB	-2.5 dBm~3 dBm
跳频时间/ μs	≤ 200	65(max)
杂散抑制/dBc	≤ -60	-65
相位噪声/(dBc/Hz@10kHz)	≤ -92	-94

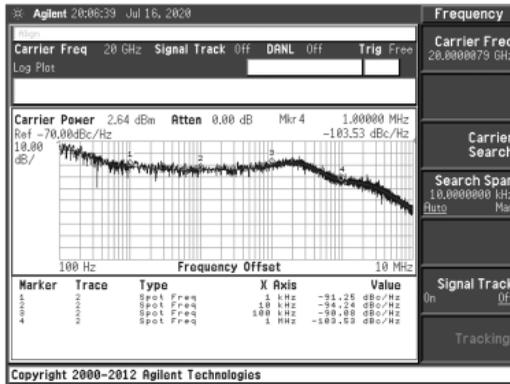
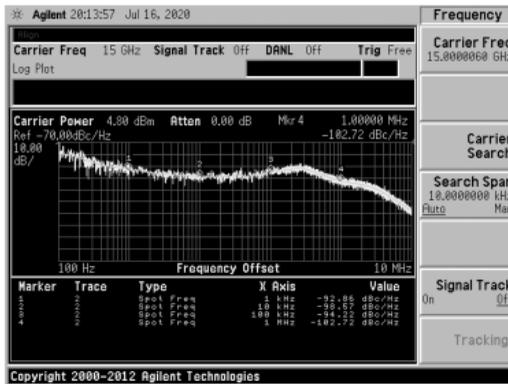


图 6 相位噪声测试曲线

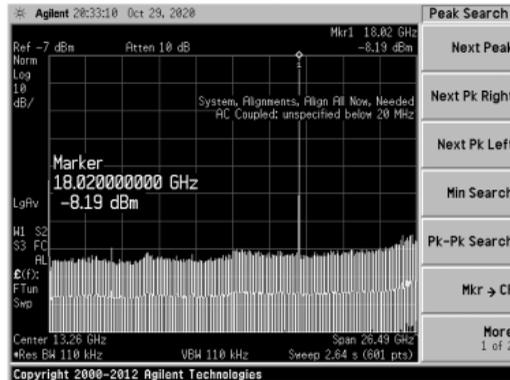
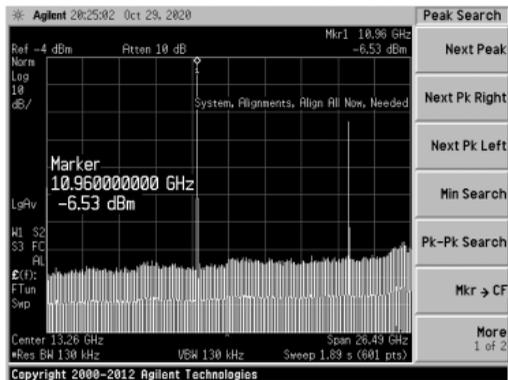


图 7 杂散、谐波测试曲线

(下转第 140 页)

[9] 文哲. 基于 Simulink 的某雷达天线伺服系统性能改进方法研究[J]. 现代电子技术, 2013(3): 16-20.

[10] 袁诚宏, 周云德, 杨奕飞. 船载脉冲雷达目标模拟器精度初步分析[J]. 电子工程师, 2003(10): 29-32.

[11] 卫健, 陈定阶. 雷达目标模拟器[J]. 现代雷达, 2000, 22(1): 55-57.

[12] 袁诚宏, 周云德. 船载脉冲雷达目标模拟器精度浅析[C]// 航天测控技术研讨会, 中国宇航学会, 2003.

[13] 吴桐, 战兴群. 基于 AD9361 射频频捷收发器的 GPS 伪卫星设计[J]. 电讯技术, 2019, 59(2): 162-166.

[14] 龚文浩, 孙国良, 黄智刚. 基于 AD9361 的伪卫星信号发射器设计[J]. 现代导航, 2018(1): 18-23.

[15] 韩仕鹏, 戴绍港, 赵知劲. 基于 AD9361 的多调制信号产生[J]. 杭州电子科技大学学报(自然科学版), 2018, 38(6): 26-31.

(收稿日期: 2021-04-13)

作者简介:

李伟宗(1977-), 男, 本科, 工程师, 主要研究方向: 航天测控系统技术。

马晓冬(1975-), 通信作者, 男, 本科, 高级工程师, 主要研究方向: 无线通信, E-mail: 13801264530@139.com。

任洁(1992-), 女, 本科, 工程师, 主要研究方向: 脉冲雷达技术。



扫码下载电子文档

(上接第 134 页)

5 结论

本文详细论述了超宽带微封装频率合成器的实现方式, 实现超宽带、小型化、微封装、轻量化、高性能频率综合器, 在实现 ≤ -60 dBc 的低杂散指标的同时, 相位噪声可达 -92 dBc/Hz@10 kHz, 且体积只有 $20\text{ mm} \times 15\text{ mm} \times 5\text{ mm}$, 达到了高质量频率综合器的设计要求, 很好地满足了系统指标要求, 具有很好的应用前景。

参考文献

[1] 丁鹭飞, 耿富录, 陈建春. 雷达原理[M]. 北京: 电子工业出版社, 2009.

[2] 何松柏, 宋亚梅, 鲍景富. 频率合成原理与设计[M]. 北京: 电子工业出版社, 2008.

[3] 姚剑清. 锁相环技术[M]. 北京: 人民邮电出版社, 2007.

[4] 张凯. 宽带低相噪小步进频率综合器[D]. 南京: 南京理工大学, 2017: 24-49.

[5] 张文峰, 刘武广, 宋翔宇. 基于多环锁相宽带细步进频率合成器设计[J]. 电子设计工程, 2013, 21(6): 142-144.

[6] 张金龙, 王雪萍. 一种基于电荷泵锁相环的时钟调节电路设计[J]. 中国集成电路, 2021(Z1): 79-83.

[7] 熊豫修. 10-18GHz 宽带频率合成器设计研究[D]. 武汉: 华中科技大学, 2015: 7-47.

[8] 刘青松, 刘亮, 范吉伟, 等. 基波变频技术在频率合成器中的应用研究[J]. 研究与开发, 2016(35): 66-69.

[9] 高晓强, 张加程, 王增双. 低电调电压全集成 $10\sim 20$ GHz-VCO 的设计与实现[J]. 半导体集成电路, 2021, 46: 103-106.

[10] Mu Ning, Guo Hongxia, Gao Wanrong. A study on tunable spectral frequency shift method with low phase noise[J]. Optoelectronics, 2019, 15(3): 204-208.

[11] 曹辉, 曲昱. 一种高集成小数分频频率源系统设计[J]. 电子设计与工程, 2016, 24(10): 114-120.

[12] Ma Xiao, Du Zhankun, Liu Chang. A fractional-N frequency synthesizer for wireless sensor network nodes[J]. Journal of Semiconductors, 2014, 35(12): 125003-1-125003-6.

[13] 王军辉. 3D 片上网络扩扑与路由的研究[D]. 西安: 西安电子科技大学, 2015: 39-48.

[14] TUMMALA R R. 系统级封装导论: 整体系统微型化[M]. 北京: 化学工业出版社, 2014.

[15] 杨坦, 康吉庆, 涂建辉, 等. 基于 PLL 倍频电路的设计与实现[J]. 电子设计工程, 2017, 25(23): 105-108.

[16] 赵雯, 尹军舰, 赵潇腾, 等. PLLFS 快速锁定方法的研究与设计[J]. 电子设计工程, 2017, 25(9): 162-170.

(收稿日期: 2021-03-04)

作者简介:

王文凯(1982-), 男, 硕士研究生, 工程师, 主要研究方向: 宽带频率合成器设计与实现。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所