

基于 FPGA 的 SiP 原型验证平台设计

杨楚玮, 张梅娟, 侯庆庆

(中国电子科技集团公司第五十八研究所, 江苏 无锡 214035)

摘要: 随着嵌入式系统小型化和模拟数字/数字模拟转换器(ADC/DAC)性能需求的日益增长, 如何在减小系统体积和功耗的前提下, 提高 ADC/DAC 信号传输的可靠性, 增加功能可配置性和信号处理可重构性, 成为一大难题。为此, 设计了一款基于 FPGA 的系统级封装(SiP)原型验证平台, 该 SiP 基于 ADC+SoC+DAC 架构, 片上系统(SoC)内部以 PowerPC470 为处理器, 集成了多种通用外设接口和可重构算法单元。在搭建的 FPGA 平台上进行裸机 IP 和基于可重构 IP 的 ADC/DAC 设计功能的验证。通过软硬件协同验证实验, 证明了该类 SiP 架构能够有效降低走线延时和噪声干扰, 提高信号传输的可靠性, 丰富的外设接口提高了 ADC/DAC 的可配置性, 集成的可重构算法模块增加了 ADC/DAC 信号处理可重构性, 为后续集成更多器件该类型 SiP 的设计和验证奠定了一定的技术基础。

关键词: 系统级封装(SiP); 模拟数字/数字模拟转换器(ADC/DAC); 原型验证; 可重构算法; 裸机 IP; FPGA

中图分类号: TN401

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211700

中文引用格式: 杨楚玮, 张梅娟, 侯庆庆. 基于 FPGA 的 SiP 原型验证平台设计[J]. 电子技术应用, 2022, 48(1): 84-88, 93.

英文引用格式: Yang Chuwei, Zhang Meijuan, Hou Qingqing. The designation of SiP prototype verification platform based on FPGA[J]. Application of Electronic Technique, 2022, 48(1): 84-88, 93.

The designation of SiP prototype verification platform based on FPGA

Yang Chuwei, Zhang Meijuan, Hou Qingqing

(The 58th Research Institute, CETC, Wuxi 214035, China)

Abstract: With the growing demand of embedded system miniaturization and the performance of analog-to-digital/digital-to-analog converter(ADC/DAC), it is a big problem how to improve the reliability of ADC/DAC signal transmission, increase the function configurability and signal processing reconfigurability on the premise of reducing system volume and power consumption. Thus, this paper designs a system in package(SiP) prototype verification platform based on FPGA, used to verify the feasibility and reliability of this SiP architecture. This SiP is based on the ADC+SoC+DAC architecture, PowerPC470 is the internal processor of system on chip(SoC), which integrates various common peripherals and the reconfigurable algorithm unit. The design and function verification of bare machines IP and ADC/DAC based on reconfigurable IP are carried out on the built FPGA platform. It is verified that this SiP can effectively reduce routing delay and noise interference to improve the transmission reliability of signal, rich peripheral interface improves configurability of ADC/DAC, integrated reconfigurable algorithm increases the reconfigurable performance of signal processing through software and hardware co-verification experiment, laying a basic technical foundation for later SiP design and testing for integrating more devices.

Key words: system in package(SiP); analog-to-digital/digital-to-analog converter(ADC/DAC); prototype verification; reconfigurable algorithm; bare machines IP; FPGA

0 引言

随着电子整机系统小型化、高性能、多功能、高可靠和低成本要求越来越高^[1-2], 在保证系统可靠性的前提下, 最大程度提高系统的集成度势在必行。系统级封装技术可将不同工艺类型、不同功能的电子元器件集成到一个电子系统中^[3], 能够满足电子整机系统发展的需求, 在军用电子系统中得到了广泛的应用。

目前整机系统是在 PCB 板级上使用多个芯片进行组合, SiP 是对裸片直接进行封装, 将多个裸芯集成在一

个腔体内^[4]。该技术减少了系统面积, 与 PCB 板级相比缩短了芯片间的连线, 降低了走线的延迟和寄生效应, 使得信号传输更加可靠^[5]。同时, 多个裸芯的集成减少了器件的重量和器件的引脚数, 降低了硬件设计的风险。SiP 不仅可以集成不同工艺类型的芯片, 实现混合信号的集成; 而且减少了封装的工序, 相应地降低了生产制造成本, 缩短了产品的研发周期。

本文使用 ADC+SoC+DAC 架构设计一款基于 FPGA 的 SiP 原型验证平台, SoC 内部集成了可重构算法单元,

通过软硬件协同验证,查找 SoC 设计中是否存在缺陷,弥补了仿真验证效率和速度低下的问题,增加了芯片验证的覆盖率,保证了设计的可靠性和正确性^[6-7]。同时,验证了该架构进行 SiP 封装设计的可行性^[8]。

1 系统架构

本文验证原型为基于 FPGA 平台搭建的 ADC+SoC+DAC 架构的 SiP,其中 SiP 内部集成 2 片 4 通道 16 位的 ADC、2 片 2 通道 16 位的 DAC 和 1 片 SoC, SiP 内部结构如图 1 所示。SoC 使用 IBM PowerPC470 作为主控处理器^[9],以 AHB 总线为数据链路,内部集成资源包括:(1)SCI、SPI、CAN、GPIO、GMAC 等通用外设模块;(2)可重构算法单元(可重构 IP);(3)ROM、Flash、SRAM 等存储设备。整个 SiP 的硬件资源组成如表 1 所示。

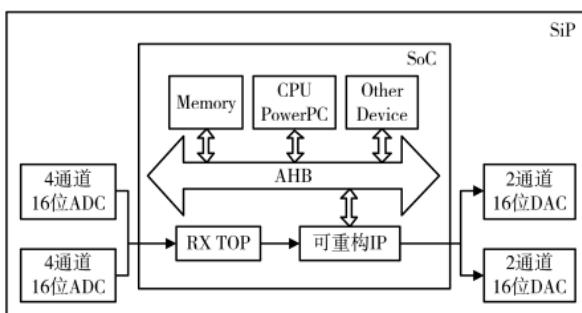


图 1 SiP 内部结构框图

可重构 IP 搭载到处理器的 AHB 总线上,处理器可通过 AHB 总线对可重构 IP 进行配置和读写控制。可重构 IP 由串行数字下变频模块、重构阵列、相关解扩模块、识别模块、DPSK/PPM 解调模块、配置总线等组成。ADC 采集的数据经可重构 IP 处理后,由 DAC 输出对应的响应信号。重构 IP 结构示意如图 2 所示。

FPGA 作为 SoC 验证的载体,将 SoC 的 ASIC 代码移植到 FPGA 上,模拟 SoC 的实际运行环境,ADC 和 DAC 为

表 1 硬件资源结构

名称	描述
PowerPC470	主控处理器
SCI	串行通信接口
SPI	串行外设接口
CAN	控制器局域网络
GPIO	通用 I/O
GMAC	千兆以太网控制器
ADC	模数转换控制器
DAC	数模转换控制器
重构 IP	可重构算法单元

SiP 内部的裸芯封装的电路,保证了原型验证平台的环境与 SiP 内部的一致性^[10]。

2 原型验证平台

本文设计的 FPGA 原型验证平台用于验证 SoC 的功能实现和 SiP 架构的可行性。该验证平台选用的 FPGA 器件型号为 XCVU440-FLGA2892-1-C,能够满足该型号 SoC 逻辑的需求,详细可编程参数如表 2 所示。选用的 ADC 和 DAC 芯片为 SiP 中裸芯封装的器件。FPGA 原型验证平台结构如图 3 所示,时钟模块为 FPGA、ADC 和 DAC 提供时钟,串口 SCI 与 PC 串口连接进行通信,GMAC 通

表 2 FPGA 可编程参数

参数名称	数量
逻辑单元	4M
BRAM/Mb	88.6
SPI	串行外设接口
DSP48E2 slices	2 880
PCIEIP 硬核	6
以太网 IP 硬核	3
SerDes 端口	48
I/O 引脚	1 456

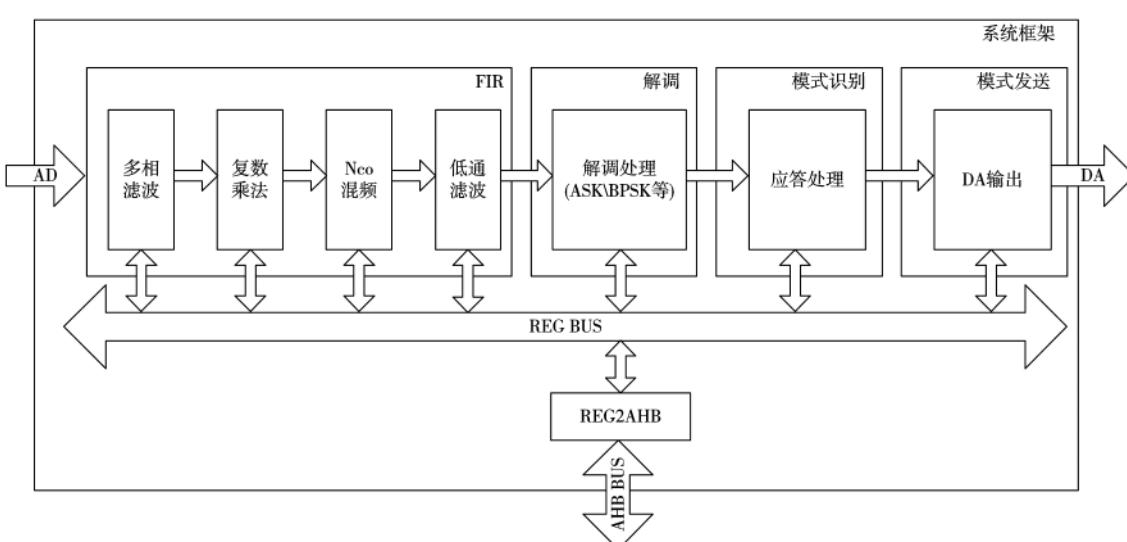


图 2 重构 IP 结构示意图

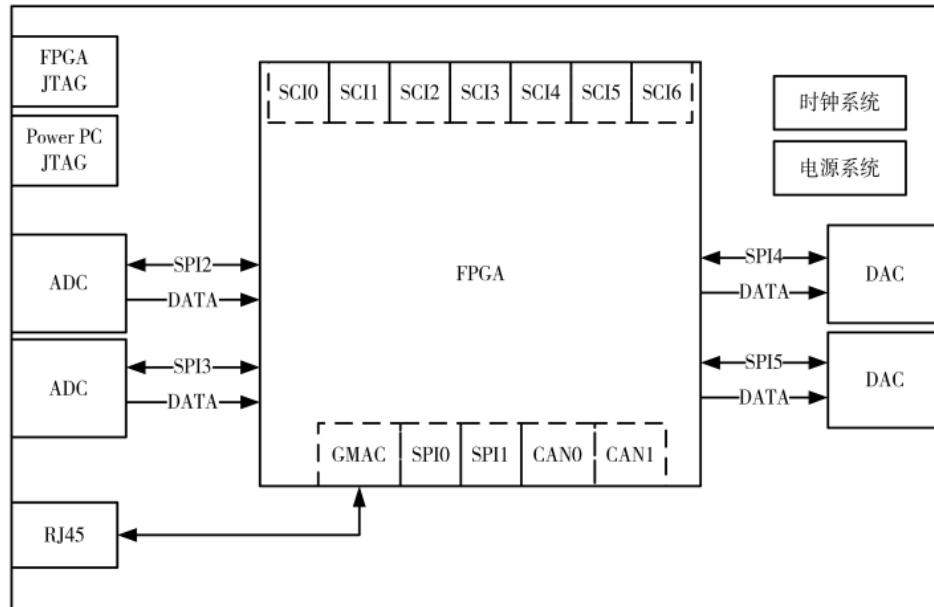


图 3 FPGA 原型验证平台结构示意图

过 RJ45 接口与 PC 网口通信^[11], SPI 接口实现 ADC 和 DAC 的相关参数配置^[12], CAN 和 SPI 与包含对应接口功能的工具进行通信。

为验证 SoC 的可重构 IP, MATLAB 生产的数据文件经信号源转换为模拟信号, ADC 完成信号的采样, 转换为数字信号, 由 SoC 的可重构算法单元进行梳理, 信号识别正确后, 发送对应的响应, 经 DAC 转成模拟信号, 用示波器查看 DAC 输出波形是否正确。整个处理过程 PC 可进行实时监控, 可通过串口或 SPI 口对 SoC 进行信息的交互, 监控可重构算法处理情况。

3 软硬件协同验证

通用验证 SiP 架构和 SoC 功能的方法是通过将 ASIC 代码移植到 FPGA, 并通过对 FPGA 搭建相关验证环境, 进行 SiP 系统级验证和 SoC 功能验证^[13]。

3.1 FPGA 移植

在 FPGA 的原型验证中, FPGA 作为芯片验证的主要载体, 将 ASIC 代码移植到 FPGA 上主要有三点优势: (1)能够有效提高整个电路的运行频率, 缩短仿真时间; (2)运行真实的外围电路环境; (3)运行各类应用场景的软件。从而达到模拟芯片实际运行的目的。

由于 ASIC 结构与 FPGA 结构不同, ASIC 代码到 FPGA 的移植需要进行部分替换, 主要集中在时钟、Memory 和 IO。时钟需满足时序的要求, PLL 时钟结构与 ASIC 保持一致, 为保证可重构 IP 的速率要求, 需降低 CPU 的速率; ASIC 中一般由工艺商提供的库或者 Memory Complier 定制生成, 需要转换成 FPGA 内部对应的 Memory 单元^[14]; ASIC 的 Pad 使用的是 ASIC 器件库中的单元, 需要替换成 FPGA 的 I/O。完成 ASIC 代码在 FPGA 平台上替换后, 在 FPGA 上进行仿真, 验证子模块功能, 然后生成网表

文件在硬件平台上进行验证^[15]。

3.2 FPGA 验证系统

FPGA 验证系统是基于 FPGA、软件、硬件构建的芯片验证平台, 其主要目的是为了在设计阶段模拟芯片的实际运行环境, 检测芯片的实际运行状态和实现功能是否与设计预期一致。本文提出的 SiP 原型验证系统能够满足 SiP 芯片软件和硬件测试需求, 其系统结构如图 4 所示。硬件主要包括 FPGA 测试板卡、bit 文件下载器、软件调试仿真器、PC、信号源、示波器。软件主要包括 Eclipse 软件调试、confpro 下载软件、Wireshark、SecureCRT。

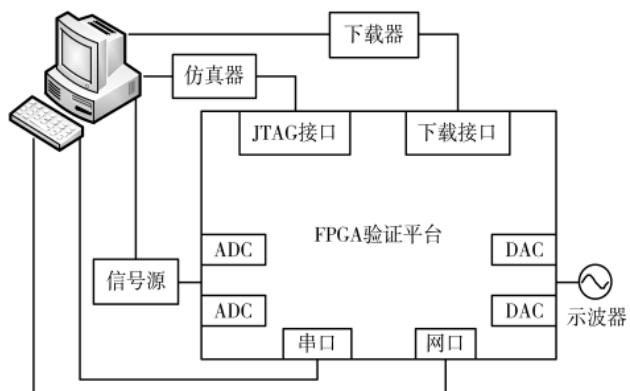


图 4 FPGA 原型验证系统结构图

FPGA 软硬件验证步骤如下^[16]:

- (1) 通过 Xilinx 软件工具对待验 SiP 系统进行综合和布局布线, 生成 bit 文件。
- (2) 通过 confpro 下载软件将 bit 文件下载到 FPGA 测试板卡。
- (3) 软件相关调试通过 Eclipse 和仿真器进行测试。

(4)裸机 IP 验证则在系统内测试设计的各模块验证用例。

(5)可重构 IP 则需要加入相应的用户算法进行测试。

在 FPGA 平台验证 SiP 系统过程中,裸机 IP 的验证根据前端设计手册开发验证用例,通过测试设备和上位机测试软件来保证各模块功能的正确性,通过和其他接口的通信来验证模块的稳定性和获取模块性能参数。可重构 IP 的验证根据用户算法开发验证用例,通过和测试仪器的交互确认用户算法功能的实现及正确性。系统验证流程如图 5 所示。

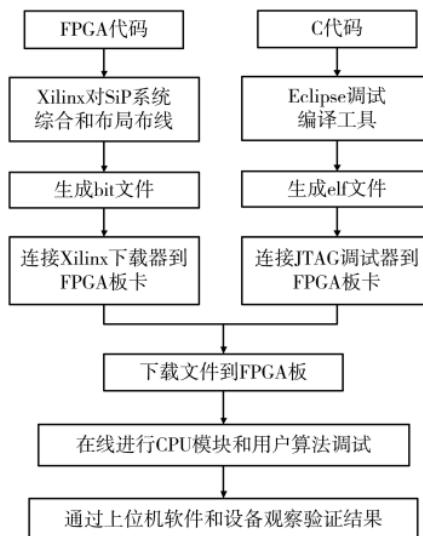


图 5 SiP 系统验证流程图

3.3 SiP 系统功能验证

SiP 系统功能验证包括两部分:(1)对裸机 IP 进行验证,该过程前期用于定位和排查 FPGA 软件设计和硬件板卡存在的问题,保证其稳定性和正确性,后期验证 CPU 和各模块功能;(2)对加入用户算法的可重构 IP 进行验证,测试用户算法实现的正确性和稳定性。原型验证场景如图 6 所示。

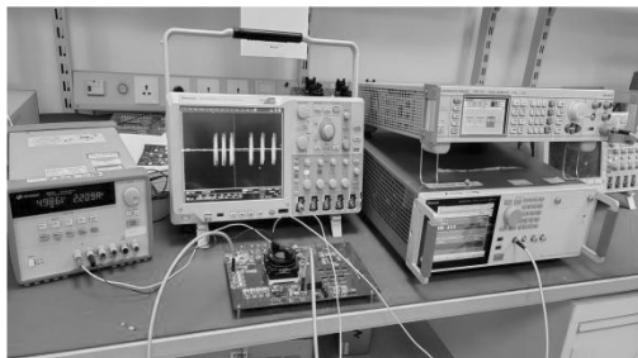


图 6 原型验证场景图

3.3.1 裸机 IP 验证

裸机 IP 进行验证分为 BootLoader 和外设模块验证。外设包括 SCI、SPI、CAN、GPIO、GMAC。

BootLoader 不仅能够增加系统启动方式的种类,而且解决了系统内部存储空间过小的问题,扩充了系统外部存储资源。

BootLoader 验证包括以下步骤:

(1)FPGA 板上电复位,进行 CPU 的初始化配置。

(2)读取 Flash 用户配置区,判断信息是否有效。

(3)若有效,BootLoader 软件将 Flash 用户代码区的代码搬到 RAM 中。当用户代码有效时,运行用户代码;当用户代码无效时,进入串口下载模式。

(4)若无效,进入串口下载模式。

(5)串口下载模式下,BootLoader 软件配置 UART 接口,在口令输入正确后接收串口命令,执行相关操作。

BootLoader 验证流程如图 7 所示。

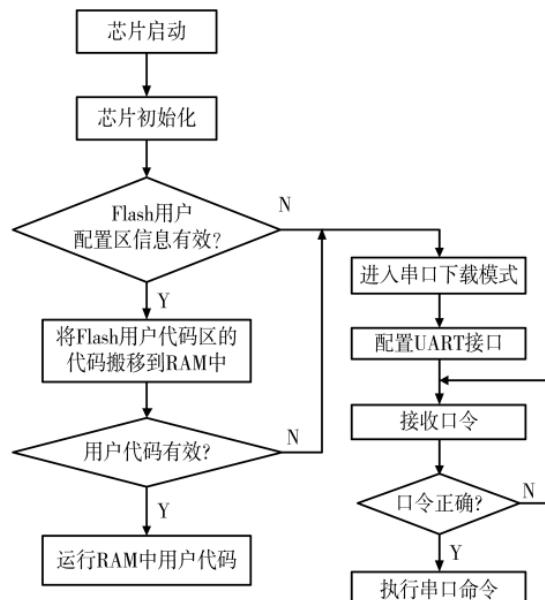


图 7 BootLoader 验证流程图

外设 IP 的验证主要采取 JTAG 在线 Debug 和自动化测试两种方式。前期验证,通过在线 Debug 进行覆盖性功能测试,根据外设 IP 数据手册制定验证用例,确保设计功能的完整性和正确性。后期验证,在覆盖性测试通过的前提下,进行自动化测试,覆盖基础和重要功能,并进行集成测试和性能测试。

通用接口 SCI、SPI、CAN、GPIO 外设硬件上通过连接通用接口转 USB 工具 USB2XXX 连接至上位机。在配套的上位机软件界面,显示接收的下位机外设 IP 接口传输数据,并控制上位机传输数据至下位机外设 IP 接口。

千兆网口 GMAC 硬件上使用的 PHY 芯片为 88E1111,支持 10/100/1 000 Mb/s 工作模式,支持 GMII、MII、SGMII 接口,通过 RJ45 接口与外部互联完成数据传输。上位机通过抓包软件抓取下位机网口发送数据,通过发包软件发送数据包到下位机网口。测试内容包含:数据链路层和物理层功能测试,即网络控制器和 PHY 层测试;在下

位机工程中添加网络协议栈 LWIP, 进行网络层和应用层测试。

3.3.2 可重构 IP 验证

可重构 IP 验证的目的是为了测试该 IP 在整个 SiP 中功能实现的正确性和稳定性。主要内容包括对 IP 包括的前端滤波、解调、模式识别和模式发送四个模块实现功能进行验证。

测试包括 5 个步骤: SiP 资源的初始化; MATLAB 生成激励文件, 通过信号源产生测试激励; ADC 采样输入的激励, 送至可重构 IP; 可重构 IP 进行数据解析; 输出响应到 DAC, DAC 转换后输出到示波器。

可重构 IP 的验证过程如下:

(1) 在系统上电后, 运行 CPU 内部 Flash 程序, 对 CPU、可重构 IP 模块以及 SPI、串口、时钟、ADC/DAC 等外设进行初始化。

(2) 通过 MATLAB 根据模式参数生成算法输入的测试激励文件, 用信号源导入该文件, 输出对应的信号。示例信号为 300 MHz 载波上面包含 DS 码值的 20 MHz 正弦信号, 如图 8 所示, 左边为整体波形图, 右边为局部放大波形图。

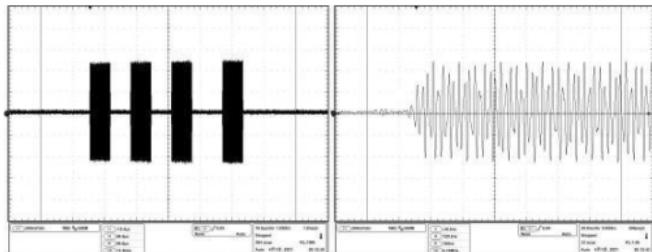


图 8 ADC 输入波形图

(3) 信号源输出的信号加在 ADC 的模拟输入端。ADC 数字输出端的串行数字信号, 经 RXTOP 转换为并行的数据, 输入到可重构 IP 模块。

(4) 可重构 IP 的 SDDC 模块对数据进行解析, 提取 DS 值, 对提取的 DS 码和初始化配置的 DS 码进行比较, 若相同, 则 CORR 模块生成相关峰, 同时计算相关峰之间的间距信息, 根据间距信息输出对应的响应信号到 DAC。

(5) DAC 把响应信号转换成模拟信号输出。通过示波器查看输出的模拟信号, 如图 9 所示, 左边为整体波形

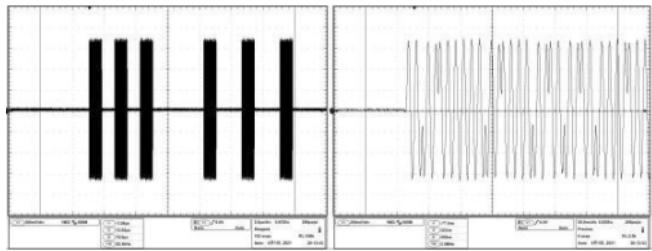


图 9 DAC 输出波形图

图, 右边为局部放大波形图。

4 结论

随着 SiP 集成技术日趋成熟和 ADC/DAC 转换器高精度、低功耗性能需求的提高, 设计一款内含 ADC 和 DAC 模块的 SiP 芯片能够达到两者相容、互补长短的效果。

本文基于 FPGA 硬件平台搭建了 ADC+SoC+DAC 架构的 SiP 原型验证电路。该技术融合了 SoC 对外围 ADC/DAC 配套电路的配置接口和处理其信号的可重构算法, 很大程度提高参数的可配置性和处理可重构性, 增加了 ADC/DAC 使用的灵活性。同时, 硬件层面上减小了系统体积, 降低了走线延迟和寄生效应, 使得信号传输更加可靠^[17]。测试结果证明了该架构 SiP 系统设计的可行性与正确性, 为未来该类器件 SiP 封装提供了设计思路和验证方案。

参考文献

- [1] 唐宇, 廖小雨, 骆少明, 等. 基于 CPU 和 DDR 芯片的 SiP 封装可靠性研究[J]. 电子元件与材料, 2015, 34(4): 79-83.
- [2] 吕浩, 张盛兵, 王佳, 等. 卷积神经网络 SIP 微系统实现[J]. 计算机工程与应用, 2021, 57(5): 216-221.
- [3] 王福鑫, 国凤娟, 牛玉成, 等. 基于 SiP 技术的微系统设计与实现[J]. 电子技术应用, 2018, 44(12): 17-19, 24.
- [4] 李扬. SiP 系统级封装设计仿真技术[J]. 电子技术应用, 2017, 43(7): 47-50, 54.
- [5] 杨亮, 于宗光, 魏敬和. 一种基于 JTAG 接口的 SIP 测试调试系统设计技术[J]. 半导体技术, 2018, 43(4): 316-320.
- [6] 杨斌, 韩瑞欣, 董苏惠. 基于 ARM Cortex-M3 的 SoC 系统设计[J]. 电子产品世界, 2019, 26(2): 55-58.
- [7] 王丹, 代雪峰. 基于 FPGA 的 ARM SoC 原型验证平台设计[J]. 微处理机, 2015(6): 15-18, 21.
- [8] 翁静纯. 4 通道数据采集和信号处理 SIP 原型系统设计[D]. 西安: 西安电子科技大学, 2017.
- [9] 雷淑岚, 吴会祥, 李文学. 基于 PowerPC 架构的波束指向算法的优化[J]. 电子技术应用, 2021, 47(3): 79-82, 90.
- [10] 章玮. 原型验证过程中的 ASIC 到 FPGA 的代码转换[J]. 今日电子, 2006(7): 56-59.
- [11] 张志伟, 靳鸿, 穆蔚然, 等. 基于千兆以太网的机载雷达数据采集系统设计[J]. 现代雷达, 2016, 38(9): 57-60, 66.
- [12] 王健, 吴鹏, 刘丰满, 等. 一种射频系统的三维系统级封装设计与实现[J]. 微电子学与计算机, 2018, 35(7): 87-91.
- [13] 张金凤, 唐金慧, 马成英. 基于 ATE 的 FLASH 型 FPGA 测试方法研究[J]. 电子世界, 2018(10): 46-47.
- [14] 韦照川, 潘军道, 吴国增. 基于 SoC FPGA 的北斗接收机载波跟踪环路设计[J]. 电子技术应用, 2018, 44(6): 124-128.
- [15] 刘云晶, 刘梦影. 一种 32 位 MCU 的 FPGA 验证平台[J].

(下转第 93 页)

表 10 最低功耗滤波器相关参数

参数名称	数值
带宽	1 220.7 Hz
信噪比	107.8 dB
功耗	69.63 μ W

4 结论

本文采用标准 $0.18 \mu\text{m}$ 工艺实现了应用于二阶 Sigma-Delta 调制器的抽取滤波器。先完成顶层滤波器的设计,在 MATLAB 中做系统级仿真,接着编写 Verilog 代码,在 Modelsim 中做仿真,最后实现后端版图。整个的流程属于自顶向下的设计方法。由于本设计和前端调制器一脉相承,因此可以在滤波器中改变时钟频率,让整个 ADC 的频率达到 10 MHz、5 MHz、2.5 MHz 以及 1.25 MHz。除了针对规定带宽同时改变时钟频率和抽取率以改变精度之外,还可以在特定时钟频率下改变抽取率来达到不一样的带宽以及降低功耗。最后,还可以在时钟频率和抽取率都固定的情况下,根据信号带宽改变补偿滤波器和半带滤波器的阶数,最大程度降低功耗。

参考文献

- [1] HOGENAUER E. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics Speech & Signal Processing, 1981, 29(2): 155–162.
- [2] 马邵宇, 韩燕, 蔡友. Σ - Δ ADC 中数字抽取滤波器的多级实现[J]. 天津大学学报(自然科学与工程技术版), 2007, 40(12): 1421–1425.
- [3] SCULLEY S, FIE T. Digital COMB filter implementation for the II $\Sigma\Delta$ A/D converter[J]. ISCAS, 1996, 2: 281–284.
- [4] Tan Nianxiong, ERIKSSON S, WANHAMMAR. L A novel bit-serial design of comb filters for oversampling A/D converters[C]. IEEE International Symposium on Circuits and Systems, 1994: 259–262.
- [5] CANDY J. Decimation for sigma delta modulation[J]. IEEE Transactions on Communications, 1986, 34(1): 72–76.
- [6] 刘春炜, 黄世震, 林伟. Sigma-Delta 调制器的 SIMULINK 行为模型的分析和设计[J]. 国外电子测量技术, 2007, 26(11): 1–4.
- [7] LYONS R G. Understanding digital signal processing[M]. 2nd ed. Englewood Cliffs, New Jersey: Prentice Hall, 2004: 258–260.
- [8] 丁玉美, 高西全. 数字信号处理[M]. 第 2 版. 西安: 西安电子科技大学出版社, 2000.
- [9] WANG Z, ZHENG T H, LU D, et al. Configurable incremental sigma-delta ADC for DC measure and audio conversion[C]// IEEE Custom Integrated Circuits Conference, 2014: 1–4.
- [10] HARTLEY R I. Subexpression sharing in filters using canonical signed digit multipliers[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1996, 43(10): 677–688.

(收稿日期: 2021-04-30)

作者简介:

王尧(1993-), 男, 硕士研究生, 主要研究方向: 模数混合集成电路设计。

卜刚(1969-), 男, 教授, 主要研究方向: 模拟射频集成电路设计。



扫码下载电子文档

(上接第 88 页)

电子与封装, 2020, 20(1): 41–47.

- [16] 杨安生, 黄世震. 基于 ARM SoC 的 FPGA 原型验证[J]. 电子器件, 2011, 34(3): 247–251.
- [17] 程翼胜. SoC 芯片 FPGA 原型的软硬件协同验证[J]. 单片机与嵌入式系统应用, 2017, 17(11): 7–10, 13.

(收稿日期: 2021-04-28)

作者简介:

杨楚玮(1991-), 男, 硕士研究生, 工程师, 主要研究方向: 集成电路、嵌入式软件。

张梅娟(1981-), 女, 硕士研究生, 高级工程师, 主要研究方向: 集成电路、嵌入式软件。

侯庆庆(1988-), 男, 硕士研究生, 工程师, 主要研究方向: 集成电路、硬件设计。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所