

# 基于 FPGA 的多通道音频信号评估系统

张浩然, 万书芹, 蒋颖丹, 张涛

(中科芯集成电路有限公司, 江苏 无锡 214063)

**摘要:** 设计并实现了一种基于 FPGA 的六通道音频信号评估系统。系统由最高 64 kS/s 的 16 位模数转换器 AD73360 对常用音频信号进行采样。设计了一个嵌套式状态机, 按照状态跳变, 将输入信号暂存到 FIFO 中。FIFO 中的数据会通过 USB 协议上传到电脑端的 MATLAB GUI(Graphical User Interface)中, GUI 负责处理数据并显示结果。系统配备了 ARM 处理器作为辅助, 可以根据不同的 ADC 采样频率和输入信号频率, 计算并实时纠正 FPGA 和 GUI 的通信波特率, 确保不丢码。试验结果表明, 该系统可以实现对音频信号的高精度采集。该系统为保真采集音频信号提供了完整的解决方案。

**关键词:** FPGA; 嵌套状态机; FIFO; 模数转换器; MATLAB GUI; USB 协议

中图分类号: TP216

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211983

中文引用格式: 张浩然, 万书芹, 蒋颖丹, 等. 基于 FPGA 的多通道音频信号评估系统[J]. 电子技术应用, 2022, 48(2): 78-83, 90.

英文引用格式: Zhang Haoran, Wan Shuqin, Jiang Yingdan, et al. Evaluation system of multi-channel audio signal based on FPGA[J]. Application of Electronic Technique, 2022, 48(2): 78-83, 90.

## Evaluation system of multi-channel audio signal based on FPGA

Zhang Haoran, Wan Shuqin, Jiang Yingdan, Zhang Tao

(China Key System & Integrated Circuit Corporation, Wuxi 214063, China)

**Abstract:** A six-channel audio signal evaluation system based on FPGA is designed and implemented. 64 kS/s 16-bit analog-to-digital converter(ADC) AD73360 is used to sample common-used audio signals. A nested state machine is adopted to pump input data into a FIFO according to states jumps. The data in FIFO is uploaded into the MATLAB GUI(Graphical User Interface) on computer by USB protocol. The GUI is used to process data and display the results. The system is equipped with auxiliary ARM to calculate and correct the baud rate of communication between FPGA and GUI, keeping from losing codes. The results show the system can sample audio signals in a high precision. The system provides a whole solution for sampling audio signals with true fidelity.

**Key words:** FPGA; nested state machine; FIFO; analog-to-digital converter; MATLAB GUI; USB protocol

### 0 引言

人类的耳朵可以感受各种频段的音波, 包括自然界里各种天然的声音, 也包括人工生成的声音。科学研究表明人耳所能感受到的声音范围是 20~20 000 Hz, 但这并不是人耳真正能识别的频率<sup>[1]</sup>。人们正常说话的声音频段在 500~4 000 Hz, 而让人们放松舒适的频段在 20~600 Hz, 所以 20~4 000 Hz 频段的声音最有研究价值。如何精确地获取这个频段声音的信息参数成为评估其质量的关键。

因此, 本文提出了一种基于 FPGA 的六通道音频信号评估系统, 针对 20~4 000 Hz 频段的声音, 选用最高 64 kS/s 采样频率, 16 bit 采样精度的六通道 ADC。系统中 FPGA 和 ADC 通过工业串行端口(SERIAL PORT, 简称 SPORT)进行功能配置和数据传输, 依托 MATLAB 图形化用户界面(GUI)实现了对应的上位机, 配合 FPGA 的嵌套

状态机, 可实时显示采样数据的时域波形和经过快速傅里叶变换(FFT)的频谱曲线。该系统经过了测试和验证, 可以准确反映出对应频段音频信号的质量。

### 1 系统架构设计

一般信号采样处理系统会采用具备一定速度和容量的存储器件来暂存数据, 以解决采样端数据发送速率和上位机数据接收速率之间不匹配的问题<sup>[2]</sup>。常用系统结构如图 1 所示。信号源为 ADC 提供输入模拟信号, 经由 ADC 转换成数字信号并传输给 FPGA, FPGA 在高速时钟下将采样信号保存到存储器件中, 在存储了一定容量的数据后, 再将信号从存储器件中读出, 通过 USB 接口传输给上位机。

该结构非常适用于数据采集速率快且传输数据量大的应用场合, 此时需要使用高速的大容量存储器件, 成本较高, 设计难度较大。当数据采集速率较慢, 数据量

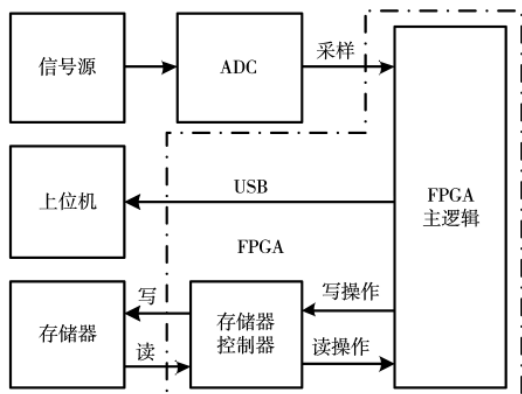


图1 一般信号采样处理系统总体框图

较小时,该方案并不是最好的选择。

本文提出了一种新的设计方法,为低频采样且数据量小的应用需求提供了另外一个可选方案。以FPGA作为主体芯片,实现对ADC器件的功能配置;ADC信号采样后通过SPORT端口发送给FPGA,FPGA按照状态机跳变将接收到的数据依次存入内部FIFO中,然后在ARM处理器计算出波特率,再将数据发送给上位机,完成数据存储和处理。系统总体架构如图2所示。这种方法减少了系统对存储芯片的依赖,简化了硬件电路板的设计。

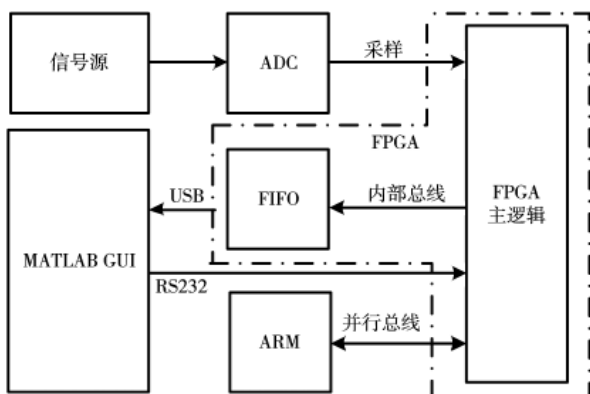


图2 系统总体框图

## 2 器件选型

### 2.1 FPGA选型

本设计选用Intel公司的Cyclone III系列的EP3C25-Q240C8N芯片。该型号具有丰富的资源,包括24 624个逻辑单元,608 256 bit的存储空间,并有着丰富的IP资源,可根据不同需要例化不同的IP<sup>[3]</sup>。其系统时钟频率后最高可达800 MHz,满足应用需求。

由于FPGA的自身特点,掉电会丢失数据,实际应用中需配备具有存储功能的芯片来保存程序或者其他一些关键数据。这里选用EPCS16N芯片存储FPGA程序数据,在Debug程序时,选择JTAG下载方式,无需Debug可直接固化程序时,选择AS下载方式,这样程序就会被保存在EPCS16N中,掉电后也不会丢失。

### 2.2 ARM处理器选型

ARM处理器在整个系统中作为辅助单元,主要用于计算FPGA和上位机间最匹配的通信速率以满足在任何ADC速率下不会出现丢码。

ST公司的STM32F4系列芯片是F1系列的加强版,内部新增DSP内核,具有强大的数据计算能力,并且具有快速的总线通信机制——可变静态存储控制器(Flexible Static Memory Controller, FSMC),通信频率可达84 MHz,满足快速通信的需求<sup>[4]</sup>。因此选用该系列的STM32F407型号。

### 2.3 ADC选型

本文选用亚德诺半导体公司的AD73360。该模数转换芯片具有16 bit的有效位数,内置了6个独立的ADC内核,可同时对6路通道的输入信号进行轮流采样,并且每路通道在4 kHz的信号带宽上提供77 dB的信噪比,通过SPORT可以设置成四种不同的采样速率,分别是8 kHz, 16 kHz, 32 kHz, 64 kHz。

### 2.4 USB协议芯片选型

FPGA与上位机通信的速率需要考虑输入信号的频率和ADC的采样速率是否匹配,如果两者之间的速率不匹配会导致最后的采样出现丢码。考虑到通信的多变性和稳定性,将USB协议作为传输协议,连接上位机和FPGA。

设计中采用RS232协议转USB协议的方式实现USB通信。输入信号频率范围是20 Hz~4 000 Hz,如果ADC采样频率一直是64 kHz,当输入20 Hz信号时,一个周期采样3 200个点;如果一直是8 kHz,当输入频率是4 000 Hz时,一个周期才2个点,这显然是不合理的。因此,为了使得采样数据个数在合理的范围内,本文设计通过另一路RS232告知FPGA输入信号的频率,然后FPGA根据最小采样点不少于16,最大采样点不大于400的规则去酌情选择采样频率。

ADC的采样频率是8 kHz~64 kHz,输入信号的频段是20 Hz~4 000 Hz,各个频率的声音信号一个周期不少于16个点,6个通道数据一起输出,可由式(1)计算出波特率的范围是1 536 b/s~307 200 b/s。

$$(R_{\min}, R_{\max}) = mn(S_{\min}/I_{\max}, S_{\max}/I_{\min}) \quad (1)$$

其中 $R$ 表示通信波特率, $m$ 表示采样精度, $n$ 表示通道数, $S$ 表示ADC的采样频率, $I$ 表示ADC的输入频率。

RS232通信协议的发送操作中包含11位信号,其中8位是数据位,1位起始位,1位停止位和1位空闲位,因此,真实的波特率范围是2 112 b/s~422 400 b/s。

USB协议芯片选用CP2101,其支持RS232协议转USB2.0协议,支持的波特率范围是300 b/s~921.6 kb/s,有充足冗余,可以流畅地与上位机端通信<sup>[5]</sup>。

## 3 设计方案

FPGA总体逻辑设计框图如图3所示。在Quartus软件上直接对FPGA进行基于Verilog语言的RTL流程开

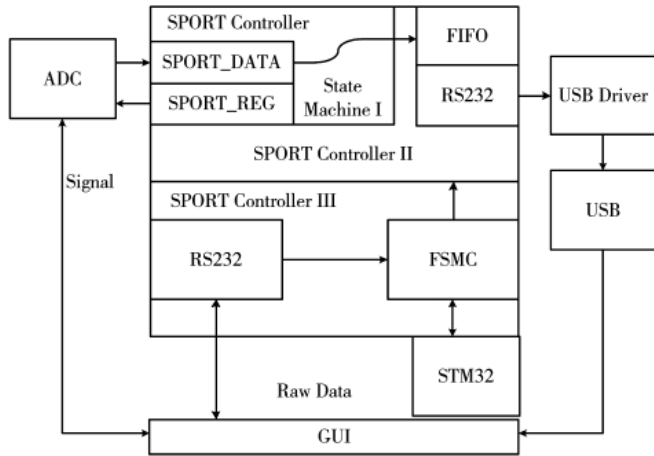


图3 FPGA 总体逻辑框图

发,配合 JTAG 和 SignalTap 进行程序在线调试<sup>[6]</sup>,ModelSim 软件作为验证仿真手段,可单独对 SPORT 时序、FIFO、FSMC 接收时序和嵌套状态机进行仿真验证,经过严密的逻辑仿真,修订 BUG 后下载 FPGA 程序完成闭环设计。STM32 的程序开发在 KEIL 软件上可以完成。

MATLAB 中自带图形化用户界面功能,创建的图形界面可以调用 M 语言编写的算法函数,可以实现 USB 通信和 FFT 运算,实现上位机功能。

### 3.1 FPGA 程序设计

#### 3.1.1 SPORT 通信协议

AD73360 的 SPORT 通信协议是由 SCLK、SDO、SDOFS、

SDI、SDIFS 和 SE 共 6 根信号组成的。SPORT 协议有三种工作模式:控制模式、数据模式和混合控制数据模式,本文只用前两种模式。使用控制模式将 ADC 配置成预期的工作状态,然后使用数据模式接收数据。

控制模式下,SE、SCLK、SDI、SDIFS 四根信号工作,其他信号不工作;数据模式下,SE、SCLK、SDO、SDOFS 四根信号工作,其他信号处于空闲态。时序图如图 4 所示<sup>[7]</sup>。

AD73360 具有 6 个采样通道,数据采集是按照数字顺序依次进行的,根据 SDOFS 的脉冲,采样数据依次通过 SPORT 时序被读出。

#### 3.1.2 嵌套式状态机

整个系统的逻辑是由一个三层嵌套式的状态机实现的<sup>[8]</sup>。

如图 5 所示,第一层状态机逻辑具有 4 个状态:空闲态 (IDLE)、写地址 (ADDR\_WR)、写数据 (DATA\_WR)、ADC 数据接收 (ADC\_DATA)。其主要功能是实现 SPORT 逻辑实时。

第二层状态机逻辑如图 6 所示,具有 6 个状态:空闲态 (IDLE)、SPORT 读数据 (SPORT\_DATA\_RD)、FIFO 写数据 (FIFO\_WR)、FIFO 读数据 (FIFO\_RD)、RS232-USB 协议转换 (USB)、SPORT 接收数据与 FIFO 读出数据同步 (DATA\_SYNC)。其主要功能是实现 FIFO 存取以及 USB 端的数据发送。

如图 7 所示,第三层状态机逻辑具有 7 个状态:空闲态 (IDLE)、ADC 数据接收及发送 (ADC\_RD&SEND)、RS232

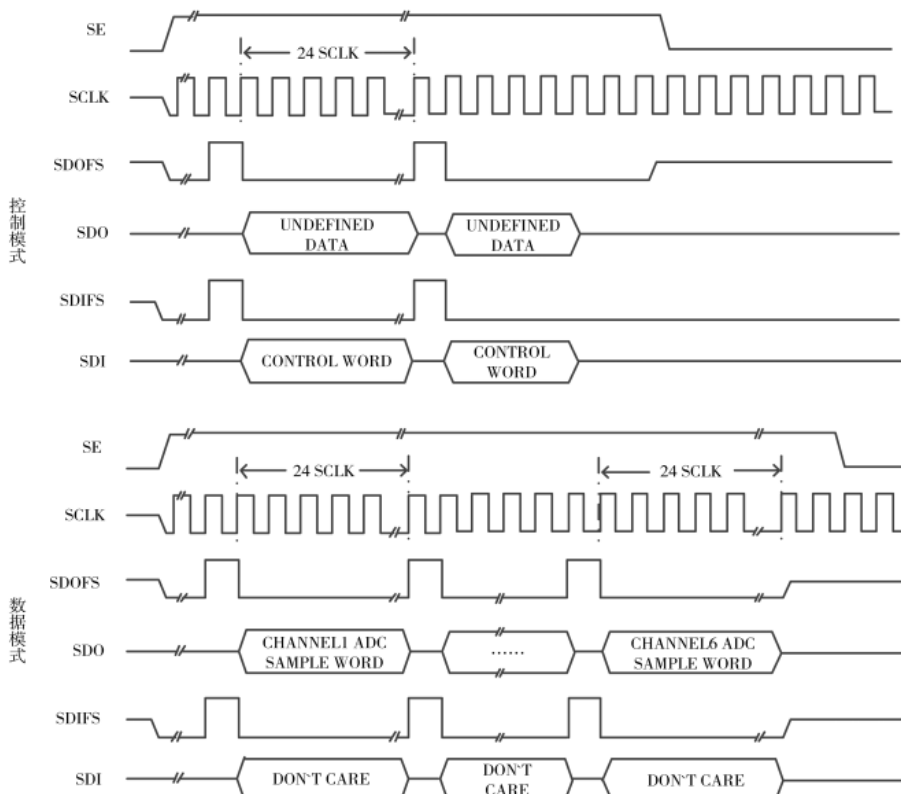


图4 SPORT 控制模式和数据模式时序

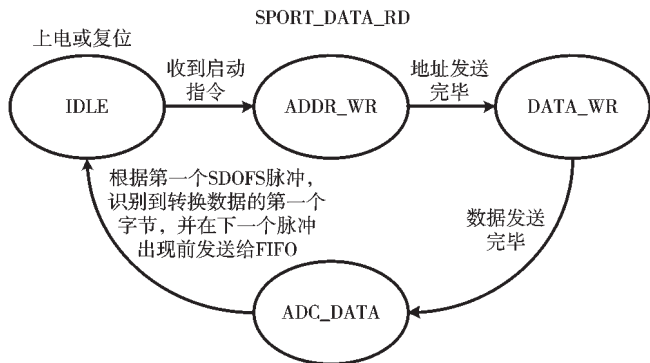


图5 第一层状态机

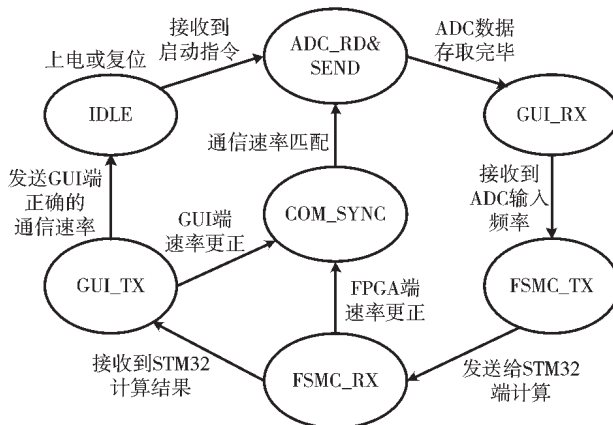


图7 第三层状态机

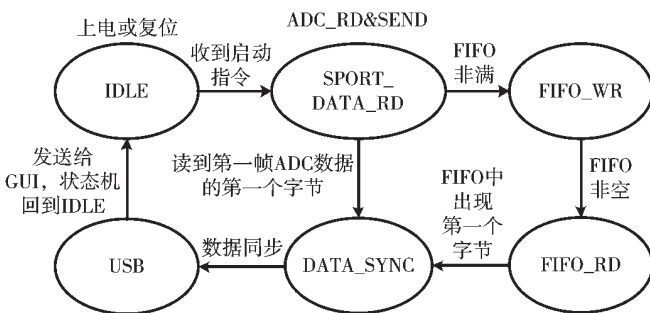


图6 第二层状态机

发送给 GUI 数据 (GUI\_TX)、RS232 接收来自 GUI 的数据 (GUI\_RX)、FSMC 发送数据 (FSMC\_TX)、FSMC 接收数据 (FSMC\_RX)、通信速率同步 (COM\_SYNC)。

第三层状态机主要实现了 GUI、FPGA 和 STM32 三者之间的通信, 实时更新第二层状态机中 USB 端的通信速率, 以及第一层状态机中 SPORT 端口数据读取的时刻, 确保与 GUI 的通信不丢码。

### 3.1.3 FIFO 设计

由于在数据模式下, ADC 会对 6 个通道的信号依次采样, 每个通道采样的数据是 16 bit, 因此每次采样的数据按照 96 bit 为一个单位。所以, FIFO 的深度确定为 96 bit,

宽度为 1 bit。设计中调用了 FPGA 中 FIFO 的 IP 核, 该 IP 核可根据需要更改深度, 并且可以配合其他模块完成 RTL 级仿真。6 个通道数据全部采样完成后, 下一帧数据的采样到来前会有约 45 个 SCLK 的总线空闲时间。而 SCLK 是由主频 16.384 MHz 分频得来的。这段空闲时间最短为  $45/16.384 \text{ MHz} = 2.746 \mu\text{s}$ 。

在这段时间里, 要完成 FIFO 中 6 个通道数据的写入和数据的不同步。这里采用了 FPGA 内部的 PLL 倍频 IP 核, 可以将内部时钟倍频到最高 500 MHz, 根据实际情况, 选用了 200 MHz 的内部工作频率, 处理 6 个通道 16 bit 数据只需要  $96/200 \text{ MHz} = 0.48 \mu\text{s}$ 。

由于数据是严格按照 SDOFS 脉冲采样的, 在 SPORT 控制模式配置完相关寄存器后, 第一个 SDOFS 脉冲对应着第一个通道的第一个数据, 遵循这个规律存储数据, 相位严格保持对齐。FIFO 的读取速率按照最近更新的 STM32 计算出的数据波特率依次取出数据。FIFO 存取示意图如图 8 所示。

### 3.2 ARM 程序设计

STM32 依托其可快速计算的 DSP 内核和快速通信

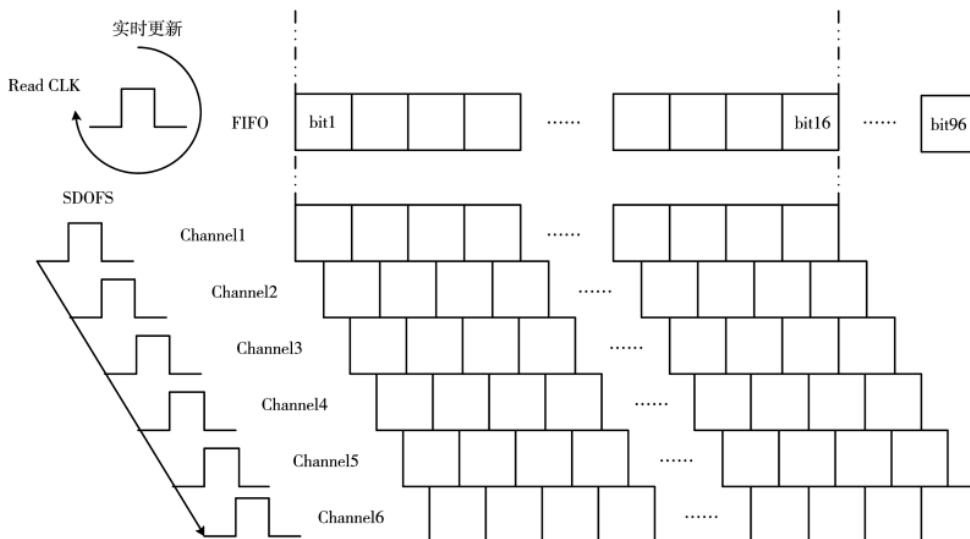


图8 FIFO 存取示意图

的总线,实时完成 FPGA 和 GUI 之间的速率更新,每一次计算完成后,询问 FPGA 是否更新完毕,更新完毕后处于待机状态,等待下一次触发,否则重新发送再次询问直到波特率更新。程序设计流程图如图 9 所示。

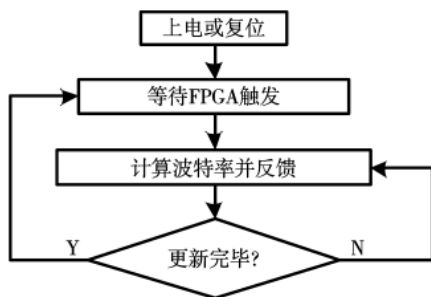


图 9 STM32 程序设计流程图

### 3.3 上位机设计

上位机的主要功能是数据采集、处理、保存以及显示。MATLAB 中有一种图形化用户接口,采用图形方式显示计算机操作用户界面,底层调用了一些常用的驱动函数,方便进行人机交互操作<sup>[9]</sup>。

上位机的工作流程如图 10 所示,首先输入信号频率数值(以赫兹为单位),选择串口通道、校验位、数据位和停止位,然后选择采样通道,点击打开端口,开始接收相应通道的数据。上位机有两块功能区:时域采样和频域处理,点击时域采样的打开按钮,采集到的原始数据会依次在右边的框图中显示;点击频域处理的开始按钮,内部快速傅里叶变换函数会开始对已有数据进行计算,以一定的数据量为基础,不断更新迭代,实时更新右边框图中的图形。

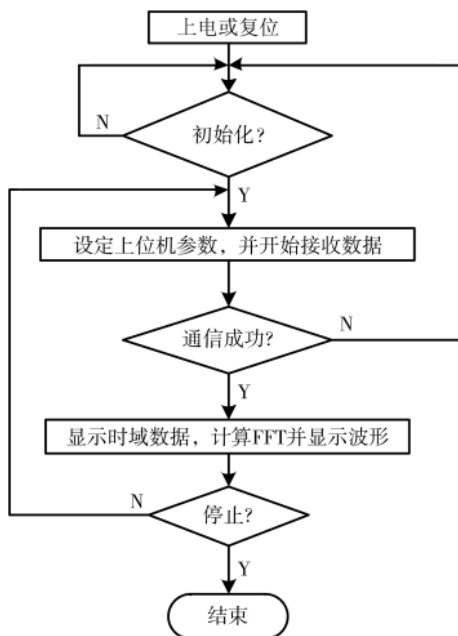


图 10 上位机程序设计流程图

### 4 实验验证

系统完成后,首先进行硬件检查,软件调试和功能试运行,然后对 SPORT 时序,FIFO 存取,以及上位机读取、处理数据的功能进行验证。

全部验证工作在测试实验间的实验平台中完成。实验平台如图 11 所示。

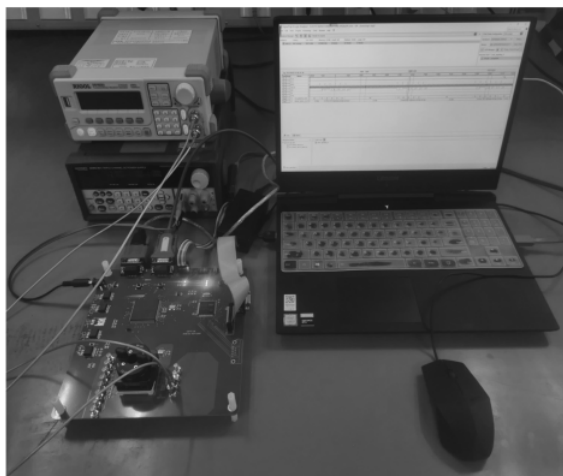


图 11 实验平台

#### 4.1 SPORT 时序验证

验证 SPORT 时序的主要方法是用 Quartus 软件自带的逻辑分析仪 SignalTap 去抓取,得到的波形与手册对比。

系统主要使用 SPORT 的两个模式:控制模式和数据模式。前者用来配置寄存器,后者用来读取数据。能否正确回读数据是验证的重点所在,同时数据模式的时序正确也证明编写的 SPORT 驱动是正确的。

系统参考电压是 3 V,三通道输入 1.5 V,回读的数字数据是 0x7FFF,并结合各个信号的行为特征,证明 SPORT 时序正确。测试结果如图 12 所示。

#### 4.2 FIFO 存取验证

FIFO 作为数据的缓冲,可以有效避免数据的错位和丢失,形成规则的数据流,利于数据处理。

FIFO 是队列形式的存储结构,逻辑规则是先入先出,FIFO 的写入时钟和读出时钟可以不一样,但也要遵循非满可写,非空可读的原则。

采用 Modelsim 软件对 FPGA 的 FIFO 核进行仿真,按照顺序依次写入数据 0xa5a5、0x0003、0x0005、0x0006、0x0015、0x0017。之后,再按照顺序依次读出,由图 13 可知,FIFO 读出的顺序和写入时的顺序一致。

#### 4.3 上位机读取、处理数据的功能验证

ADC 输入频率设定为 50 Hz,根据理论,FPGA 会自动选择 8 kHz 频率采样,每一个周期采样点是 160 个点,波特率是 160×6×22=21 120 b/s。由于窗口限制,考虑清晰度,数据只显示 1 024 个点。

测试通道选择的是 6 通道,串口是 COM4,测试结果如图 14 所示,FFT 处理结果是:SFDR=62 dB,SNR=80 dB。

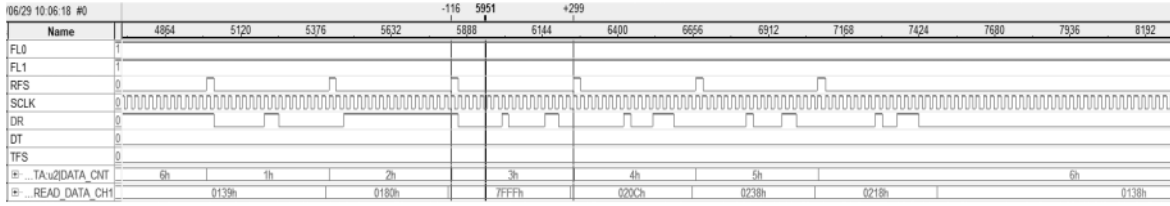


图 12 SignalTap 抓取的 SPORT 时序

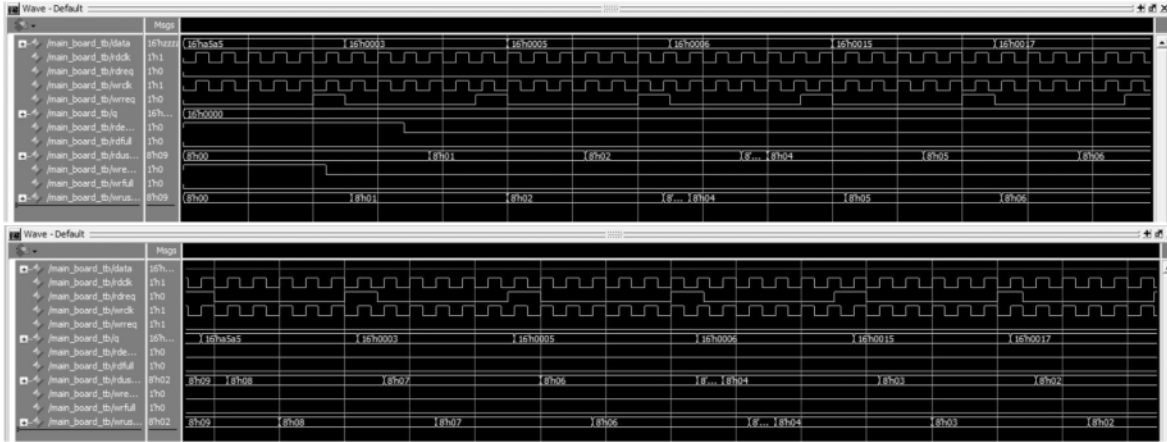


图 13 Modelsim 仿真的 FIFO 时序

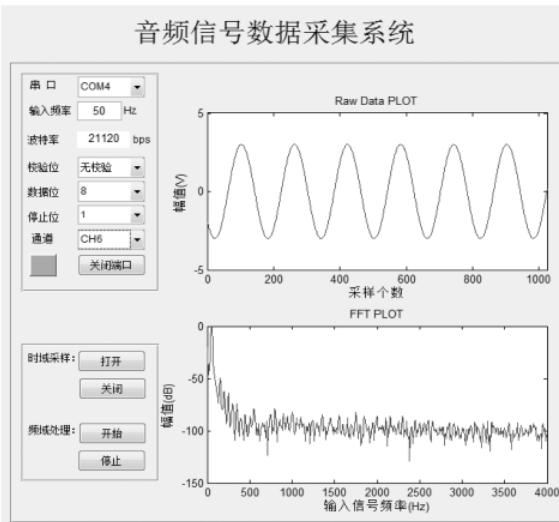


图 14 实测上位机界面

下面将 ADC 的 6 个通道按照 50 Hz、200 Hz、1 kHz、4 kHz 四个频点分别采样,得到测试结果如表 1 所示。

表 1 6 通道音频信号测试结果 (dB)

SFDR	$f_m/Hz$			
	50	200	1 000	4 000
CH1	65	60	60	59
CH2	64	60	59	58
CH3	64	59	60	58
CH4	63	59	59	57
CH5	62	59	59	59
CH6	62	60	60	59

## 5 结论

由以上测试结果可知,多通道音频评估系统具有稳定的测试性能,低频输入下选择低频时钟采样,高频输入下选择较高的采样频率采样,保持数据量始终在一定的范围内波动。

最终测试结果显示低频的表现要比高频稍微好一些,符合数据手册参数。输入频率 0~4 kHz,采样频率 8 kHz 时,输出典型的 SFDR 是 73 dB,而采样频率是 64 kHz 时,只有 62 dB。再加上仪器精密度限制和工艺制造误差,造成输出性能略逊于预期。但总体上满足对多通道音频信号采样评估的要求。

## 参考文献

- [1] 李军锋,徐华兴,夏日升,等.基于听觉感知特性的双耳音频处理技术[J].应用声学,2018,37(5):706-715.
- [2] 简志景,梁昊.一种基于 FPGA 的多通道数据采集系统设计[J].信息技术与网络安全,2020,39(9):6-11.
- [3] Intel.Cyclone III Device handbook volume 1[Z].Altera Corporation,2012:10-21.
- [4] 王晨辉,吴悦,杨凯.基于 STM32 的多通道数据采集系统[J].电子技术应用,2016,42(1):51-53.
- [5] 易志强,韩宾,江虹,等.基于 FPGA 的多通道同步实时高速数据采集系统设计[J].电子技术应用,2019,45(6):70-74.
- [6] 李华.基于 FPGA 的数字音频信号处理技术的研究与设计[D].长春:长春工业大学,2011.
- [7] 赵磊.基于 FPGA 的音频信号处理的设计与实现[D].成都:电子科技大学,2012.

(下转第 90 页)

序。下位机与骑行台客户端建立通信连接并分析骑行数据,骑行者可以在虚拟场景中获得与真实场景接近的骑行体验。本系统同时兼容 Zwift 虚拟场景骑行客户端和 UH Fitness 实景骑行客户端,提升了骑行体验。

### 参考文献

[1] 王子鑫,许一凡,陈海健,等.沉浸式动感单车系统设计与实现[J].福建电脑,2020,36(6):136-137.

[2] 单车志.关于骑行台的那些事[EB/OL].[2021-07-22].  
https://www.sohu.com/a/341578523\_402114/.

[3] Tacx.Tacx Galaxia-T1100[EB/OL].[2021-07-22].https://tacx.ru/products/velosipednyj-stanok-rollermyj-tacx-galaxia-t1100/.

[4] Cycleops.Cycleops fluid2[EB/OL].[2021-07-22].https://www.cycleops.com/product/fluid2/.

[5] MAGENE.MAGENE T300[EB/OL].[2021-07-22].http://www.magene.cn/T300.html/.

[6] UHfitness.UHfitness U5 SMART[EB/OL].[2021-07-22].  
http://uhfitness.com/more.php?id=6&lm=7/.

[7] REHMAN M, MUHAMMAD A B S, ATEEQ U R, et al. Comparative performance analysis of short-range wireless protocols for wireless personal area network[J].Iran Journal of Computer Science, 2021, 1-10.

[8] 张琥石,林伟龙,黄向军,等.基于蓝牙的物联网多生理参数监测系统[J].物联网技术,2021,11(3):10-13.

[9] HAWELIKAR M, TAMHANKAR S. A design of Linux based ZigBee and Bluetooth low energy wireless gateway for remote parameter monitoring[C]//IEEE International Conference on Circuits, Power and Computing Technologies, 2015: 1-4.

[10] NADEEM Q M, ROSARIO C, LEONARDO M. An ontology driven software framework for the healthcare applications based on ANT+ protocol[C]//IEEE International Conference on Advanced Information Networking and Application Work-

shops, 2014, 48(1): 245-250.

[11] 赵威,孙绍辉,曹勇.基于超低功耗无线通信技术的电子墨水标签显示系统研究[J].电力信息与通信技术,2018,16(4):54-58.

[12] 李立,朱秋君,单志林,等.ANT低功耗无线网络设计[J].物联网技术,2013,3(6):57-61.

[13] FEI G, LONG P, LUC P, et al. Open source FreeRTOS as a case study in real-time operating system evolution[J]. The Journal of Systems and Software, 2016, 118: 19-35.

[14] 张文亮,田沛,刘晖,等.基于FreeRTOS的lwip协议栈的移植于测试[J].自动化技术于应用,2015,34(11):25-29.

[15] 刘迎澍,杨珂,丁纬航.基于FreeRTOS的智能用电监控系统[J].电子设计工程,2017,25(21):157-160.

[16] 李韩军,张宜军,赵行明,等.基于蓝牙4.0技术的智慧门禁系统的研究[J].自动化与仪器仪表,2019(6):65-68.

[17] 李锋.磁敏传感器发展综述[J].黑龙江科学,2021,12(2):30-31.

[18] 刘国兰.基于霍尔元件的测速装置设计[J].电子技术,2017,46(6):40-42.

[19] 赵丹丹,陆剑.基于A3144E无线测速系统设计与开发[J].自动化技术与应用,2014,33(10):70-74.

[20] 张强.智能骑行台嵌入式实时控制系统的设计与实现[D].杭州:浙江工业大学,2019.

(收稿日期:2021-07-22)

### 作者简介:

禹鑫焱(1979-),男,博士,副教授,主要研究方向:嵌入式、工业机器人控制。

赵嘉楠(1996-),男,在读研究生,主要研究方向:嵌入式、工业物联网。

应皓哲(1996-),男,在读研究生,主要研究方向:嵌入式、工业物联网。



扫码下载电子文档

(上接第 83 页)

[8] 杨春玲,左令.基于FPGA的通用光纤通信系统设计[J].电子技术应用,2020,46(9):110-113,117.

[9] 陈勇.一款高性能数字音频处理器的设计与实现[D].西安:西安电子科技大学,2018.

(收稿日期:2021-07-27)

### 作者简介:

张皓然(1993-),男,硕士研究生,工程师,主要研究方向:FPGA设计。

万书芹(1977-),女,博士研究生,高级工程师,主要研究方向:数字算法研究。

蒋颖丹(1983-),女,博士研究生,高级工程师,主要研究方向:射频电路设计。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所