

# 一款 DVI 视频接收芯片的设计

顾泓, 方震

(中科芯集成电路有限公司, 江苏 无锡 214072)

**摘要:** 设计了一款 DVI(Digital Visual Interface)接收芯片并提出了一种基于全数字的 T.M.D.S(Transition Minimized Differential Signaling)信号接收恢复方案,能够大大降低 PLL(Phase Locked Loop)的设计难度,降低芯片的硬件开销。首先介绍了芯片的整体框架和各模块的作用,然后对基于本方案的数据恢复原理和实现方式进行重点说明,最后对芯片的仿真测试结果进行了相关的讨论。测试结果表明,芯片能够兼容市面上的其他 DVI 产品并与之通信,满足 DVI 1.0 规范要求。

**关键词:** DVI; T.M.D.S; PLL; 数据恢复

中图分类号: TN402

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.212004

中文引用格式: 顾泓, 方震. 一款 DVI 视频接收芯片的设计[J]. 电子技术应用, 2022, 48(3): 37-40.

英文引用格式: Gu Hong, Fang Zhen. Design of a DVI video receiver chip [J]. Application of Electronic Technique, 2022, 48(3): 37-40.

## Design of a DVI video receiver chip

Gu Hong, Fang Zhen

(China Key System Co., Ltd., Wuxi 214072, China)

**Abstract:** In this paper, a DVI(Digital Visual Interface) receiver chip is designed and an all-digital-based T.M.D.S signal reception recovery scheme is proposed. This scheme can greatly reduce the design difficulty of PLL and the hardware overhead of the chip. This paper firstly introduces the whole frame of this chip and function of each module, and then emphasizes the principle and realization of data recovery circuit based on this scheme, and finally conducts relative discussion on simulation and test results. The test results indicates that, this chip which meets the requirements of DVI 1.0 specification, can be compatible with other DVI products and communicate with them.

**Key words:** DVI; T.M.D.S; PLL; data recovery

## 0 引言

DVI(Digital Visual Interface)芯片在数字视频领域应用<sup>[1]</sup>广泛且需求量巨大,如数字电视、个人电脑显示屏、雷达显示屏等均广泛采用 DVI 技术<sup>[2-4]</sup>。国外对 DVI 技术的研究起步较早,数字显示工作组 DDWG(Digital Display Working Group)于 1999 年就推出了 DVI 1.0 接口标准。标准采用 T.M.D.S(Transition Minimized Differential Signaling)技术<sup>[5-6]</sup>将 8 bit 像素数据转换成 10 bit 进行串行传输,能够支持三通道并行,各通道串行速率高达 1.65 Gb/s 的 UXGA 格式像素<sup>[7-8]</sup>传输。在传输速率较高、时钟与数据相位关系不确定的情况下,接收端如何恢复数据<sup>[9]</sup>成为了接收端设计的关键。

过采样技术<sup>[10]</sup>可以有效解决上述数据接收的问题并且易于实现,但是对锁相环(Phase Locked Loop, PLL)的要求较高<sup>[11-12]</sup>。由于过采样需要产生多个相位时钟,如 3 倍过采样就要产生多达 30 个相位的时钟,这对 PLL 的设计是一个很大的挑战。而本文采用的数据恢复

方案基于 3 倍过采样,只需 PLL 产生 12 个相位的时钟,与文献[13]相比大大减小了 PLL 的设计难度和功耗。文献[14]会根据采样结果产生相位调整信号输出给相位调整电路,调整 PLL 输出时钟相位至合适区间,进而采样恢复出数据。而本文采用基于全数字的数据恢复方案,可直接根据采样结果分析恢复出数据,这样无需时钟相位调整电路,降低了芯片的硬件开销,同时由于采用全数字逻辑实现,提高了电路的稳定性。

基于该方案本文设计了一款 DVI 接收芯片,实现了 T.M.D.S 编码数据的正确接收和恢复,满足 DVI1.0 接口规范的功能和性能要求。本文给出了设计的整体框架,说明了各子模块的功能和作用,重点讲述了本方案中数据恢复的原理和逻辑实现,最后给出了仿真和实测结果,并进行了相关分析和讨论。

## 1 整体框架及功能

本设计的整体方案框架如图 1 所示,包括 SPI(Serial Peripheral Interface)及寄存器管理单元、输入整形单元、时

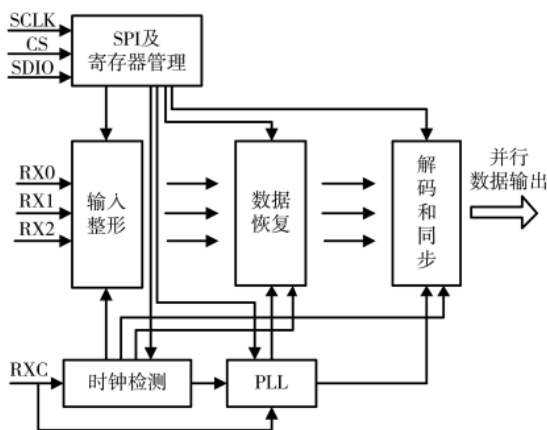


图1 DVI接收芯片整体框架

时钟检测单元、锁相环、数据恢复单元、解码和同步单元。

SPI及寄存器管理单元中,SPI接口可用于读写寄存器,寄存器管理单元的作用包含电路参数配置、电路状态监控等。

输入整形单元可以抑制输入信号幅度改变导致输出信号幅度改变的影响,使输出信号的高低电平电压值恒定,降低因输入信号幅度变化对后级电路的影响。

时钟检测单元可以检测输入时钟信号并输出使能信号。当检测到时钟输入时,单元输出使能信号控制相关模块进入正常工作状态;当未检测时钟输入时,单元输出使能信号控制相关模块进入空闲状态。

PLL可以恢复出输入时钟并生成输入时钟2.5倍频后的12路等相位间隔的时钟送给数据恢复单元。

数据恢复单元利用12路等相位间隔时钟对输入串行数据进行3倍过采样,进而对采样数据进行相位判决恢复出原始数据。

解码和同步单元对原始数据进行解码,恢复出像素数据和场同步数据并进行通道间数据同步,输出并行数据和同步的时钟信号。

SPI及寄存器管理单元属于比较成熟的数字逻辑电路,时钟检测单元和PLL也是比较成熟的IP,输入整形单元属于容易实现的模拟电路,对它们本文不做过多的介绍。对DVI芯片来说,核心功能是将输入串行信号解码恢复成原始并行信号。在DVI 1.0接口标准中,解码方式被明确地给出了,可以很容易地实现解码逻辑。一旦解码出场同步信号,各通道之间的同步也不难解决。而数据恢复是本设计的难点。由于输入数据和输入时钟之间的相位关系是不确定的,频率也不相同,无法通过直接采样得到数据。数据恢复单元解决了这一问题。它的作用是确定两者之间的相位关系并进行准确的采样。下面将详细介绍这部分的实现原理。

## 2 数据恢复的逻辑实现

数据恢复单元先对单个码元进行3次过采样,得到对应10 bit串行数据的30 bit采样并行数据,再对这10组

(每组3 bit)采样数据进行采样相位关系判决,得出采样时钟相对数据的超前和滞后关系,进而决定出采样中心,对数据中心进行采样恢复出原始数据。数据恢复单元包括采样数据缓冲单元、相位判决单元、中心判决单元和中心采样单元。数据恢复单元整体结构框架如图2所示。

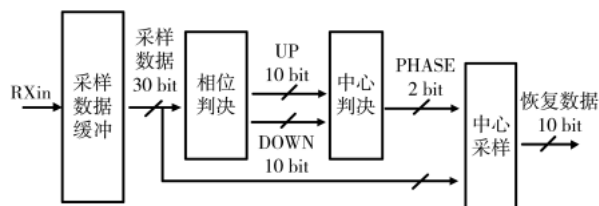


图2 数据恢复单元

本设计采用空间过采样<sup>[15]</sup>的方式对输入数据进行3倍过采样,10 bit信号经过3倍过采样可以产生30 bit信号。文献<sup>[16]</sup>解释了采样倍数选择的依据,此部分内容不在本文描述范围内。根据DVI1.0规范,输入数据是以10 bit为单位进行串行传输,最后需要的是30 bit并行采样数据,所以需要进行数据缓存和串并转换。采样数据缓冲单元结构如图3所示。其中,RXin为接收串行

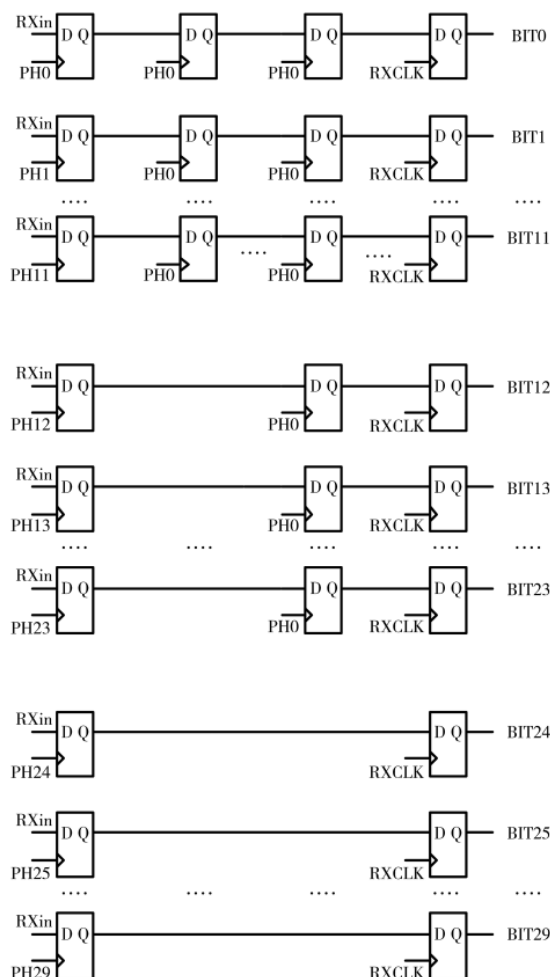


图3 采样数据缓冲单元

数据, RXCLK 为 PLL 恢复出的接收时钟; PH0-11 代表 12 路采样时钟, 频率是接收时钟频率的 2.5 倍, 串行码率的 0.25 倍, 相邻时钟相位差为 1/3 码元周期。采样数据缓冲单元由触发器阵列构成, 利用时钟间的相位关系对数据进行打拍操作, 最终得到 30 bit 并行采样数据。并行采样数据包含了时钟和数据的相位关系信息, 而这种信息是可以通过某种方式提取出来的。

相位判决单元的作用是提取输出采样时钟和输入数据的相位关系并输出。如图 4 所示, 图 4(a) 表示采样时钟对同一位数据进行采样; 图 4(b) 表示采样时钟相位相对数据超前, 采样结果为 1 bit 前一数据和 2 bit 当前数据; 图 4(c) 表示采样时钟相位相对数据滞后, 采样结果为 2 bit 当前数据和 1 bit 后一数据。

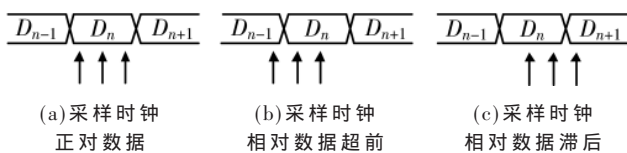


图 4 采样时钟和数据相位关系

为了区分以上情况, 表 1 给出了采样结果和相位之间的真值表关系, 其中 UP/DOWN 为 1 代表相位超前/滞后。根据真值表, 000 和 111 代表图 4(a) 所示情况, 011 和 100 代表图 4(b) 所示情况, 001 和 110 代表图 4(c) 所示情况, 010 和 101 为非正常工作情况。这里需要特别指出一种情况即三路时钟的中间路时钟恰好在数据跳变的时候采样, 这时候采样结果可能为 011、001 或 100、110, UP 为 1 和 DOWN 为 1 的数量就变得不可预估, 既可以归为超前也可以归为滞后, 但不影响最终结果。30 bit 采样结果被分成 10 组 3 bit 数据, 经过 10 个判决单元, 最终得到 10 bit UP 和 10 bit DOWN 信号。

表 1 采样结果和相位关系真值表

$D_{n-1}$	$D_n$	$D_{n+1}$	UP	DOWN
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	1
1	0	1	0	0
1	1	0	1	0
1	1	1	0	0

中心判决单元的作用是对前级 10 bit UP 和 DOWN 信号进行统计判断, 得到最终相位关系 UPT 和 DOWNT 信号。具体的规则是, 若 UP 信号为 1 的数量大于等于 5, 则 UPT 为 1, 反之为 0; 若 DOWN 信号为 1 的数量大于 5, 则 DOWNT 为 1, 反之为 0。由于相位关系只存在三种情况: 超前、滞后和正对关系, 因此 UPT 和 DOWNT 的组合

为 10、01 和 00 (11 为无效状态)。如果出现连续 4 组有效的 UPT 和 DOWNT 信号, 则输出对应有效相位控制信号 Phase[1:0]。

中心采样单元可以根据前级中心判决单元提供的相位控制信号 Phase[1:0] 选取采样中心点, 恢复出 10 bit 并行数据。假设采样数据为  $A_0$ 、 $A_1$ 、 $A_2$ , 若 Phase[1:0] 为 01, 则相位超前, 采样中心点在  $A_2$  位置, 选择  $A_2$  作为输出数据; 若 Phase[1:0] 为 10, 则相位滞后, 采样中心点在  $A_0$  位置, 选择  $A_0$  作为输出数据; 若 Phase[1:0] 为 00, 则相位无超前或滞后, 采样中心点在  $A_1$  位置, 选择  $A_1$  作为输出数据; 若 Phase[1:0] 为 11, 为无效控制信号, 维持之前采样中心点选择, 并且此时输出数据无效。一旦确定采样中心点, 就可以稳定恢复出并行的 10 bit 原始串行数据。

### 3 结果与讨论

本设计涉及模拟和数字设计, 分别对输入整形单元、时钟检测单元、锁相环等模拟模块进行原理图设计、前仿、版图设计和后仿, 对 SPI 及寄存器管理单元、数据恢复单元、解码和同步单元等数字模块进行 Verilog RTL 实现、综合、布局布线、版图设计和后仿, 最后对全芯片进行版图设计和后仿验证。经多种条件验证, 芯片可以满足 DVI1.0 规范的要求, 支持三路并行、单通道传输速率高达 1.65 Gb/s 的编码像素数据的接收和恢复。如图 5 所示, 在接收时钟为 165 MHz, 接收码率为 1.65 Gb/s, 2 pixel 输出模式条件下对全芯片进行后仿验证, 输出可以恢复出原始数据 (QE7-0 为 0x00、0x02、0x04..., QO7-0 为 0x01、0x03、0x05...), 对应图中两组变化信号部分。

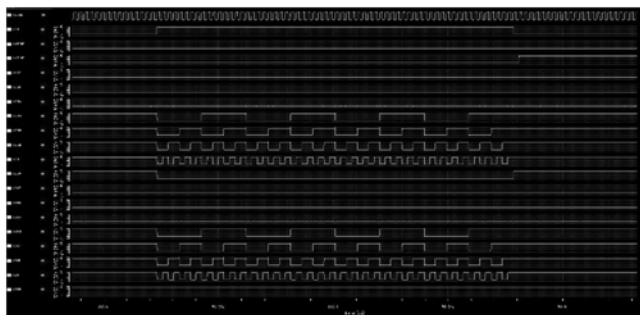


图 5 DVI 芯片的数据接收恢复

为了验证本芯片数据接收恢复的功能以及与市面上 DVI 产品的兼容性, 本文在实际测试时采用了本芯片与已有 DVI 发送芯片级联通信的方案, 如图 6 所示。主

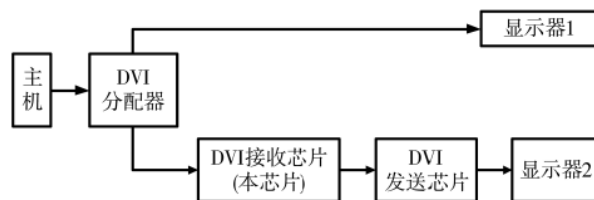


图 6 本芯片功能与兼容性测试方案

机发送 TMDS 编码信号给 DVI 分配器,经 DVI 分配器产生与输入相同的两路 TMDS 输出信号,其中一路信号直接发送给显示器 1 的 DVI 接口,另一路信号经过 DVI 接收芯片(本芯片)、DVI 发送芯片(市面上已有芯片),最终到达显示器 2 的 DVI 接口。

采用该方案对本芯片进行实际测试后,结果如图 7 所示,可以观察到显示器 1 和显示器 2 的图像显示结果相同,说明了显示器 1 和显示器 2 均能够正常接收主机发送的数据。所以,本芯片数据接收恢复功能正常,与发送芯片之间兼容且通信良好,满足 DVI 1.0 规范要求。



图 7 本芯片与市面上某款 DVI 发送芯片之间的级联通信

#### 4 结论

本文研究了 DVI 数据接收恢复的关键技术,采用了一种基于全数字的数据恢复方案,降低了 PLL 的硬件设计难度。在此基础上,设计了一款 DVI 接收芯片,设计满足 DVI1.0 接口规范要求,能够实现单通道传输速率在 250 Mb/s 至 1.65 Gb/s 区间的三路并行 TMDS 编码信号的接收解码。经实际测试,该芯片能够实现 TMDS 信号的接收和恢复,并且与市面上已有 DVI 发送芯片具有良好的兼容性。

#### 参考文献

- [1] 郑志航,惠新标,张聪慧.数字视频接口 DVI[J].电子世界,2003(1):10-13.
- [2] 沈兰荪,田栋.无线视频传输技术的发展[J].电子技术应用,2001,27(1):6-9.
- [3] 倪榕斌.DVI 接口在电视机及显示器中的应用[J].电子世界,2004(5):7-8.
- [4] NURRACHMAT A,MACII E,PONCINO M.Low-energy pixel approximation for DVI-Based LCD interfaces[C]//IEEE International Symposium on Circuits and Systems,2006:4337-

4340.

- [5] Bai Xiaoping,Zhang Hongwei.Study of digital video interface(DVI) hardware design in multimedia system[C]//IEEE Workshop on Microelectronics and Electron Devices,2007:37-39.
- [6] CHO K,LEE S J,KIM S M,et al.Display signal interface techniques for mobile applications[C]//IEEE 3rd Asia Symposium on Quality Electronic Design,2011:105-108.
- [7] 尹淑仙,徐火生.DVI 核心技术剖析与逻辑实现[J].液晶与显示,2007,22(6):775-776.
- [8] SINGH A,MASSOTH W,FIELDS U,et al.Signal integrity improvement in the TMDS link at UXGA[C]//IEEE the 2002 45th Midwest Symposium on Circuits and Systems,2002,2:429-432.
- [9] Digital display working group.DVI test and measurement guide(revision 1.0)[S].2001.
- [10] KIM J,JEONG D K.Multi-gigabit-rate clock and data recovery based on blind oversampling[J].IEEE Communication Magazine,2003:68-74.
- [11] GOLESTAN S,MONFARED M,FREIJEDO F D,et al.Dynamics assessment of advanced single-phase PLL structures[J].IEEE Transactions on Industrial Electronics,2013,60(6):2167-2177.
- [12] Cai Deyun,Fu Haipeng,Ren Junyan,et al.A dividerless PLL with low power and low reference spur by aperture-phase detector and phase-to-analog converter[J].IEEE Transactions on Circuits and Systems,2013,60(1):37-50.
- [13] Ye Zukui.Design and implementation of digital visual interface receiver[D].Tainan:Tainan University of Technology,2002.
- [14] 唐茜.DVI 接收端模拟部分电路研究与实现[D].长沙:湖南大学,2013.
- [15] WERNER B,WOLFGANG E,TON E,et al.Technologies and building blocks for fast packet forwarding[J].IEEE Commun Magazine,2001,39(1):7077.
- [16] MOON Y,JEONG D K,AHN G.A 0.6~2.5G baud CMOS tracked 3over sampling transceiver with dead-zone phase detection for robust clock/data recovery[J].IEEE J Solid-State Circuits,2001,36(12):1974.

(收稿日期:2021-08-04)

#### 作者简介:

顾泓(1993-),通信作者,男,硕士,工程师,主要研究方向:工业以太网、时间敏感网络 TSN,E-mail:guhongseu@163.com。

方震(1989-),男,本科,工程师,主要研究方向:物联网、工业以太网。



扫码下载电子文档



## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所