

## 10-16 位旋变数字转换器中 Sigma-Delta 调制器设计\*

谷 军<sup>1,2</sup>, 张国华<sup>1,2</sup>, 朱晓宇<sup>2</sup>

(1. 江南大学 物联网工程学院, 江苏 无锡 214000; 2. 中国电子科技集团第五十八研究所, 江苏 无锡 214000)

**摘要:** 设计了一种应用于 10-16 位旋变数字转换器的 Sigma-Delta 调制器, 调制器为二阶结构, 在此基础上增加了斩波调制器电路祛除闪烁噪声, 通过积分器的电荷比例改善运放的动态范围, 并利用 Cadence 仿真软件中的 Spectre 工具对调制器进行 VerilogA 建模, 并对其性能进行仿真, 此外, 利用仿真软件 MATLAB 软件对调制器进行 FFT 频谱分析, 并比较两者之间的仿真结果, 根据仿真结果显示, 该调制器的设计满足 10-16 位转换器的使用要求。

**关键词:** Sigma-Delta 调制器; 频谱分析; 斩波稳定技术

中图分类号: TN432

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211958

中文引用格式: 谷军, 张国华, 朱晓宇. 10-16 位旋变数字转换器中 Sigma-Delta 调制器设计[J]. 电子技术应用, 2022, 48(3): 45-48.

英文引用格式: Gu Jun, Zhang Guohua, Zhu Xiaoyu. Design of sigma-delta modulator 10-16 bits for resolver digital converter[J]. Application of Electronic Technique, 2022, 48(3): 45-48.

## Design of sigma-delta modulator 10-16 bits for resolver digital converter

Gu Jun<sup>1,2</sup>, Zhang Guohua<sup>1,2</sup>, Zhu Xiaoyu<sup>2</sup>

(1. College of Computer Internet of Things Engineering, Jiangnan University, Wuxi 214000, China;

2. The 58th Research Institute of China Electronics Technology, Wuxi 214000, China)

**Abstract:** In this paper, a sigma-delta modulator for 10-16 bit resolver digital converter is designed. The modulator is a second-order structure. On this basis, a chopper modulator circuit is added to eliminate the flicker noise. The dynamic range of the operational amplifier is improved by the charge ratio of the integrator. The VerilogA model of modulator is established by using Spectre tool in Cadence simulation software, and its performance is simulated. In addition, the simulation software MATLAB is used to analyze the FFT spectrum of the modulator, and the simulation results between them are compared. According to the simulation results, the design of the modulator meets the requirements of 10-16 bit converter.

**Key words:** sigma-delta modulator; spectrum analysis; chopper stabilization

## 0 引言

随着 VLSI 技术的高速发展, 集成电路的速度已然不再是设计中的短板, 以速度换取精度成为了转换器设计中的共识, 过采样技术也成为了转换器中最为广泛采用的技术之一。Sigma-Delta ADC ( $\Sigma$ - $\Delta$  ADC) 最早出现于 1962 年, 是使用广泛的过采样 ADC, 它是所有电路非理想性的最稳定的 ADC。 $\Sigma$ - $\Delta$  ADC 在目前大多数字混合系统中占有重要地位, 例如模拟电路与强大的数字处理环境之间的接口电路<sup>[1-3]</sup>。它们最适于慢速和中速转换, 例如检测装置、数字语音和音频应用。与奈奎斯特 ADC 相比,  $\Sigma$ - $\Delta$  ADC 主要增加了  $\Sigma$ - $\Delta$  调制器与数字抽取器, 后者占据了大部分 ADC 芯片面积, 比调制器消耗更多的功耗<sup>[4]</sup>。输入信号经过采样保持电路送入调制器中, 在调制器中信号被转换为数字码流, 该数字码流经过低通

滤波器滤除高频噪声并将其采样率降至奈奎斯特频率, 得到最终数字输出。调制器完成采样及量化的功能<sup>[5]</sup>。本文研究的目的是为 10-16 位旋变数字转换器设计一种可靠的  $\Sigma$ - $\Delta$  调制器, 优化其性能。

1  $\Sigma$ - $\Delta$  调制器原理

对于一阶调制器来说, 采样率每提高一倍, 其分辨率可增加 1.5 位, 这就意味着为了实现高分辨率, 必须使用相当大的采样率。另外, 某些情况下, 一阶调制器的输出频谱整形效果很差, 并且可能会产生落入信号频带内的噪声分量<sup>[6]</sup>。在环路中使用两个积分器可以获得更好的性能, 从而形成二阶调制器。本文面向数字转换器设计的调制器为二阶, 其二阶  $\Sigma$ - $\Delta$  调制器原理由图 1 所示。

二阶调制器是由一阶调制器在前馈支路中增加一个积分器扩展而成的。积分器的传递函数  $H_1(z) = \frac{1}{1-z^{-1}}$ ,

\* 基金项目: 国家自然科学基金项目(61704161)

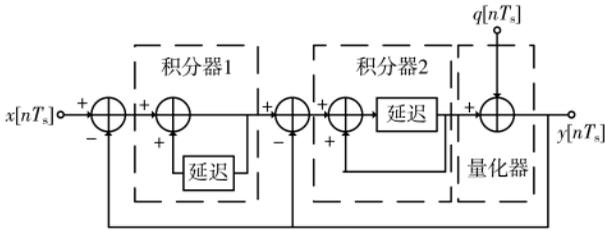


图1 二阶Σ-Δ调制器模型

第二个积分器包括一个延时单元,则其传递函数  $H_2(z) = \frac{z^{-1}}{1-z^{-1}}$ ,通过观察函数,可以得到以下式(1)~式(3):

$$Y(z) = z^{-1}X(z) + (1-z^{-1})^2Q(z) \quad (1)$$

调制信号与噪声的传递函数可以用以下公式表示:

$$STF(z) = \frac{H(z)}{1+H(z)} = z^{-1} \quad (2)$$

$$NTF(z) = \frac{1}{1+H(z)} = (1-z^{-1})^2 \quad (3)$$

在调制器设计中  $STF(z)$  等于 1,或者至少在信号带内等于 1,从而信号可以不经过衰减通过调制器,  $NTF(z)$  在带内被设计成具有衰减效果。从两个传递函数可以看出,调制器对输入信号只是起到了延迟作用,因此有用的信号可以无损地传输<sup>[7-8]</sup>。

## 2 Σ-Δ调制器的设计

### 2.1 调制器的整体设计架构

Σ-Δ ADC 是一种过采样的数模转换器,它的采样频率远大于信号的奈奎斯特频率,以时间的精度换取幅值的精度。量化噪声在信号带宽内的大小决定了过采样 ADC 的精度,量化噪声谱均匀分布在  $[0, f_s/2]$  之间,因而采样频率  $f_s$  越大,信号带宽内的噪声功率越小,使得量化噪声在信号带宽内稀释,从而提高过采样 ADC 的精度<sup>[9-11]</sup>。Σ-Δ 调制器对量化噪声进行整形,对量化噪声来说形成一个高通滤波器,这样信号带宽内的量化噪声在过采样技术的基础上继续减少。本文面向旋变转换器设计的 Σ-Δ 调制器原理图如图 2 所示。

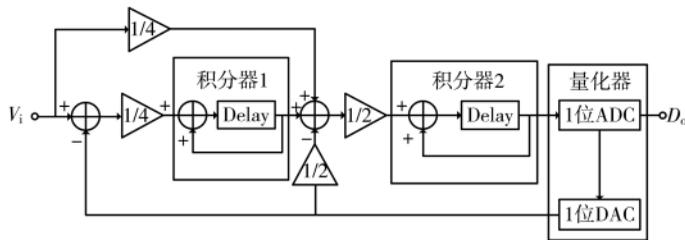


图2 转换器中Σ-Δ调制器原理框图

通过以上原理图可知,转换器中的调制器采用 2 阶单环路 1 位量化器系统结构,其中两个积分器实现 2 阶调制器,量化器由 1 位的 ADC 与 DAC 结构组成。积分器实现将有用的低频输入信号通过高频时钟调制至高频,通过数字滤波器把处于高频的量化噪声滤除,有效

信号恢复至低频的功能,再经过数字抽取滤波之后即可以完成整个 ADC 的功能<sup>[12-14]</sup>。

为保证调制器的信噪比并避免谐波失真的关键是必须在运算放大器中采用合适的动态范围,一方面运算放大器的摆幅不能太高以引起饱和,另一方面也不能低到与电子噪声相当的程度,所以按一定的比例适当地衰减(或放大)积分器的输入,通过在下一级的输入端进行反过来放大(或衰减)来补偿。因为衰减和放大相互抵消,运算放大器的摆幅得到优化,在本文设计的调制器中的电路的实现方式为通过积分器的比例实现<sup>[15]</sup>。

根据图 2 原理图得到输入输出的关系如式(4)所示:

$$D_o(z) = \frac{\frac{V_i(z)}{8}z^{-1} + (1-z^{-1})^2Q(z)}{\frac{7}{8}z^{-2} - \frac{7}{4}z^{-1} + 1} \quad (4)$$

### 2.2 新增斩波电路滤除闪烁噪声

闪烁噪声是因为电荷载流子运动到晶体管的栅氧化层和硅衬底的界面产生,而且随着 CMOS 工艺步骤的增加和特征尺寸的减少,闪烁噪声越来越大。目前降低闪烁噪声的方法主要有:自调零技术、相关双采样技术和斩波稳定技术。本文采取的方法为斩波稳定技术,因为在理想情况下,斩波稳定运放应能完全消除直流失调和闪烁噪声,对于连续信号,斩波电路的调制解调方法更好地减小闪烁噪声。本文设计的斩波调制电路如图 3 所示。

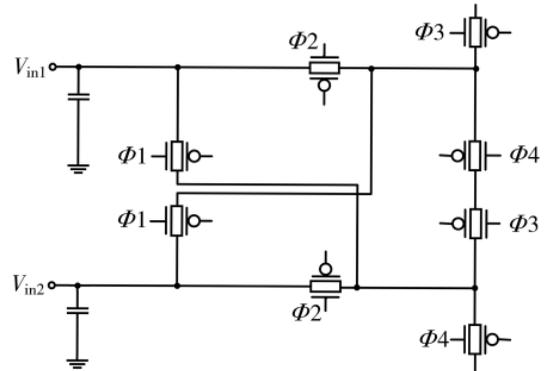


图3 斩波调制电路

根据图 3 所示的斩波电路,在本文设计调制器中作用原理为:输入是差分信号的正弦波,通过调制器,输入信号被调制到时钟信号(图中  $\Phi_1-\Phi_4$ ) 的谐波频率上,而后由相同的方波解调信号解调,这样闪烁噪声只被方波调制信号调制到高频,从而与量化噪声最终低频滤波器滤除。

### 2.3 不重叠时钟电路

不重叠的时钟电路是为了控制斩波电路与积分器的工作状态,对斩波电路来说,四组时钟信号处理斩波的调制与解调,由于实际操作中的非理想因素,不重叠的时钟没法实现完全一致的反相状态,这将导致电荷传递会有误差,积分器功能没有办法正常实现。并且对积分器来说,如果两相时间间隔太短,可能会造成延时时

钟的重叠。但时间间隔也不能太长,否则会引起系统错误,导致系统的误差增大。与此同时,电路的其他时序会难以满足,并可能出现电荷泄露的现象,这不仅降低了电路的集成精度,还会导致电路的非线性效应。与斩波电路不同的是,处理积分器的时钟信号频率不同,斩波电路的时钟频率约是积分器时钟频率的2倍,由于各相的结构相同,因此在这里只呈现其中一相的时钟电路设计图,如图4所示。

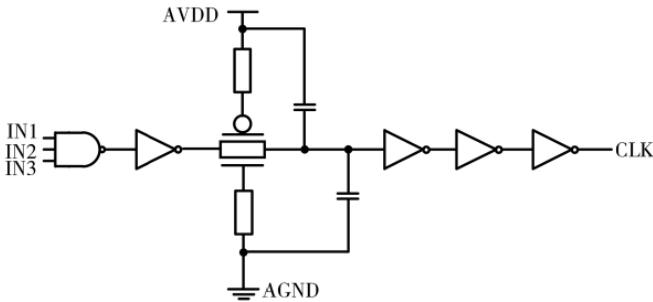


图4 时钟电路

积分器的时钟频率与斩波电路的时钟频率在电容值与数字寄存器配置的三输入与非门控制信号的频率不同,导致两者频率的不同。

### 3 $\Sigma$ - $\Delta$ 调制器的建模与仿真

根据积分器在积分相和采样相的电压转换关系,可以 VerilogA 模型取代原电路实现仿真加速,同时可以分析该调制器在该模型下的 FFT 波形。激励条件为:输入  $3.15 V_{ip}$ , 频率为 2.1 kHz, 共模信号为 2.47 V 的正弦信号到该模型中, 采样点为 32 768, 信号带宽为 20 kHz。VerilogA 模型仿真得到的 FFT 波形如图 5 所示。

由图 5 所知,在 20 kHz 带宽下得到的  $\Sigma$ - $\Delta$  调制器的有效位数为 13, 信噪比为 80 dB。同样,对于该调制器电路,搭建 MATLAB 模型,分析该调制器在 MATLAB 模型下的 FFT 波形,并与 VerilogA 所分析的结果做对比。根据调制器的结构搭建如图 6 所示的 MATLAB 模型。

其中  $a=1/4, b=1/2$ , 通过对其转换码流进行 FFT 分析,可以得到频谱图,如图 7 所示。

通过 MATLAB 与 VerilogA 仿真可以发现两频谱图得

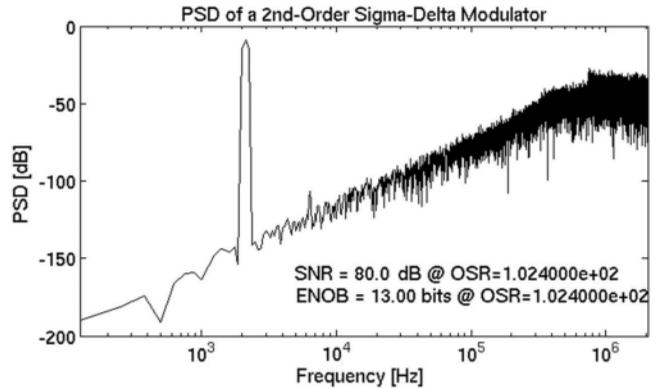


图5 VerilogA 模型仿真频谱图

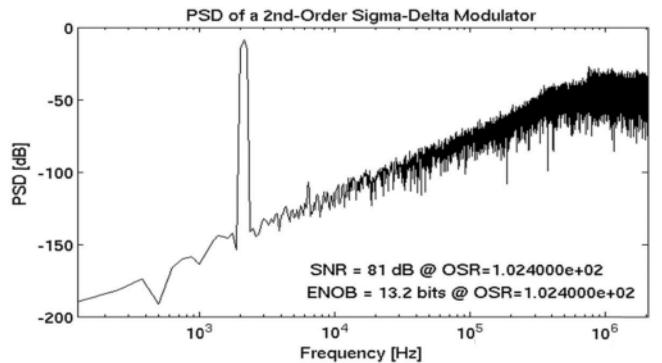


图7 MATLAB 频谱分析

出的结果一致。

而本文面向 10-16 位转换器设计的  $\Sigma$ - $\Delta$  电路输入带宽会根据所配置的求解精度而不同,根据 Spectrum 说明,转换器在不同分辨率下对激励频率有一定要求,10、12、14、16 位分辨率对应的激励频率范围不同,因此  $\Sigma$ - $\Delta$  调制器输入信号带宽也会发生改变,其对应关系如表 1 所示。

表 1  $\Sigma$ - $\Delta$  调制器信号带宽与分辨率关系

分辨率/bit	激励频率/kHz
10	10~20
12	6~20
14	3~12
16	2~10

对 VerilogA 模型产生的码流在不同的带宽下做 FFT 分析,其频谱输出如图 8~图 10 所示。

根据以上频谱图分析

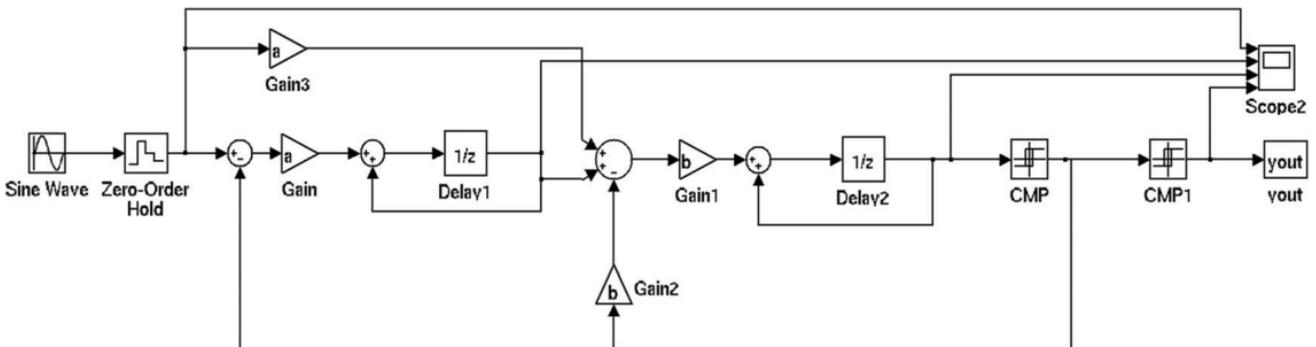


图6  $\Sigma$ - $\Delta$  调制器的 MATLAB 模型

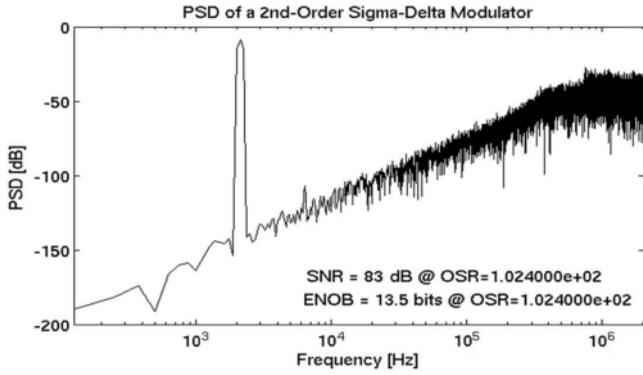


图 8 带宽为 20 kHz 的 FFT 求解

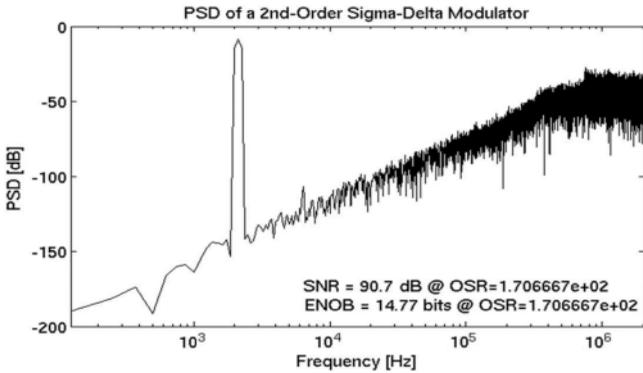


图 9 带宽为 12 kHz 的 FFT 求解

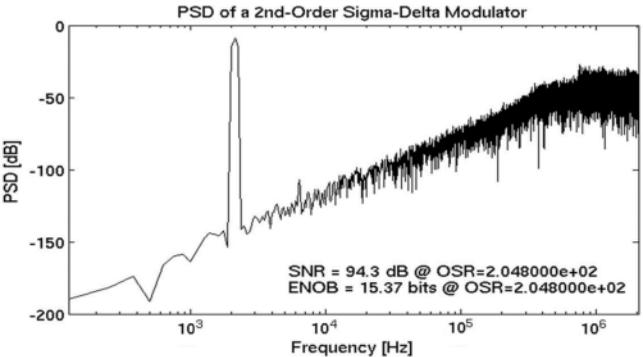


图 10 带宽为 10 kHz 的 FFT 求解

得到表 2 所示结果。

根据表 2 的仿真结果得出结论,该调制器的设置满足旋变数字转换器的 10-16 位分辨率的设计要求。

4 结论

本文设计了一种面向 10-16 位旋变数字转换器的  $\Sigma-\Delta$  调制器电路,包括积分器、斩波电路、时钟电路与比较器。利用了 Cadence 仿真软件中的 Spectre 仿真工具完成了电路的仿真,并利用 MATLAB 建模分析了调制器的 FFT 波形以验证调制器的性能。根据仿真结果得到,该调制器的设计符合精度

表 2 不同带宽下 FFT 仿真结果

带宽/kHz	有效位数
20	13.5
12	14.77
10	15.37

要求。

参考文献

- [1] BLOOM B H.Space/time trade-offs in hash coding with allowable errors[J].Comm.of the ACM, 1970, 13 (17): 422-426.
- [2] FAN L, CAO P, ALMEIDA J, et al.Summary cache: a scalable wide-area web cache sharing protocol[J].IEEE/ACM Trans.on Networking, 2000, 8(3): 281-293.
- [3] YAO X, LIU L, LI D, et al.A 90 dB DR audio delta-sigma ADC with headphone driver for hearing aid[C]//2010 3rd International Congress on Image and Signal Processing, Yantai, 2010: 2890-2893.
- [4] KUMMERL R, GRISSETTI G, STRASDAT H, et al.G2o: a general framework for graph optimization[C]//2011 IEEE International Conference on Robotics and Automation(ICRA), 2011.
- [5] SUNDERHAUF N, PROTZEL P.Towards a robust back-end for pose graph SLAM[C]//2012 IEEE International Conference on Robotics and Automation(ICRA), 2012.
- [6] 蔡光杰, 沈延钊.一种适合集成传感器的微弱信号读出放大器[J].微电子学, 2004, 34(1): 97-100.
- [7] 梁帅, 卫宝跃, 刘昱, 等.24 位低功耗音频 Sigma-Delta 数模转换器数字前端实现[J].微电子学与计算机, 2015, 32(5): 36-40.
- [8] 陈弘.低功耗连续时间 Sigma-Delta 调制器的关键技术研究[D].西安:西安电子科技大学, 2019.
- [9] 魏榕山, 陈林城.高精度低功耗 Sigma-Delta 调制器的设计[J].电子科技, 2015, 28(10): 126-129.
- [10] 来新泉, 陈勇, 叶强, 等.一种 3 阶 Mash 结构的  $\Sigma\Delta$  音频数模转换器[J].电子学报, 2018, 46(5): 1240-1245.
- [11] 高速模拟/数字转换器首次采用 Sigma-Delta 技术[J].电子设计技术, 2008(3): 18.
- [12] 朱洪波.2-1 MASH 架构 Sigma-delta 调制器的设计[D].武汉:华中科技大学, 2019.
- [13] 胡伟.连续时间 Sigma-Delta 调制器的研究与设计[D].南京:南京邮电大学, 2018.
- [14] 谢思怀.应用于线性隔离传输系统的  $\Sigma-\Delta$  调制器设计[D].西安:西安电子科技大学, 2019.
- [15] 常科.噪声整形型 Sigma-Delta 模数转换器的研究[D].西安:西安电子科技大学, 2019.

(收稿日期: 2021-07-19)

作者简介:

谷军(1995-),男,硕士,主要研究方向:接口驱动电路。

张国华(1965-),男,研究员级高工,主要研究方向:大规模集成电路设计与封装技术。

朱晓宇(1990-),男,硕士研究生,工程师,主要研究方向:数模混合集成电路设计。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所