

一种进位链 TDC 的实现及其抽头方式研究

李海涛¹, 李斌康^{1,2}, 田耕^{1,2}, 阮林波^{1,2}, 吕宗璟¹

(1.西北核技术研究所, 陕西 西安 710024; 2.强脉冲辐射环境模拟与效应国家重点实验室, 陕西 西安 710024)

摘要: 采用 Xilinx 公司的 Kintex-7 内部的进位链, 实现了时间数字转换器(Time to Digital Converter, TDC)。采用码密度校准方法对 TDC 进行逐位校准, 标定了 TDC 的码宽。码密度校准过程中发现, 不同的进位链抽头位置会导致 TDC 的码宽不同、非线性不同, 研究了 2 抽头、4 抽头方式下的 TDC 的码宽和非线性, 在“0tap+3tap”的 2 抽头方式下, TDC 可以获得较好的线性, 时间分辨率为 25 ps(对应最低有效位(Least Significant Bit, LSB)), 微分非线性范围为-0.84~3.1 LSB, 积分非线性范围为-5.2~2.2 LSB。

关键词: 进位链; 时间数字转换器; 码密度校准; 抽头方式; 温度计码; 冒泡现象; 非线性

中图分类号: TN79

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.212120

中文引用格式: 李海涛, 李斌康, 田耕, 等. 一种进位链 TDC 的实现及其抽头方式研究[J]. 电子技术应用, 2022, 48(4): 53-56, 61.

英文引用格式: Li Haitao, Li Binkang, Tian Geng, et al. Research of a carry chain TDC and its tap method[J]. Application of Electronic Technique, 2022, 48(4): 53-56, 61.

Research of a carry chain TDC and its tap method

Li Haitao¹, Li Binkang^{1,2}, Tian Geng^{1,2}, Ruan Linbo^{1,2}, Lv Zongjing¹

(1.Northwest Institute of Nuclear Technology, Xi'an 710024, China;

2.State Key Laboratory of Intense Pulsed Radiation Simulation and Effect, Xi'an 710024, China)

Abstract: A time to digital converter(TDC) is implemented using carry chains in Xilinx Kintex-7 FPGA. FPGA-TDC is calibrated bin-by-bin through the code density calibration method. In the calibration process, it is found that different carry chain tap modes will lead to different code widths and nonlinearity of TDC. The code widths and nonlinearity of TDC in 2-tap and 4-tap modes are studied. In the "0tap + 3tap" 2-tap mode, the FPGA-TDC can obtain the optimal nonlinearity with a time resolution of 25 ps (corresponding to least significant bit(LSB)), differential nonlinearity(DNL) ranges -0.84~3.1 LSB, integral nonlinearity(INL) ranges -5.2~2.2 LSB.

Key words: carry chain; time to digital converter; code density calibration; tap method; thermometer code; bubbling problem; nonlinearity

0 引言

时间是物理学的 7 个基本物理量之一^[1], 在物理学发展中起到重要作用, 精确地获取研究对象的时间信息具有重要意义。对时间信息的获取可以由时间数字转换器(Time to Digital Converter, TDC)来实现, TDC 将时间信息转换为二进制数字编码, 输出到后端分析, 得到具体时间信息。TDC 广泛应用在高能物理、卫星授时、导航定位、数字通信、医学成像等领域^[2-5]。

TDC 有多种实现方法, 包括直接计数法、时间间隔扩展法、时间幅度转换法、多相位时钟法、游标法、抽头延迟链法、差分延迟链法等, 各种方法既可以独立使用, 又可以配合使用, 实现从低精度到高精度、从细时间到粗时间的测量。从技术上划分, TDC 的实现可以分为模拟方法和数字方法; 从平台上划分, TDC 可以在专用

集成电路平台 (Application Specific Integrated Circuit, ASIC)、FPGA 等平台上实现。ASIC-TDC 的测量精度、稳定性较高, 一般都是针对某一特定场景应用设计, 不具有通用性和可扩展能力, 并且开发 ASIC 芯片的周期很长; FPGA-TDC 具有开发周期短、成本低、设计灵活等优点, 但是精度和稳定性较差。随着半导体制造工艺的进步, FPGA-TDC 的测量精度和稳定性等同步提高, 实现高精度 FPGA-TDC 具有重要研究意义。

目前, 实现高精度 FPGA-TDC 的研究主要集中在几个方面^[2,6-9]: (1)FPGA-TDC 的实现, 使用 FPGA 内部资源实现高精度 TDC, 把时间信息转换成二进制数字编码; (2)TDC 码宽的自动校准, 选择合适的校准方法, 校准 TDC 码宽, 降低 FPGA 制造工艺、工作电压、工作温度(Process、Voltage、Temperature, PVT)等对 TDC 的影响; (3)针对 TDC

码宽的不一致性,如何降低测量误差,进一步提高测试精度;(4)动态监测并实时校准 TDC 码宽,针对特殊要求(如航天等)进行冗余设计等。对 FPGA-TDC 的研究主要集中在前述的第 1、第 3 方面,在不同 FPGA 平台上实现进位链 TDC。受限于进位链的线性度,TDC 的线性较差,导致时间测量精度下降。通过多链单次测量求平均^[1,8,10]或者单链多次测量求平均^[11-12]的方法,可以提高 TDC 的线性和时间测量精度。对 TDC 的码宽的动态监测、冗余设计等,一般应用在航空航天等特殊领域^[2]。对于单链 TDC 的码宽校准和抽头方式方面(前述第 2 方面),缺少较为深入的研究。

本文利用 Xilinx 公司 28 nm 工艺的 Kintex-7 FPGA 内部的进位链资源,通过进位链实现 TDC,共使用 128 个进位链,细时间测量范围大于 5 ns。并给出码宽校准的误差计算公式,采用码密度校准方法对 TDC 进行逐位校准,测量得到 4 抽头模式、2 抽头模式下的 TDC 典型码宽,给出不同抽头模式的 TDC 典型性能参数。

1 进位链 TDC 实现

典型的进位链 TDC 原理如图 1 所示,包含了脉冲信号调理、时钟产生分发设计、进位链设计、温度计码转二进制编码电路设计、自动校准设计等。脉冲信号(待测信号或随机校准信号)经过脉冲信号调理单元称为待测信号,从下方进入到进位链中;待测信号一般小于一个 TDC 主时钟周期,确保级联延迟链输出为温度计码;温度计码经过 2 拍寄存以避免亚稳态传播,进入到编码部分,采用改进的折半查找法完成温度计码的编码,输出对应的二进制码;采用码密度校准方法建立查找表,将二进制码对应的查找表的结果输出到后端处理,便可获得高精度的时间信息。接下来结合 FPGA 的具体逻辑资源,介绍进位链 TDC 的实现。

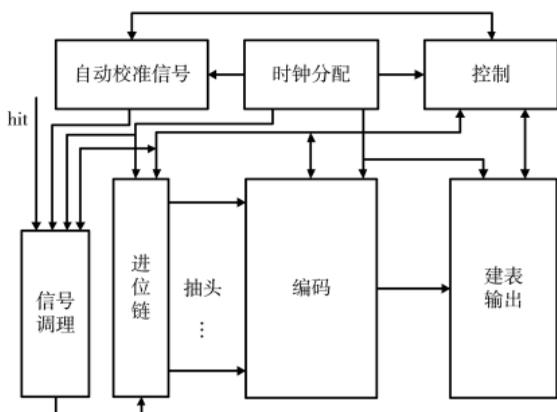


图 1 进位链 TDC 典型原理

基于 Kintex-7 芯片内部的进位链资源实现 TDC, Kintex-7 系列 FPGA 的基本逻辑单元为可配置逻辑块 (Configurable Logic Block, CLB), 每个 CLB 中包含两个 Slice 结构,每个 Slice 内部进位链结构如图 2 所示,设计

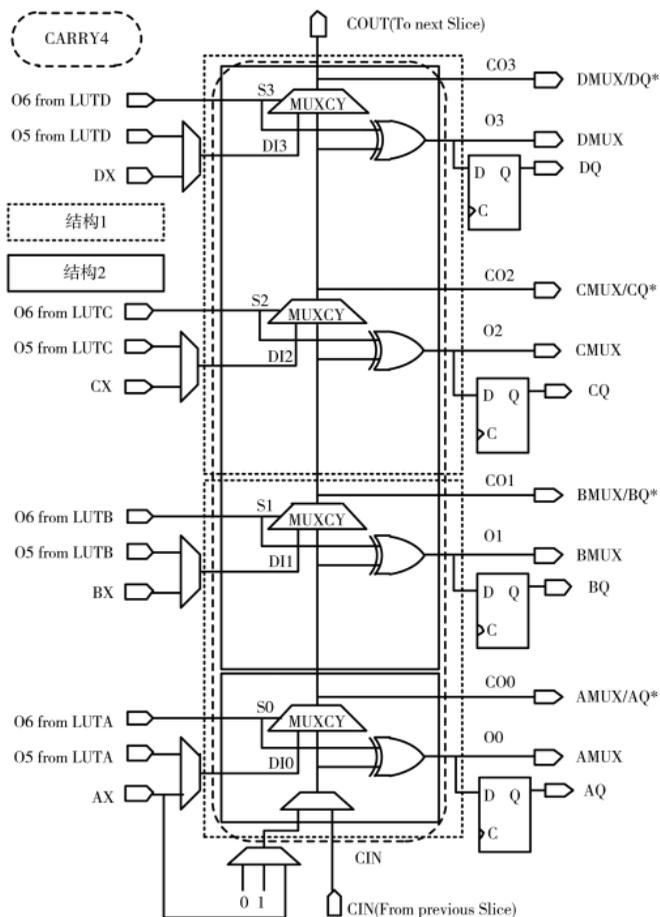


图 2 slice 内部典型进位链示意

时可直接调用 Xilinx 提供的原语例化进位链。hit 信号从第一个进位链的 CYINIT 端口输入^[13],输入的 hit 脉冲经过脉冲信号调理之后,待测信号沿着进位链向上传播,CIN 和 COUT 用来连接上下相邻的进位链形成进位链,其附近的 4 个寄存器可分别寄存 O0~O3 或 CO0~CO3 抽头的 4 个输出,进位链的综合版图如图 3 所示,可以采用多种抽头方式引出数据并寄存,不同抽头方式对应的时间分辨率不同,包括 1 抽头、2 抽头、4 抽头等,图中显示为 2 抽头方式,抽头分别为 CO0、CO3。

进位链 TDC 中触发器阵列寄存的数据是温度计码,当没有脉冲信号时,进位链中所有的抽头输出均为 0;当有脉冲信号进入进位链时,进位链输出信号将从最低级开始逐级发生 0-1 跳变,待测信号经过的进位链抽头将输出数字编码 1,没有经过的进位链抽头将输出数字编码 0,可以根据进位链抽头输出的 1 的个数来判断待测信号在进位链中的延时^[14]。当抽头较多时,温度计码位数很多,会占用大量存储资源,且不利于下一步的数据运算处理,故常常需要将温度计码转换为二进制码。

有多种方法可以把温度计码转换成二进制码,如顺序查找法、折半查找法、累加查找法等^[11-12,15-16],转换的核心思想都是通过查找温度计码中 1-0(0-1)跳变的位

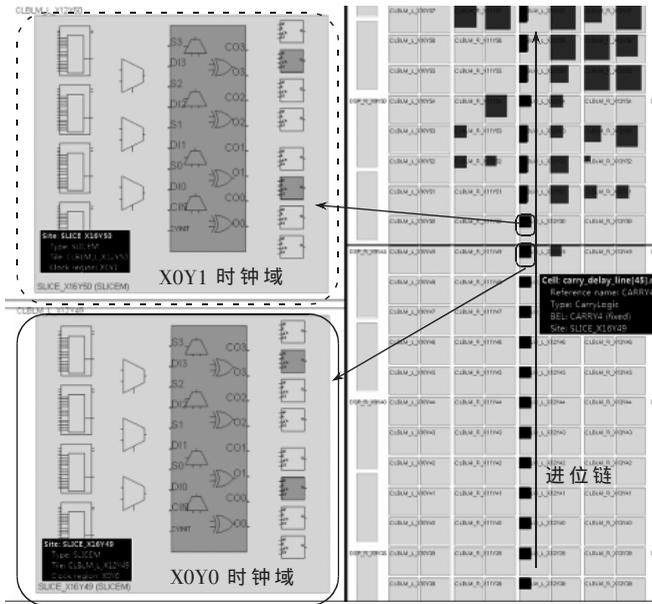


图3 进位链综合后版图(跨时钟域)

置,达到统计温度计码中1或0的个数的目的。根据文献[1]的研究结果,受到进位链固有的超前进位特性影响,抽头数据的温度计码可能会发生冒泡(bubble)现象,即是抽头所在的物理位置和对时间的对应关系并非严格递增,如对同一个延时的温度计码,没有冒泡的温度计码是“0000…1111…1111”,冒泡的温度计码是“0000…1101…1111”。在编码时充分考虑了冒泡的问题,使用改进的折半查找法进行编码,编码时采用对最后16 bit温度计码直接数1的方法解决温度计码的冒泡问题,采用pipeline的方式进行逐级编码以减小TDC的死时间,改进的折半查找法具有效率高、资源占用少等优点。

如前述,进位链TDC受PVT等因素的影响^[17-18],其包含的延迟单元延时时会发生变化,每次使用之前需要进行校准,建立新的查找表,TDC的校准方法主要有平均校准和逐位(bin-by-bin)校准两种方法。平均校准的优点是可以对TDC进行快速校准,但是所得到的只是所有延迟单元抽头的平均延迟时间,无法对TDC中每个延迟单元进行校准,会导致较大的测量误差;码密度法可以对进位链中每一个延迟单元抽头进行逐位校准,通过码密度测试可以精确标定每个延迟单元的延时。

码密度校准方法采用和TDC主时钟不相关的随机信号,以确保在多次测量之中,随机信号近似均匀地落在TDC的延时路径上。研究表明^[1],为了尽可能降低延迟单元的时间误差,需要增加校准次数,增加校准次数就会增加校准时间、增加资源占用量,使用时需要根据项目指标要求折中考虑。校准误差和校准次数之间的关系式如式(1)所示:

$$\sigma_{\tau} = \frac{T}{N} \sqrt{\sum_{i=1}^k \sigma_i^2 + \frac{\sigma_i^2}{2}} < \frac{T}{\sqrt{N}} \sqrt{1 - \frac{1}{k}} < \frac{T}{\sqrt{N}} \quad (1)$$

式中, N 为校准次数; k 为级联链抽头数目; T 为参考时钟周期, $T=5\text{ ns}$; σ_i 为单个延迟单元的标准差; σ_{τ} 为平最大标准差。根据式(1)推导可知:本文实现的码密度校准次数为 10^6 ,对应的TDC延迟时间的最大标准差小于 5 ps 。

2 抽头方式研究

在Kintex-7 FPGA平台上,通过进位链实现了TDC,使用128个进位链,细时间测量范围大于 5 ns , 5 ns 为TDC主时钟周期。进位链延时大于 5 ns ,这是因为:(1)可以保证TDC输出为温度计码,不会出现全1码;(2)进位链自身的延时受到PVT等因素的影响,本身延时就有变化, 5 ns 延迟链对应的抽头数目并不是一个固定值196(这也正是每次上电都需要自动校准TDC延时的原因之一);(3)进位链数目为2的幂指数,方便后续的编解码工作等。

从图2中可以看到,每个进位链最多可以输出4个抽头,可以从CO0~CO3、O0~O3共8个抽头中的抽出任意4个,一般采用CO0~CO3共4个抽头,输出编码为温度计码,可以达到较高的时间分辨,4抽头方式的TDC的典型码宽值如图4所示,(1)4抽头方式的码宽差别过大,非线性较差;(2)根据文献[1]、[3]、[5]的研究成果,使用该抽头方式,受到进位链固有的超前进位特性影响,温度计码会发生冒泡现象,即在编码时需要充分考虑冒泡问题,增加了编码电路的复杂度,增加编码时间;(3)抽头过多,也会增加编码部分的资源占有量。可以看到,在4抽头方式下,一个进位链总的典型延时约 53 ps ,后续的2个抽头方式下,一个进位链总的典型延时平均约 50 ps (如图5所示),两者之间的差别是统计误差导致的,延时误差值(3 ps)也在文中提到的平均校准误差值(5 ps)分布之内。

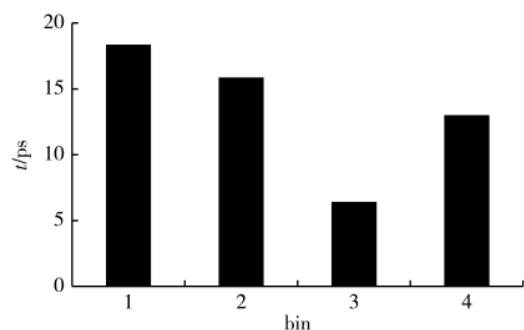


图4 进位链4抽头典型码宽

利用布局布线约束,研究1个进位链只引出2个抽头的方式(CO1、CO3),即“1tap+3tap”,如图2所示的结构1(粗虚线框),第1个抽头的延迟单元包括asymmetry factor+2MUXCY,第2个抽头的延迟单元包括2MUXCY。这种2抽头方式的TDC的非线性要强于4抽头方式的TDC,其码宽如图5所示,其非线性如图6、图7所示。

为了提高TDC的线性,本文还研究了另外一种2抽

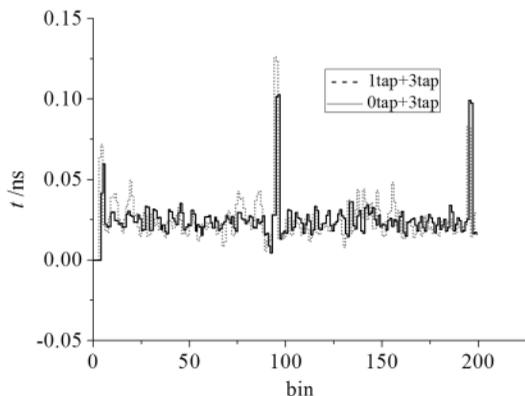


图5 两种2抽头方式的码宽

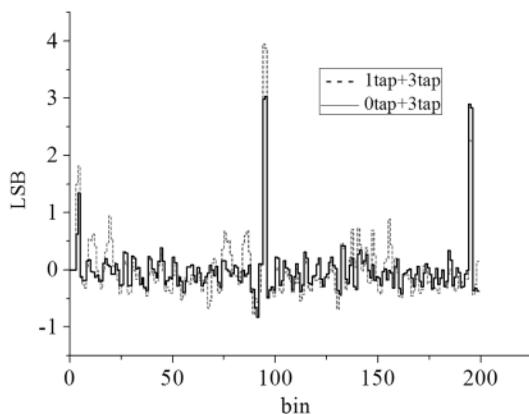


图6 两种2抽头方式的微分非线性

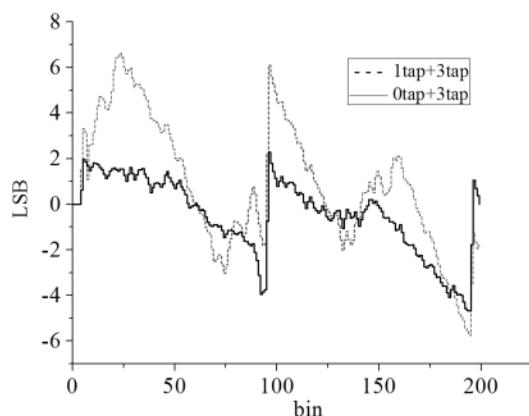


图7 两种2抽头方式的积分非线性

头的引出方式(CO0、CO3),即“0tap+3tap”,如图2所示结构2(实线框),第1个抽头的延迟单元包括asymmetry factor+MUXCY,第2个抽头的延迟单元包括3MUXCY。这种抽头方式的TDC的非线性较以上两种抽头方式的TDC都好,其码宽如图5所示,其非线性如图6、图7所示。可以看到,“0tap+3tap”的2抽头方式的码宽更均匀,非线性也更好一些,时间分辨率约25 ps(对应最低有效位(Least Significant Bit, LSB)),微分非线性范围为-0.84~3.1 LSB,积分非线性范围为-5.2~2.2 LSB。

在图5~图7中可以看到,每隔100个抽头就会有两

个超宽码(ultra-wide bin),平均的码宽约为25 ps,超宽码约为110 ps。这是因为FPGA上每个时钟域中最多含有50个进位链结构,每个进位链引出2个抽头,共100个抽头,之后再进位链就需要跨时钟域,超宽码就是跨时钟域时产生的,如图3虚线框所示,本文实现的TDC共使用128个进位链,上下跨越了3个时钟域,虚线框即是两个时钟域的交界处,两个时钟域交界处共产生了4个超宽码,分别是94、95、193、194。

3 结论

本文在Kintex-7 FPGA上,通过进位链实现TDC,共使用128个进位链,细时间测量范围大于5 ns。给出TDC码宽校准的误差计算公式,校准次数 10^6 ,采用码密度校准方法对TDC码宽进行逐位校准;研究进位链的两种抽头方式(“0tap+3tap”“1tap+3tap”),并测量其码宽、非线性等。在满足测量指标要求的情况,推荐使用“0tap+3tap”的2抽头方式,该抽头方式的TDC可以获得较优的非线性和较高的时间测量精度,时间分辨率约为25 ps(对应LSB),微分非线性范围为-0.84~3.1 LSB,积分非线性范围为-5.2~2.2 LSB。研究发现,进位链TDC一旦跨时钟域,就不可避免引入超宽码(ultra-wide bin)的问题,这会降低TDC的时间测量精度,可以采用多种方法降低这种影响,包括多链单次平均测量^[1,8,10]、单链多次平均测量(wave union A、wave union B、Ripple method)^[11-12]等方法。

参考文献

- [1] 周浩.基于FPGA进位链的时间数字转换器设计[D].重庆:重庆邮电大学,2017.
- [2] 范欢欢.基于FPGA的时间数字转移电路的若干关键技术的研究[D].合肥:中国科学技术大学,2015.
- [3] Zhang Min, Wang Hai, Liu Yan. Digital-to-time converter with 3.93 ps resolution implemented on FPGA chips[J]. IEEE ACCESS, 2017, 5: 6842-6848.
- [4] 余海源,冯占勇,蒋连军.量子系统密钥分发光源时序校准系统设计[J].电子技术应用,2016,42(12):69-72.
- [5] 田海军,杨婷,赵杨辉.汽车防撞系统中的非接触测距研究[J].电子技术应用,2016,42(10):89-92.
- [6] 魏煜秦,孔洁,杨海波,等.基于FPGA的时间间隔测量设计与实现[J].原子能科学技术,2017,51(10):1893-1897.
- [7] 邓凡水.μSR谱仪样机读出电子学TDC系统研制[D].合肥:中国科学技术大学,2019.
- [8] 张孟翟.多通道大量程高精度事件计时器关键技术研究[D].北京:中国科学院大学,2020.
- [9] 蒋安平,牛砚波,胡文瑞,等.一种基于环震的高精度时间测量芯片设计实现[J].电子技术应用,2017,43(1):64-68.
- [10] Wang Jinghong, Liu Shubin, An Qi, et al. A fully fledged TDC implemented in field-programmable gate arrays[J]. IEEE Transactions on Nuclear Science, 2010, 57(2): 446-450.
- [11] Hu Xueye, Zhao Lei, Liu Shuai, et al. A stepped-up tree

(下转第61页)

- 145-158.
- [3] 信息产业部电子科技委《太阳能光伏产业发展战略研究》课题组. 太阳能光伏产业发展战略研究报告(摘要)[R]. 中国集成电路, 2008; 10-24.
- [4] 周浩, 杨宝钢, 程炳岩. 重庆近 46 年气候变换特征分析[J]. 中国农业气象, 2008, 29(1): 23-27.
- [5] 冯显争, 李训铭. 智能型太阳能充电电路设计[J]. 东南大学学报(自然科学版), 2008, 38(A02): 194-198.
- [6] 杜明星, 魏克新, 杜吉飞. PWM 整流器参数的多目标分层优化策略[J]. 化工自动化及仪表, 2013, 40(8): 1000-1003.
- [7] 李建, 蓝章礼, 王裕先, 等. 高速公路绿化带光伏智能灌溉系统设计及实现[J]. 节水灌溉, 2014(7): 79-82.
- [8] 吴理博, 赵争鸣, 刘建政. 用于太阳能照明系统的智能控制器[J]. 清华大学学报, 2003, 43(9): 1195-1198.
- [9] 张为民, 李晓武, 雷霆. 太阳电池-铅酸蓄电池充电控制器研究[J]. 电源技术, 2004, 28(1): 43-46.
- [10] 邱书波, 綦星光. 铅酸蓄电池自动充放电控制器的设计与实现[J]. 电子技术应用, 2001, 27(6): 32-33.
- [11] 李建. LED 驱动模式与核心算法[D]. 重庆: 重庆交通大学, 2014.
- [12] 樊铭京, 谢清华, 宋玉娟, 等. 作物智能化精准灌溉监测控制技术及应用研究[J]. 山东农业大学学报(自然科学版), 2012, 43(2): 299-303.
- [13] 王久和, 张金龙, 李华德. 电压型 PWM 整流器直接功率控制系统主电路参数设计[J]. 北京科技大学学报, 2006, 28(11): 1091-1095.
- [14] WANG F, CHEN G, BOROYEVICH D, et al. Analysis and design optimization of diode front-end rectifier passive components for voltage source inverters[J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2278-2289.

(收稿日期: 2021-07-16)

作者简介:

李建(1987-), 男, 硕士, 工程师, 主要研究方向: 工业信息化。



扫码下载电子文档

(上接第 56 页)

- encoder for the 10-ps wave union TDC[J]. IEEE Transactions on Nuclear Science, 2016, 60(5): 3544-3549.
- [12] BAYER E, TRAXLER M. A high-resolution (<10 ps RMS) 48-channel time-to-digital converter (TDC) implemented in a field programmable gate array (FPGA)[J]. IEEE Transactions on Nuclear Science, 2011, 58(4): 1547-1552.
- [13] Zhao Lei, Hu Xueye. The design of a 16-channel 15 ps TDC implemented in a 65 nm FPGA[J]. IEEE Transactions on Nuclear Science, 2013, 60(5): 3532-3536.
- [14] Wu Jinyuan. Several key issues on implementing delay line based TDCs using FPGAs[J]. IEEE Transactions on Nuclear Science, 2010, 57(3): 1543-1548.
- [15] FISHBURN W, MENNINGAL H, CHARBON E. A 19.6 ps, FPGA-based TDC with multiple channels for open source applications[J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 2203-2208.
- [16] Wang Yonggang, Kuang Jie, Liu Chong. A 3.9 ps time-interval RMS precision time-to-digital converter using a dual-sampling method in an UltraScale FPGA[J]. IEEE Transactions on Nuclear Science, 2016, 63(5): 2617-2621.
- [17] 蔡东东, 何在民, 刘正阳, 等. 基于码密度法的 FPGA 进位链时延标定[J]. 时间频率学报, 2019, 42(3): 240-247.
- [18] 李海涛, 李斌康, 田耕, 等. 一种通用的 TDC 码密度校准信号产生方法及其实现[J]. 电子与信息学报, 2021, 43(8): 2121-2128.

(收稿日期: 2021-09-03)

作者简介:

李海涛(1986-), 男, 博士, 工程师, 主要研究方向: 快电子学。

李斌康(1965-), 男, 博士, 研究员, 主要研究方向: 脉冲辐射探测、快脉冲电子学研究和系统研制。

田耕(1979-), 男, 博士, 正高级工程师, 主要研究方向: 仪器仪表控制、核电子学。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所