

卫星 USB 测控副载波同步算法研究*

张士伟, 邢斯瑞, 常俊德, 金宇婷, 赵博, 沈晨阳

(长光卫星技术有限公司, 吉林 长春 130000)

摘要: 吉林一号卫星测控采用 USB 测控体制, 遥控接收采用 FFT+DPLL1+DPLL2 的架构, FFT 主要实现对载波的粗捕, DPLL1 在 FFT 的基础上实现对载波相位的精跟踪, DPLL2 实现副载波的跟踪。对遥控副载波跟踪所用到的数字 PLL 技术进行了研究, 首先给出了载波多普勒折算到副载波上的方法, 然后对模拟 PLL 数字化进行了详细的论述, 并设计了遥控副载波同步用的 PLL2, 对其稳定性、快捕带及快捕时间、捕获带和捕获时间、同步速率等进行了分析和仿真。结果表明, 该方法具有捕获时间短、跟踪精度高、稳定性好等特点, 易于数字化实现, 已成功在吉林一号系列卫星中得到应用。

关键词: 数字锁相环; 快捕带; 快捕时间; 频率牵引时间; 相位误差标准差

中图分类号: TN92

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.212167

中文引用格式: 张士伟, 邢斯瑞, 常俊德, 等. 卫星 USB 测控副载波同步算法研究[J]. 电子技术应用, 2022, 48(5): 61-64, 69.

英文引用格式: Zhang Shiwei, Xing Sirui, Chang Junde, et al. Subcarrier synchronization for satellite USB TT&C[J]. Application of Electronic Technique, 2022, 48(5): 61-64, 69.

Subcarrier synchronization for satellite USB TT&C

Zhang Shiwei, Xing Sirui, Chang Junde, Jin Yuting, Zhao Bo, Shen Chenyang

(Chang Guang Satellite Technology Co., Ltd., Changchun 130000, China)

Abstract: Jilin-1 satellites TT&C adopts USB system. The receiver adopts the architecture FFT+DPLL1+DPLL2. FFT mainly realizes coarse capture of carrier. DPLL1 realizes tracking of carrier phase on the basis of FFT. DPLL2 realizes subcarrier tracking. This paper studies the digital PLL technology used in the tracking of the subcarrier. Firstly, the calculation method of converting the carrier doppler parameter to the subcarrier is given. Then the analog PLL digitization is discussed in detail. The PLL2 used in the synchronization of the uplink subcarrier is designed. The stability, fast pull range and time, pull range and time are discussed. The results show that the method has the characteristics of short capture time, high tracking accuracy, good stability and is easy to realize in digital. Now it has been successfully applied in Jilin-1 series satellites.

Key words: digital phase-locked loop(DPLL); fast pull-in range; fast pull-in time; pull-in range and time; phase error standard deviation

0 引言

统一 S 波段(Unified S-Band TT&C System, USB)测控是目前卫星常用的一种测控方式, 对于卫星测控接收机来说, 要想正确稳定实现遥控指令的接收, 载波同步、跟踪技术是关键, 如果同步性能不佳导致误码将使指令变成无效指令, 影响卫星的测控效果。

传统载波同步基于锁频环+锁相环的方式, 但在实际工程应用中, 由于通信距离非常远, 接收信号弱, 信噪比较差, 锁频环跟踪载波频率时振荡较大, 锁频环跟踪稳定后转锁相环时, 无法保证频差百分百处于锁相环的捕获带内, 导致锁相环无法锁定, 需要重新进行载波捕获, 增加了捕获时间, 降低了捕获概率, 不适合卫星测控

通信的应用^[1]。本文给出了一种快速傅里叶变换结合锁相环(FFT+PLL)的方法, 可以很好地适用各种卫星测控的应用场景。

1 参数设计

USB 测控将遥控副载波通过调相(Phase Modulation, PM)调制到载波上, 一般 USB 测控要求的载波多普勒捕获范围为 ± 115 kHz, 多普勒变化率为 ± 32 kHz/s^[2]。对接收信号下变频至零频并用 250 kHz 采样率的 1 024 点 FFT 对其进行分析, 分析频率范围为 ± 125 kHz, 分析时间为 4.096 ms, 频率分辨率为 244 Hz, 然后通过载波 PLL1 实现载波的跟踪, 解调出副载波信号。当载波实现跟踪后, 副载波存在的多普勒频率为:

$$f_{\text{sub-d}} = f_{\text{sub}} \times f_{\text{c-d}} / f_{\text{c}} \quad (1)$$

其中, $f_{\text{sub-d}}$ 为副载波多普勒, f_{sub} 为副载波频率, $f_{\text{c-d}}$ 为载

* 基金项目: 吉林省科技发展计划项目(20200401105GX)

波多普勒, f_c 为载波频率。计算可得副载波残留的多普勒频率小于 ± 10 Hz, 多普勒变化率在 ± 0.2 Hz/s 之间, 留有裕量设计 PLL2 的快捕带为 ± 50 Hz。

2 数字 PLL 设计

跟踪 PLL 本质是数字二阶锁相环, 是由模拟二阶锁相环等效而来, 当采用理想积分滤波器时模拟 PLL 的 S 域闭环传递函数为^[3]: $H(s) = (2\xi\omega_n s + \omega_n^2) / (s^2 + 2\xi\omega_n s + \omega_n^2)$, 通过双线性变换, 将系统闭环传递函数转换为 Z 域系统闭环传递函数^[4-6], 如下所示:

$$H(z) = \frac{[4\xi\omega_n T + (\omega_n T)^2] + 2(\omega_n T)^2 z^{-1} + [(\omega_n T)^2 - 4\xi\omega_n T] z^{-2}}{[4 + 4\xi\omega_n T + (\omega_n T)^2] + [2(\omega_n T)^2 - 8] z^{-1} + [4 - 4\xi\omega_n T + (\omega_n T)^2] z^{-2}} \quad (2)$$

其中, ξ 为阻尼比, ω_n 为无阻尼振荡频率, T 为环路周期。

数字二阶锁相环由鉴相器、环路滤波器和直接数字合成器(Direct Digital Synthesizer, DDS)组成, 准确地建立环路滤波器、DDS、鉴相器的 Z 域传递函数对于建立系统闭环传递函数至关重要。在构建二阶环相位模型时, 选择具有正弦鉴相特性曲线的鉴相器, 该鉴相器的相位增益为 1, 鉴相输出在 ± 1 之间。下面对环路滤波器和 DDS 的 Z 域传递函数进行建模。

2.1 DDS 的 Z 域相位传递函数

DDS 的组成原理框图如图 1 所示^[7-9]。

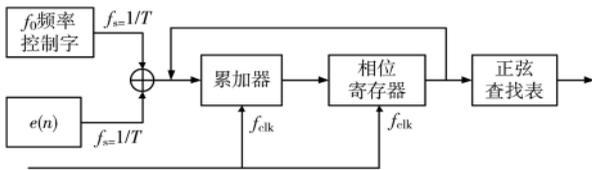


图 1 DDS 原理框图

误差信号 $e(n)$ 引起的 DDS 输出频率为: $f_{out} = e(n) \times f_{clk} / 2^N$, 其中 f_{clk} 为 DDS 的工作时钟, 相位控制字长为 N 。假设环路闭环周期为 T , 即每隔 T_s 对 $e(n)$ 采样一次去修正中心频率 f_0 。DDS 的 Z 域相位传递函数仅考虑由误差信号 $e(n)$ 引起的相位变化, nT 时刻输出的相位如下所示:

$$\begin{aligned} & 2\pi f_0 n T + \phi(nT) = \\ & 2\pi f_0 (n-1) T + \phi((n-1)T) + 2\pi e(n) f_{clk} / 2^N \cdot T \end{aligned} \quad (3)$$

对式(3)等式两边消去载波标称频率项, 并改写为离散形式如下: $\phi(n) = \phi(n-1) + 2\pi e(n) f_{clk} / 2^N \cdot T$, 则 DDS 的相位 Z 域传递函数为: $H(z) = 2\pi f_{clk} / (2^N (z-1)) \cdot T$, DDS 的相位增益为 $K_{DDS} = 2\pi f_{clk} / 2^N \cdot T$ 。

在设计中 $f_{clk} = 3.5$ MHz, 环路闭环周期选择 32 个 $1/f_{clk}$, $N=32$, 则 DDS 的传递函数为 $H(z) = 4.61 \times 10^{-8} / (z-1)$, DDS 的相位增益 $K_{DDS} = 4.61 \times 10^{-8}$, 输出 8 kHz 的副载波^[10]。

2.2 数字环路滤波器

数字环路滤波器采用理想积分滤波器 $H(s) = \frac{1+s\tau_2}{s\tau_1}$,

其中 τ_1 和 τ_2 为理想积分滤波器的时间常数, 经双线性变换得其 Z 域传递函数为 $H(z) = \frac{2\tau_2+T}{2\tau_1} + \frac{Tz^{-1}}{\tau_1-\tau_1z^{-1}} c_1 + \frac{c_2z^{-1}}{1-z^{-1}}$, 其 Z 域传递函数框图如图 2 所示^[11-12]。

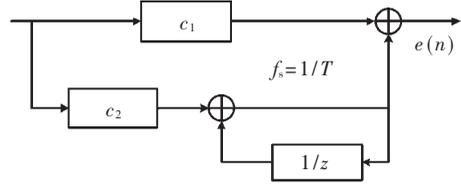


图 2 数字环路滤波器 Z 域传递函数框图

由每个组成部分可以推出系统的闭环传递函数如下所示:

$$H(z) = \frac{K_{DDS}[c_1 z^{-1} + (c_2 - c_1) z^{-2}]}{1 + [K_{DDS} c_1 - 2] z^{-1} + [K_{DDS} c_2 - K_{DDS} c_1 + 1] z^{-2}} \quad (4)$$

其中, c_1 和 c_2 是数字环路滤波器直通支路和累加支路的增益。在保证模拟和数字的闭环传递函数极点相同, 可以推出:

$$c_1 = \frac{4(\omega_n T)^2 + 8\xi\omega_n T}{4 + 4\xi\omega_n T + (\omega_n T)^2} \frac{1}{K_{DDS}} \quad (5)$$

$$c_2 = \frac{4(\omega_n T)^2}{4 + 4\xi\omega_n T + (\omega_n T)^2} \frac{1}{K_{DDS}} \quad (6)$$

综上, 整个 PLL 锁相环 Z 域传递函数如图 3 所示^[13]。

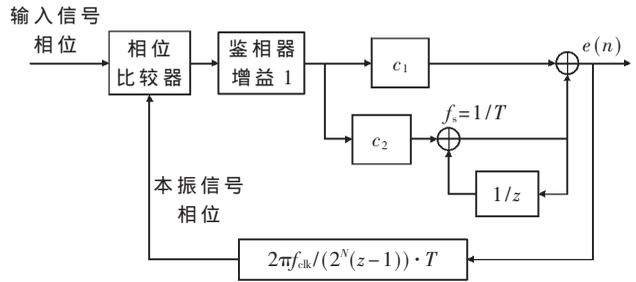


图 3 数字 PLL 相位模型框图

选择 $\xi = 0.707$, ± 50 Hz 快捕带对应的环路无阻尼自振角频率为 $\omega_n = 222.18$ rad/s, 综上环路滤波器系数 $c_1 = 613567$, $c_2 = 88$ 。数字域环路滤波器系数所对应的模拟域系数 $\tau_1 = T/c_2 = 1.04 \times 10^{-7}$, $\tau_2 = c_1 \times T / c_2 - T/2 = 0.006$ 。

3 数字 PLL 分析

PLL 分析包括稳定性分析、信噪比、快捕带及快捕时间、捕获带及捕获时间、同步带及跟踪速率等分析。下面分小节进行介绍。

3.1 稳定性分析

从 Z 域对系统的稳定性进行了分析, 首先求取了系统的 Z 域传递函数闭环极点为 $0.9986 + 0.0029i$, $0.9986 - 0.0029i$, 极点位于单位圆内, 可以判断系统是稳定的。为了对系统的稳定程度进行量化, 绘制了系统的波特图, 如图 4 所示, 包括系统的幅频特性曲线和相频特性曲线,

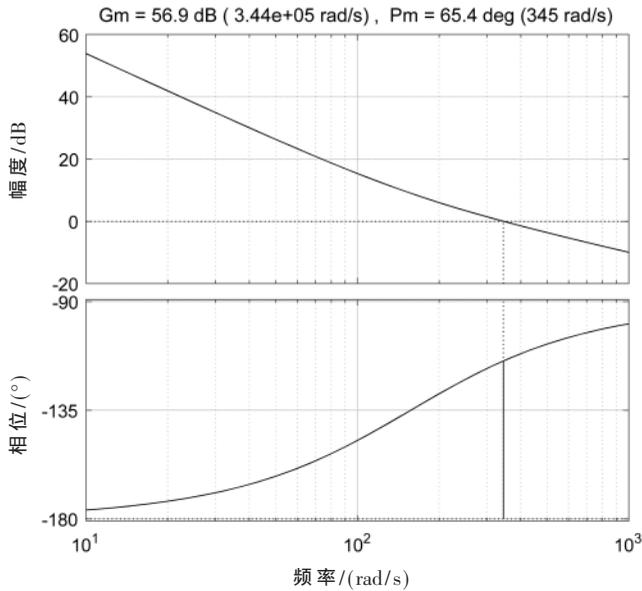


图4 系统波特图

从幅度裕度和相位裕度两个方面进行了求证^[14]。其开环幅度穿越频率为55 Hz,与快捕带一致,相位裕度为65.4°,可以看到系统具有良好的稳定性。

3.2 PLL S/N₀ 分析

在不同的应用场合,对锁相环恢复的相位误差有不同的要求,该误差与输入信号的信噪比直接相关,经分析,恢复的载波相位标准差为:

$$\sigma_{\text{Noise}} = \sqrt{2B_L / (2S/N_0)} \quad (7)$$

其中,2B_L为环路的带宽,S/N₀为信号功率与噪声谱密度比。在不同的环路带宽下,相同的同步精度所需的S/N₀也不同,具体如图5所示,可以根据实际情况进行参数选择。

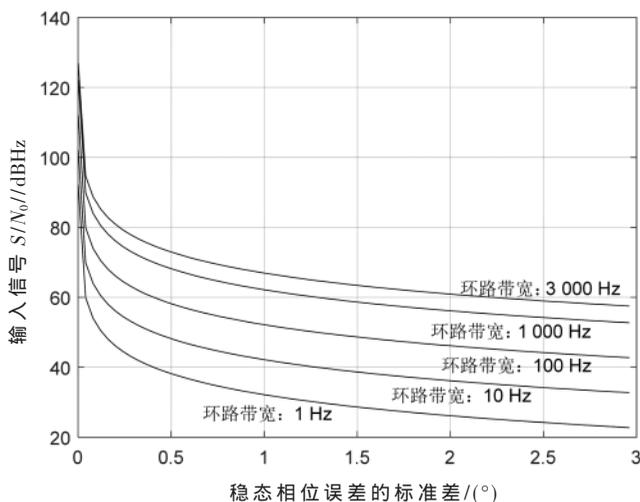


图5 S/N₀与稳态相差

3.3 快捕带及快捕时间

快捕带与环路滤波器的设计是息息相关的,鉴相器的输出是幅度为1的差拍信号 cos(2πΔft+φ),其中Δf为

输入信号频率和本振信号频率的差频,如果该差拍信号经过环路滤波器得到的误差信号控制 DDS 得到的频率增量为这个差拍频率,则该差频为 PLL 的快捕带,通常 PLL 的工作频率范围限制在快捕带内^[15]。环路滤波器的频率响应为:

$$|H(j2\pi f)| = \sqrt{1 + (2\pi f \tau_2)^2} / (2\pi f \tau_1) \quad (8)$$

当 $\sqrt{1 + (2\pi \Delta f \tau_2)^2} / (2\pi \Delta f \tau_1) \cdot (f_s / 2^N) \geq \Delta f$ 时,说明信号频偏在快捕带内。因此对快捕带进行了仿真,结果如图6所示,从图中可以看到环路的快捕带在±55 Hz左右,即能捕获的频偏范围为(-55,55)Hz,合计110 Hz。

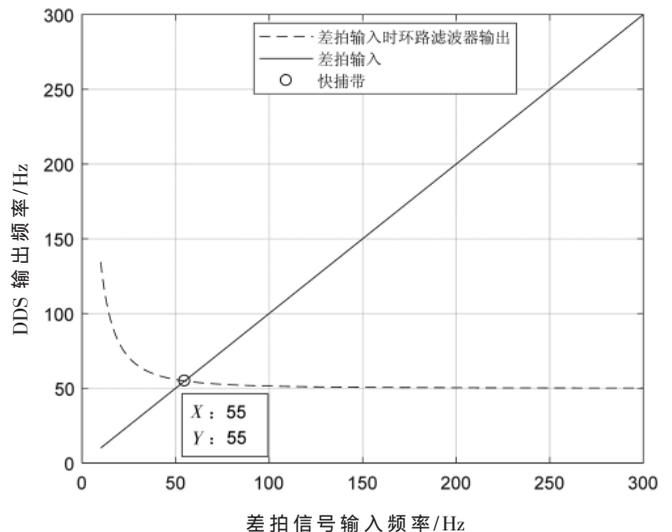


图6 快捕带的仿真结果

当响应的包络线进入允许误差范围内之时,二阶系统的单位阶跃响应曲线必然也处于允许误差范围内,因此通过如下公式可求得系统的过渡时间(即快捕时间):

$$t_{\text{kuaihu}} = (-\ln \Delta - \ln \sqrt{1 - \xi^2}) / (\xi \omega_n) \quad (9)$$

当 Δ=1% 时, $t_{\text{kuaihu}} \approx 5 / (\xi \omega_n) = 0.031$ 。图7为仿真的结

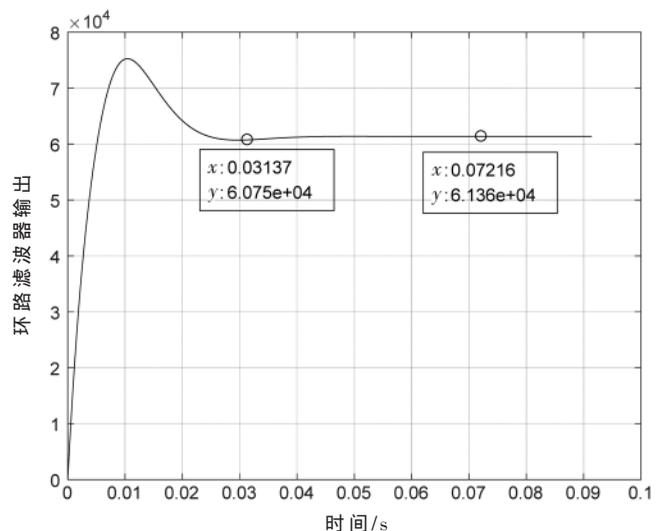


图7 输出频差50 Hz时误差响应曲线

果, 快捕时间为 0.031 s, 可以看到实际仿真结果与理论一致。

3.4 捕获带及捕获时间

处于该范围锁相环均能锁定, 正弦鉴相二阶环路的捕获带 $\Delta\omega_p = K_{\text{DPS}} \sqrt{2 \operatorname{Re}[H(j\Delta\omega_p/2)] \times H(j0)}$, 由于环路滤波器传递函数为 $H(s) = 1 + s\tau_2/s\tau_1$, $\operatorname{Re}[H(j\Omega)] = \tau_2/\tau_1$, $H(j0) = \infty$, 因此二阶环路的捕获带为 ∞ 。捕获时间一般为频率牵引时间, 当初始频差不在快捕带内, 则会产生频率牵引使锁定时间增长, 理论频率牵引时间 $t = (2\pi\Delta f)^2 / (2\xi\omega_n^3)$ 。频率模型如图 8 所示。

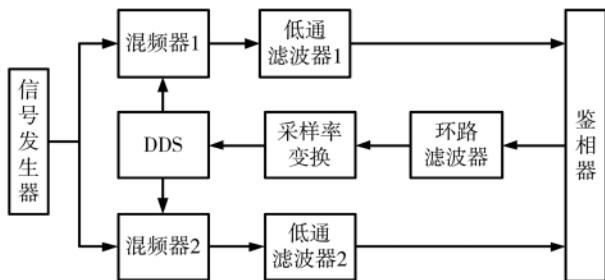


图 8 频率模型

图 9 中给出了初始频差从 200~1 100 Hz 时的频率牵引时间, 可以看到相位模型和理论计算的结果一致, 频率模型由于在环路处理时引入低通滤波等额外的延迟环节, 使 pull-in 时间增加。

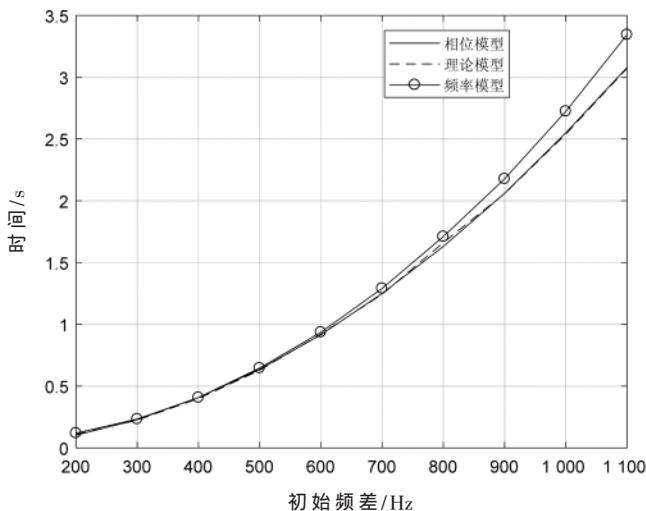


图 9 频率牵引时间与初始频差

图 10 中给出了理论及引入 4、8、12、16 阶延迟环节 pull-in 时间情况, 为了减少频率牵引时间, 可以使用阶数较小的 IIR 滤波器以减小延迟环节加速捕获时间。

3.5 同步带及最大同步速率

在环路锁定时, 缓慢增加固有频差, 直到环路失锁, 能够维持环路锁定的最大固有频差称为同步带。环路锁定时, 瞬时频差等于 0, 控制电压为直流。对于正弦鉴相

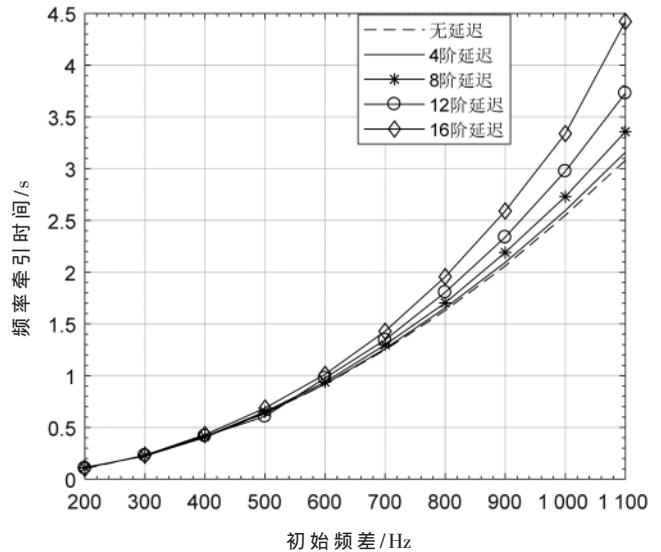


图 10 延迟环节对频率牵引时间的影响

特性的环路, 有 $\Delta\omega_0 = K_{\text{DPS}} H(j0) \sin(\theta_e(\infty))$, 其中 $\theta_e(\infty)$ 为稳定相位误差, 当 $\theta_e(\infty) = \pi/2$ 时, 得到维持环路锁定的最大固有频差, 所以理论上二阶环的同步带可以 ∞ 。对于正弦鉴相特性的锁相环路, 当输入信号为频率斜升信号时其相位为 $\theta_i(t) = 0.5 \times R \times t^2$, R 为频率扫描速率。环路锁定后稳态相位误差为一固定值 $\theta_e(\infty) = \arcsin(R/\omega_n^2)$, 即稳态相差与扫描速率 R 和系统的无阻尼自振角频率相关。当扫描速率小于 ω_n^2 时 $\theta_e(\infty) = \arcsin(R/\omega_n^2)$ 方程有解, 也就是理想二阶环的最大同步扫描速率为 $R_{\text{max}} = \omega_n^2$, 远大于副载波多普勒变化率 $\pm 0.2 \text{ Hz/s}$ 。

综上, 该算法快捕带为 $\pm 55 \text{ Hz}$, 快捕时间仅为 0.03 s, 相位裕度为 65.4° , 在输入信号的信号功率噪声谱密度比 $S/N_0 = 60 \text{ dBHz}$, 相位误差标准差约 0.5° 。

4 结论

本文给出了一种卫星 USB 测控副载波同步算法, 该算法具有捕获快、跟踪精度高、稳定性好、易于数字化实现的特点。同时该算法具有通用性, 仅需根据要求适当调整参数即可, 已在多颗吉林一号卫星的测控系统中得到应用。

参考文献

- [1] 赵国豹, 李春祚. 基于锁频环+FFT+锁相环的载波跟踪方法[J]. 无线电工程, 2016, 46(10): 69-72.
- [2] 孔祥东. 基于开源软件无线电的统一 S 频段测控系统应答机设计[D]. 西安: 西安电子科技大学, 2019.
- [3] 赵明臣, 胡娜娜. 一种高性能数字锁相环的研究与设计[J]. 信息通信, 2020(5): 115-117.
- [4] KUMM M, KLINGBEIL H, ZIPF P, et al. An FPGA-based linear all-digital phase-locked loop[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(9): 2487-

(下转第 69 页)

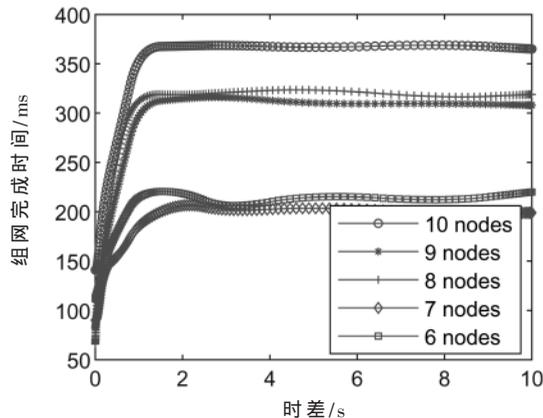


图9 组网完成时间与时差、节点数目的关系

同步策略,仿真结果表明,本文提出的时间同步策略提高了飞行器组网过程中网络的抗毁性和灵活性。因此,本文研究的快速组网策略适用于协同组网任务具有临时性、可靠性要求高的空间飞行器自组网。

参考文献

- [1] 朱天杰,刘强,潘杨杨,等.基于 Link 16 的战术数据链网络规划平台[J].火力与指挥控制,2015,40(11):173-177,180.
- [2] CHIH Y L, CHIH H W, YU C T. A TDMA protocol with reinforcement learning slot selection for MANETs[J]. International Journal of Ad Hoc and Ubiquitous Computing, 2021, 37(1): 16-25.
- [3] 于国荣. Link16 数据链通信抗干扰技术分析[J]. 战术通信研究, 2008(4): 7-11.
- [4] MARTIN K M, RAMANJANEYULU B S. Impact of interference free frequency channels on optimum time slot allo-

cation for priority-based TSCH MAC[J]. International Journal of Ultra Wideband Communications and Systems, 2020, 4(2): 79-82.

- [5] KANZAKI A, HARA T, NISHIO S. An adaptive TDMA slot assignment protocol in ad hoc sensor networks[C]// Proceedings of the 2005 ACM Symposium on Applied Computing, 2005: 1160-1165.
- [6] JANG H, NOH H, LIM J. Airborne TDMA for high throughput and fast weather conditions notification[J]. International Journal of Computer Networks and Communications, 2011, 3(3): 206-220.
- [7] NGUYEN L V, HA N V, SHIBATA M, et al. TDMA-based scheduling for multi-hop wireless sensor networks with 3-egress gateway linear topology[J]. Internet of Things, 2021, 14: 100398.
- [8] WANG W Z, ZHOU J L, LONG Z, et al. Message-streams oriented hybrid slot allocation protocol for tactical data link system[C]// Seventh Communication Networks & Services Research Conference. Canada: IEEE Computer Society, 2009: 201-208.
- [9] 秦茜. 一种改进的动态 TDMA 时隙分配算法研究[J]. 无线电工程, 2017, 47(12): 1-4.

(收稿日期: 2021-09-13)

作者简介:

宋兆涵(1996-), 通信作者, 女, 硕士研究生, 主要研究方向: 无线自组网、测控通信, E-mail: 2564404635@qq.com。

张德智(1985-), 男, 硕士研究生, 高级工程师, 主要研究方向: 测控通信、航空航天科学与技术。



扫码下载电子文档

(上接第 64 页)

- 2497.
- [5] 张洪强. 数字接收机的同步系统设计及 FPGA 实现[D]. 西安: 西安电子科技大学, 2019.
- [6] 蔡敏. 宽频带数字接收机设计与关键技术研究[D]. 衡阳: 南华大学, 2019.
- [7] 李超, 谢雪松, 张小玲. 一种 DDS 任意波形发生器的 ROM 优化方法[J]. 电子技术应用, 2013, 39(2): 12-14.
- [8] 邵帅, 李曼义, 刘丹非. 全数字锁相环及其数控振荡器的 FPGA 设计[J]. 现代电子技术, 2008, 31(10): 1-2.
- [9] 王硕, 马奎奎, 高玉龙, 等. 基于 FPGA 的改进结构的 DDS 设计与实现[J]. 电子技术应用, 2016, 42(3): 28-30.
- [10] 董国英, 郭志军, 费聚锋, 等. USB 测控系统测距侧音的数字化解调[J]. 制导与引信, 2016, 37(2): 43-47.
- [11] 刘颖. 锁相环中鉴相器和环路滤波器的设计[D]. 西安: 西安电子科技大学, 2013.

[12] 侯永飞, 倪永婧, 王全喜. 基于 MATLAB 的全数字锁相环的设计与实现[J]. 无线电工程, 2015, 45(7): 79-82.

[13] 黄保瑞. 基于 FPGA 的二阶全数字锁相环的设计[D]. 延安: 延安大学, 2015.

[14] 韩孟飞, 王永庆, 吴嗣亮, 等. 一种新型结构数字载波跟踪环及其 Z 域稳态性能分析[J]. 电子学报, 2012, 40(12): 2481-2486.

[15] 刘安邦, 安建平, 王爱华. 快速高精度 BPSK 信号载波相位同步算法[J]. 北京理工大学学报, 2011, 31(7): 823-827.

(收稿日期: 2021-09-18)

作者简介:

张士伟(1990-), 通信作者, 男, 硕士研究生, 工程师, 主要研究方向: 卫星测控系统设计, E-mail: zsw_hit@163.com。

邢斯瑞(1987-), 男, 硕士研究生, 工程师, 主要研究方向: 通信卫星总体设计。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所