

## PCI-Express 总线传输效率提升的技术分析\*

潘金龙,李德建,王于波,冯曦,董长征,冯文楠

(北京智芯微电子科技有限公司,北京 100192)

**摘要:** 高速差分 PCI-Express 总线的应用场景越来越广阔,为了提高总线上数据传输的效率,从 PCI-Express 的总线结构、带宽开销点、系统参数配置进行说明,并通过对不同长度的报文在读、写传输的背景下进行理论分析与计算,得到了提升总线传输效率的合理配置,实现了 PCI-Express 总线传输效率的显著提升。

**关键词:** PCI-Express; 传输效率; 带宽开销; 系统参数

中图分类号: TP336

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211844

中文引用格式: 潘金龙,李德建,王于波,等. PCI-Express 总线传输效率提升的技术分析[J]. 电子技术应用, 2022, 48(5): 79-83.

英文引用格式: Pan Jinlong, Li Dejian, Wang Yubo, et al. Technical analysis of improving the transmission efficiency of PCI-Express bus[J]. Application of Electronic Technique, 2022, 48(5): 79-83.

## Technical analysis of improving the transmission efficiency of PCI-Express bus

Pan Jinlong, Li Dejian, Wang Yubo, Feng Xi, Dong Changzheng, Feng Wannan

(Beijing Smartchip Microelectronics Technology Co., Ltd., Beijing 100192, China)

**Abstract:** The application scenarios of high-speed differential PCI Express bus are becoming wider and wider. In order to improve the efficiency of data transmission on the bus, this paper explains the bus structure, bandwidth overhead point and system parameter configuration of PCI-Express, and obtains the reasonable configuration to improve the bus transmission efficiency through the theoretical analysis and calculation of messages of different lengths under the background of read and write transmission. The PCI-Express bus transmission efficiency is significantly improved.

**Key words:** PCI-Express; transmission efficiency; bandwidth overhead; system parameter

## 0 引言

随着现代处理器技术的飞速发展,使用高速差分总线替代并行总线的应用场景越来越多。与单端信号相比,高速差分信号可以使用更高的时钟频率,使用更少的信号线,完成之前需要很多单端并行数据信号才能达到的总线带宽<sup>[1]</sup>。如何高效地利用总线带宽,通过何种配置达到最优应用,给设计者带来了挑战。

## 1 总线概述

PCI-Express(Peripheral Component Interconnect Express)是一种高速串行计算机扩展总线标准,简称 PCIe。PCIe 属于高速串行点对点双通道高带宽传输,互联设备之间独立传输,主要有主动电源管理、错误报告、端对端的可靠性传输、热插拔以及服务质量等功能。PCIe 是一种分层协议,由传输层、数据链路层和物理层组成<sup>[1-3]</sup>,层级结构如图 1 所示<sup>[4-5]</sup>。PCIe A 设备与 B 设备之间通过发送端与接收端进行互联。

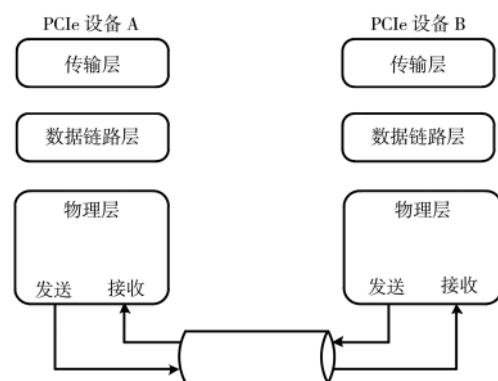


图 1 PCIe 层级结构图

## 2 传输效率影响因素分析

数据在 PCIe 总线各层级传输所产生的开销主要在以下几个方面。

## 2.1 数据编码开销

数据编码开销主要是 PCIe 的物理层产生的,GEN (generation)1/2 使用 8b/10b 编码,GEN3/4/5 使用 128b/

\* 基金项目:国家电网公司总部科技项目(5700-202041264A-0-0-00)

130b 编码,编码的目的是保持直流平衡(DC balance)<sup>[6-7]</sup>。

PCIe 各版本传输速率如表 1 所示( $X_n$  表示存在  $n$  条物理链路,例如 X4 表示存在 4 条物理链路)。

例如 PCIe 1.0 使用 8b/10b 编码方案,导致占用了 20%(2/10)的原始信道带宽。那么 PCIe 1.0 实际上单通道的有效带宽就是  $2.5 \text{ Gb/s} \times 80\% / 8 = 250 \text{ MB/s}$ 。

### 2.2 TLP(Transaction Layer Packet)开销

PCIe 报文为分层封装协议的报文。数据报文在 Device A 产生之后,在事务层(Transaction Layer)报文由数据头(Header)、报文净荷(Payload)、端到端的 CRC(ECRC)组成,经过数据链路层(Data Link Layer)后增加序列号(Sequence Number)、链路层 CRC(LCRC)、开始(Start)、结束(End)数据块,然后通过物理层(Physical Layer)发出<sup>[8-9]</sup>。PCIe Gen1/2 报文格式如图 2 所示<sup>[2]</sup>,PCIe Gen3/4/5/ 报文格式如图 3 所示<sup>[2]</sup>。

PCIe Gen3/4/5 的报文结构开始(Start)标识是 4 B,且没有结束(End)标识,这是与 Gen1/2 报文结构上的区别。

在 TLP 传输过程中,相关的报文标识就增加了 20~30 B 的开销<sup>[10-11]</sup>。

### 2.3 控制报文开销

控制报文来自于数据链路层,报文长度为 6 B,主要功能是保证来自事务层的 TLP 在 PCIe 链路中正确传递。报文的类型主要有应答 Ack(Acknowledge)、非应答 Nak(No acknowledge)、功耗管理 PM(Power Manage)、流控 FC(Flow Control)等<sup>[12]</sup>。

#### 2.3.1 Ack 与 Nak 报文开销

发送端发出 TLP 报文之后,需要接收端回应 Ack 或者 Nak 报文,来确认发送的 TLP 是否被成功接收。发送端在发送 TLP 的同时需要将 TLP 复制一份保存在 TLP retry buffer(TLP 重传缓存)中,直到收到 Ack 即表示成功

接收的回应<sup>[13-14]</sup>。如果收到了 Nak 则表示未成功接收的回应,需要将存储在 TLP retry buffer 中的 TLP 再次发送,直到被正确接收。Ack 不需要与 TLP 一一对应,可以设置一个计数器  $N$ ,发送  $N$  个 TLP 之后,接收端回应一个 Ack。接收端会对报文进行错误检查(Error Check),如果查询到接收的报文序号不正确或有其他的错误,则回应一个 Nak,发送端将会重新发送 TLP。数据传输结构如图 4 所示<sup>[1]</sup>。

#### 2.3.2 PM 报文开销

PCIe 设备进入 L0 状态 (PCIe 设备的正常工作状态)后,物理层为了解决接收时钟与本地时钟之间漂移所带来的频差问题,每一个链路(Lane)需要在传输 1 180~1 538 个字符后发送一个 SKP(PCIe 链路层传输的一种报文)请求来进行时钟补偿,在 TLP 的传输过程中不会插入时钟补偿<sup>[1]</sup>。

#### 2.3.3 流量控制报文开销

流量控制的主要作用是在发送端和接收端进行数据传递时,通过 FC 报文传递本端存储空间的使用状态,避免因接收端缓冲区由于存储空间不足导致丢弃来自发送端的数据。如果 FC 报文没有及时发送,会导致本地存储空间不够而丢弃报文,反之 FC 报文发送太过频繁,就会导致 PCIe 传输的性能下降,带宽利用率低<sup>[1]</sup>。

### 2.4 系统参数对传输效率的影响

系统配置参数如下:

有效负载最大值:MPS(Maximum Payload Size)。PCIe 设备所传送所有类型报文的数据大小不能超过 MPS。MPS 支持的大小有 6 种:128 B、256 B、512 B、1 024 B、2 048 B、4 096 B。当 PCIe 设备所传送的数据大小超过 MPS 参数时,数据将被分割为多个 TLP 进行发送了。

最大读请求数据:MRRS(Maximum Read Request Size),PCIe 设备一次能从目标设备读取的最大数据,如果一次

表 1 PCIe 传输速率

PCIe 版本	编码方式	传输速率	有效带宽			
			X1	X4	X8	X16
1.0	8b/10b	2.5 Gb/s	250 MB/s	1 GB/s	2 GB/s	4 GB/s
2.0	8b/10b	5 Gb/s	500 MB/s	2 GB/s	4 GB/s	8 GB/s
3.0	128b/130b	8 Gb/s	984.6 MB/s	3.938 GB/s	7.877 GB/s	15.754 GB/s
4.0	128b/130b	16 Gb/s	1.969 GB/s	7.877 GB/s	15.754 GB/s	31.508 GB/s
5.0	128b/130b	32 Gb/s	3.9 GB/s	15.8 GB/s	31.5 GB/s	63.0 GB/s



图 2 PCIe Gen1/2 报文格式

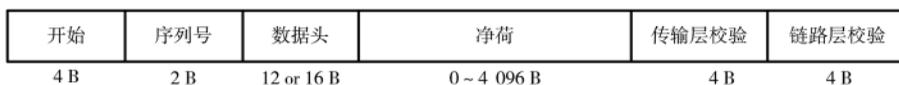


图 3 PCIe Gen3/4/5 报文格式

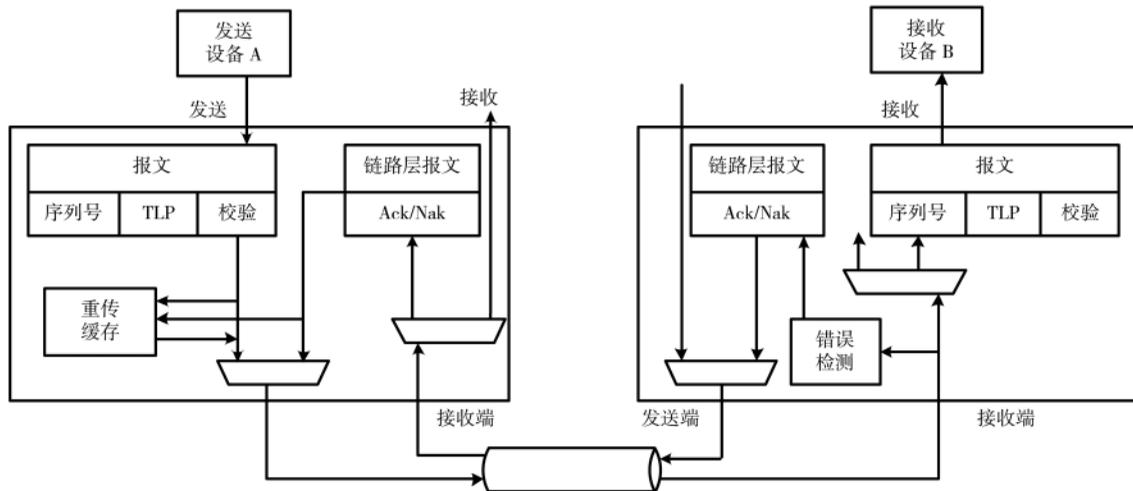


图4 PCIe数据链路层传输结构示意图

存储器读操作需要读取的数据范围大于 MRRS 时,该 PCIe 设备需要向目标设备发送多个存储器读操作。MRRS 的大小同样有 6 种:128 B、256 B、512 B、1 024 B、2 048 B、4 096 B。

RCB(Read Completion Boundary):RCB 可配置为 64 B 或者 128 B,RCB 的大小与完成报文的有效负载相关。在 PCIe 总线中,一个存储器读请求 TLP 可能收到目标设备发出的多个读完成报文后,才能完成一次存储器读操作<sup>[15-16]</sup>。

### 3 传输效率计算

报文在 PCIe 总线传输过程中,实际的有效带宽和物理带宽之间的关系是如何呈现的?下面以存储器写请求 TLP 和存储器读请求 TLP 传输为例来分析 PCIe 总线的性能。

#### 3.1 存储器写请求 TLP

##### (1) 应用场景

- ① PCIe 物理层为 Gen2, 2Lane;
- ② 发送的报文数目 Num 为 200 个,每个报文的长度和 MPS 相同;
- ③ MPS 设置为 1 024 B;
- ④ Ack 功能配置为传输 10 个 TLP 报文回复 1 个 Ack;
- ⑤ FC 功能配置为传输 5 个报文回复 1 个 FC;
- ⑥ 传输层数据的报文头为 4DW,再加上其他开销共计 28 B。

##### (2) 带宽计算

- ① 需要传递的报文总长度:200×1 024=204 800 B。
- ② 实际传递的报文总长度  
不含有 PM 报文开销的长度:(1 024+28)×200+(6+2)×200/10+(6+2)×200/20=210 640 B。

PM 报文开销,定义 1 200 bit 插入 1 个 PM 报文。210 640×8/1 200=1 404 个,注意在 TLP 每个报文发送过程中不能插入 PM 报文,所以在 TLP 发送间隔时会插入

多个 PM 报文。

总传递报文长度为:210 640+1 404×(6+2)=221 872 B。

##### ③ 有效带宽

需要传递的报文总长度/总传递报文长度=204 800/221 872=92.31%。

PCIe Gen2 的物理有效带宽为 80%,所以最终 2 个 Lane 的传输性能为:92.31%×0.8=73.84%,带宽为 5 Gb/s×2×73.84%=7.384 Gb/s,即 10 Gb/s 的物理传输通道有效带宽为 7.384 Gb/s。

##### (3) 导出公式

根据以上计算结果,可以推导出如下公式:

##### ① 需要传递的报文总长度

$$\text{Total\_payload\_len} = \text{Num} \times \text{MPS} \quad (1)$$

##### ② 实际传递的报文总长度

不含有 PM 报文开销的长度:

$$(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20 \quad (2)$$

PM 报文开销,定义 1 200 bit 插入 1 个 PM 报文。

$$[(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20] \times 8 / 1 200 \quad (3)$$

总传递报文长度为:

$$\text{Total\_len} = [(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20] + \{[(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20] \times 8 / 1 200\} \times 8 \quad (4)$$

##### ③ 有效带宽

$$\text{Packet\_efficiency} = \text{Total\_payload\_len} / \text{Total\_len} = (\text{Num} \times \text{MPS}) / \{[(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20] + \{[(\text{MPS} + \text{Header}) \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20] \times 8 / 1 200\} \times 8\} \quad (5)$$

##### (4) 延伸拓展

报文在总线传输过程中,配置都是固化好的,通过对有效带宽的计算公式可以看出在报文实际传输的过程中,报文的有效数据长度和 MPS 参数越接近越好,这

样可以减少传输的次数。另外 MPS 参数的值越大,有效带宽就越高。将 MPS 参数设置为 128 B、256 B、512 B、1 024 B、2 048 B、4 096 B,TLP 报文的有效数据长度同 MPS 参数,存储器写请求 TLP 的不同 MPS 配置的带宽效率结果如表 2 所示。

表 2 不同 MPS 配置带宽效率表

MPS/B	算式	带宽效率/%	对比增长率/%
128	25 600/31 431	81.48	0
256	51 200/60 082	85.21	3.73
512	102 400/114 013	89.81	4.6
1 024	204 800/221 872	92.31	2.5
2 048	409 600/437 597	93.60	1.29
4 096	819 200/869 042	94.26	0.66

从计算结果来看,随着 MPS 的增大,带宽有效利用率在提高,但是增加幅度在变小。

(5)其他说明

在上面第 4 点中对带宽的利用率做了表格的描述,但是实际上还应该算上 PCIe Gen2 物理带宽 8b/10b 解码的开销,即实际的带宽效率还应在上面计算的基础上乘以 0.8 才是最终的带宽效率。

3.2 存储器读请求 TLP

(1)应用场景

- ①PCIe 物理层为 Gen2, 2Lane;
- ②发送的报文数目 Num 为 200 个;
- ③MRRS 设置为 1 024 B;
- ④Ack 功能配置为传输 10 个 TLP 报文回复 1 个 Ack;
- ⑤FC 功能配置为传输 5 个报文回复 1 个 FC;
- ⑥传输层数据的报文头为 4DW,再加上其他开销共计 28 B;

⑦RCB 设置为 64 B。

(2)带宽计算

- ①需要传递的报文总长度:200×1 024=204 800 B。
- ②实际传递的报文总长度

每个存储器读请求 TLP 需要传输的次数:MRRS/RCB=1 024 B/64 B=16,即需要返回 16 个 TLP 读完成报文才能将此次读的数据全部获取。

不含有 PM 报文开销的长度:(1 024+28×16)×200+(6+2)×200/10+(6+2)×200/20=294 640 B。

PM 报文开销,定义 1 200 bit 插入 1 个 PM 报文。210 640×8/1 200=2 个,注意在 TLP 每个报文发送过程中不能插入 PM 报文,所以在 TLP 发送间隔时会插入多个 PM 报文。

总传递报文长度为:294 640+1 964×(6+2)=310 354 B。

③有效带宽

需要传递的报文总长度/总传递报文长度=204 800/310 354=65.99%。

PCIe Gen2 的物理有效带宽为 80%,所以最终的 2 个 Lane 的传输性能为:65.99%×0.8=52.79%,带宽为 5 Gb/s×2×52.79%=5.279 Gb/s,即 10 Gb/s 的物理传输通道,有效带宽为 5.279 Gb/s。

(3)导出公式

根据以上计算结果,可以推导出如下公式:

①需要传递的报文总长度

$$\text{Total\_payload\_len} = \text{Num} \times \text{MRRS} \tag{6}$$

②实际传递的报文总长度

不含有 PM 报文开销的长度:

$$[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20 \tag{7}$$

PM 报文开销,定义 1 200 bit 插入 1 个 PM 报文:

$$\{[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20\} \times 8 / 1\ 200 \tag{8}$$

总传递报文长度为:

$$\text{Total\_len} = \{[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20\} + \{[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20\} \times 8 / 1\ 200 \times 8 \tag{9}$$

③有效带宽

$$\text{Packet\_efficiency} = \text{Total\_payload\_len} / \text{Total\_len} = (\text{Num} \times \text{MRRS}) / \{[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20\} + \{[\text{MRRS} + \text{Header} \times (\text{MRRS} / \text{RCB})] \times \text{Num} + \text{Ack} \times \text{Num} / 10 + \text{FC} \times \text{Num} / 20\} \times 8 / 1\ 200 \times 8 \tag{10}$$

(4)延伸拓展

将 MRRS 参数设置为 128 B、256 B、512 B、1 024 B、2 048 B、4 096 B,存储器读请求 TLP 的不同 MRRS 带宽效率如表 3 所示。

表 3 不同 MRRS(RCB/64 B)配置带宽效率结果

MRRS/B	RCB/B	算式	带宽效率/%	对比增长率/%
128	64	25 600/39 015	65.62	0
256	64	51 200/77 778	65.83	0.21
512	64	102 400/155 303	65.94	0.11
1 024	64	204 800/310 354	65.99	0.05
2 048	64	409 600/620 455	66.02	0.03
4 096	64	819 200/1 240 658	66.03	0.01

从计算结果来看,随着 MRRS 的增大,带宽有效利用率并没有显著提高,基本上没有明显的变动。将 RCB 的参数由 64 B 修改为 128 B 的结果如表 4 所示。

对比表 3 和表 4,相同的 MRRS 配置,RCB 的值由 64 B 变成了 128 B,带宽有效利用率有了明显的提升。例如 MRRS 配置为 128 B,RCB 配置为 64 B,带宽有效效率是 65.62%;而当 RCB 配置为 128 B,带宽有效效率是 77.30%,带宽提升了 12.04%。

(5)其他说明

与存储器写请求 TLP 相同,存储器读请求 TLP 的实

表4 不同MRRS(RCB/128 B)配置带宽效率结果

MRRS/B	RCB/B	算式	带宽效率/%	对比增长率/%
128	128	25 600/33 117	77.30	0
256	128	51 200/65 981	77.60	0.3
512	128	102 400/131 709	77.75	0.15
1 024	128	204 800/263 165	77.82	0.07
2 048	128	409 600/526 077	77.86	0.04
4 096	128	819 200/1 051 901	77.88	0.02

际带宽也需要考虑 PCIe Gen2 物理传输通道编解码的开销。

#### 4 结论

本文介绍了 PCIe 总线的基本结构,列举了影响 PCIe 总线传输效率的多种原因,从实际应用中举例说明并计算。当然上面存储器写请求与存储器读请求的带宽有效利用率的计算只是粗略的估算,报文在实际的发送与接收过程中会涉及软件、硬件的配合处理与其他多种原因的影响,实际应用中会比理论值要低一些。如何高效地应用 PCIe 总线,只有深入理解了总线传输的原理,才能通过合理、有效的配置提高传输效率。

#### 参考文献

- [1] 王齐.PCI Express 体系结构导读[M].北京:机械工业出版社,2010.
- [2] 孟会,刘雪峰.PCI Express 总线技术分析[J].计算机工程,2006,32(23):253-255,258.
- [3] 刘军伟.多种高速串行总线的对比研究与分析[J].电子测试,2016(3):43-45.
- [4] PCI-SIG.PCI express base specification revision 3.0[Z].2010.
- [5] 李琼,郭御风,刘光明,等.I/O 互联技术及体系结构的研究与发展[J].计算机工程,2006,32(12):93-95.
- [6] 蔡万楼,赵建中,吕英杰.PCIE2.0 中 8b/10b 编码器的实现与扩展[J].南开大学学报(自然科学版),2019,52(2):34-38.

(上接第 78 页)

#### 参考文献

- [1] 刘长利.高速铁路智能牵引供电系统的快速自愈重构技术研究[J].铁道标准设计,2020,64(4):162-167.
- [2] 姚小军.牵引供电系统故障隔离与供电恢复自动化的研究[D].成都:西南交通大学,2007.
- [3] 钱平镇.电气化铁路牵引供电系统事故恢复技术[D].大连:大连交通大学,2006.
- [4] 黄常抒,胡云花.备自投装置接线中的问题及应对措施[J].电力自动化设备,2009,29(4):147-149.
- [5] 郑曲直,程颖.备用电源自投装置设计应用的若干问题[J].电力系统保护与控制,2003,31(8):18-21.
- [6] 宋国果,舒勤.基于 OPNET 的 SMV 与 GOOSE 报文共网传输的数字化变电站技术研究与分析[J].华东电力,2012,40(3):6.

- [7] 李玉伟,潘明海.8B/10B 编码对高速传输的影响分析[J].信息安全与通信保密,2011(3):41-43.
- [8] 张月皓,柳桃荣,余开,等.高速串行总线 RapidIO 与 PCI Express 动态可重配置设计[J].电子测量技术,2020,43(3):86-91.
- [9] 孙丰霞,张伟功,周继芹,等.UM-BUS 总线测试系统中 PCIe 的设计与实现[J].电子技术应用,2019,45(5):61-65.
- [10] 廖寅龙,田泽,赵强,等.PCIe 总线物理层弹性缓冲设计与实现[J].计算机技术与应用,2016,26(6):168-170.
- [11] 郑乾,晏敏,赵建中,等.基于 PCIE2.0 的物理层弹性缓冲器设计[J].计算机工程,2014,40(10):71-75.
- [12] 许川佩,李春丰,张培源.PCI Express 协议事务层设计与仿真[J].微电子学与计算机,2018,35(9):64-69.
- [13] 孙欣欣,李娟,田粉仙,等.一种基于 PCIE 总线的 DMA 引擎研究[J].云南大学学报(自然科学版),2021,43(3):444-450.
- [14] 王亮,杨玻,王璇.基于 PCIe 总线的多处理器通信算法设计[J].信息技术与信息化,2021(2):156-158.
- [15] 赵姣,杨珂.一种 PCIE 交换芯片交换管控方法[J].中国集成电路,2020,29(Z4):62-67,84.
- [16] 刘娟,田泽,黎小玉,等.一种 SoC 芯片中 PCIe 接口的 FPGA 平台验证[J].数字通信世界,2020(4):69-70.

(收稿日期:2021-06-07)

#### 作者简介:

潘金龙(1981-),通信作者,男,本科,工程师,主要研究方向:芯片与系统实现,E-mail:panjinlong@sgitg.sgcc.com.cn。

李德建(1977-),男,硕士,高级工程师,主要研究方向:主控芯片设计。

王于波(1969-),男,硕士,高级工程师,主要研究方向:安全芯片及主控芯片设计。



扫码下载电子文档

- [7] 柯善文,刘曙光,何能.关于变电站 GOOSE 报文传输的研究[J].继电器,2007(S1):308-310.
- [8] 夏溪惠,徐丹露,侯伟宏,等.智能变电站继电保护 GOOSE 检修机制分析[J].电工技术,2018(7):119-121,124.
- [9] 余容,黄剑,何朝明.基于 SM4 并行加密的智能电网监控与安全传输系统[J].电子技术应用,2016,42(11):66-69.
- [10] 朱全聪.智能变电站三网合一的网络架构分析与研究[J].机电信息,2012(36):142-143,145.
- [11] 何金鹏,贡保记.基于 IEC61850 的数字化备自投[J].低压电器,2013(18):36-39.

(收稿日期:2021-12-16)

#### 作者简介:

高黎明(1986-),通信作者,男,本科,高级工程师,主要研究方向:牵引供变电技术,E-mail:51461409@qq.com。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所