

# 一种低杂散低相噪频率源的设计与实现

程建斌<sup>1</sup>, 钟耀霞<sup>2</sup>

(1. 中科芯集成电路有限公司, 江苏 无锡 214072; 2. 电子科技大学成都学院, 四川 成都 611731)

**摘要:** 为了降低频率综合器的相噪和复杂度, 提出了一种新的低相噪频率综合器的设计方法。它利用谐波发生器产生低相噪的高频信号, 同时采用集成压控振荡器的频率合成器芯片 LMX2820 来直接产生输出信号和反馈信号, 反馈信号和低相噪高频混频后产生低频的反馈信号, 通过这种内置混频来降低分频值的方式来实现低相噪。采用该方法实现的 13.75 GHz~16.25 GHz(不包含 15 GHz)频率合成器, 其相噪指标优于 -102 dBc/Hz@1kHz。

**关键词:** 频率综合器; 低相噪; 谐波发生器; 内置混频

中图分类号: TN721

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.212327

中文引用格式: 程建斌, 钟耀霞. 一种低杂散低相噪频率源的设计与实现[J]. 电子技术应用, 2022, 48(7): 114-117, 139.

英文引用格式: Cheng Jianbin, Zhong Yaoxia. Design and implementation of a low phase noise frequency synthesizer[J]. Application of Electronic Technique, 2022, 48(7): 114-117, 139.

## Design and implementation of a low phase noise frequency synthesizer

Cheng Jianbin<sup>1</sup>, Zhong Yaoxia<sup>2</sup>

(1. China Key System &amp; Integrated Circuit Co., Ltd., Wuxi 214072, China;

2. Chengdu College of University of Electronic Science and Technology of China, Chengdu 611731, China)

**Abstract:** In order to reduce the phase noise and complexity of the frequency synthesizer, a new design method of low phase noise frequency synthesizer is proposed in this paper. It uses the harmonic generator to generate the high-frequency signal with low phase noise. At the same time, the frequency synthesizer chip LMX2820 integrating the voltage controlled oscillator is used to directly generate the output signal and feedback signal. The feedback signal and low-phase noise high-frequency mixing generate the low-frequency feedback signal. Low phase noise is achieved by reducing the frequency division value through this built-in mixer. The phase noise index of the frequency source of 13.75 GHz~16.25 GHz(excluding 15 GHz) is better than -102 dBc/Hz@1kHz.

**Key words:** frequency synthesizer; low phase noise; harmonic generator; built-in mixer

### 0 引言

随着微波通信技术的快速发展, 对接收机的灵敏度要求越来越高, 作为各类接收机的核心, 频率源需要为其提供高性能的本振信号, 它的相位噪声指标成为制约接收机性能的关键因素之一。为了改善频率源的相噪, 国内外很多公司和科研机构开展了很多这方面的研究, 也提出了各种有效的方法。这些方法有的从构成锁相环的相位噪声来源直接分析<sup>[1-2]</sup>, 更多的从实现方式来分析, 包括新型直接合成<sup>[3]</sup>、DDS和锁相环芯片混合技术<sup>[4]</sup>、自偏置<sup>[5]</sup>、谐波混频<sup>[6]</sup>、新型多级自谐波混频<sup>[7]</sup>和级联式偏置<sup>[8]</sup>、混频环<sup>[9]</sup>等。这些方法要么采用直接合成, 方案复杂且体积大; 要么是针对宽带低相噪系统的, 方案实现起来比较复杂, 而且价格高, 面对一些特殊的应用会造成系统的复杂度提高。基于某些特定应用环境, 本文设计了一种可用于频率间隔固定的低相噪频率源, 利用最新的低相噪合成器芯片, 同时采用谐波发生器产生低

相噪的固定射频信号来参与混频, 最终降低频率源的反馈分频比的方法来改善相噪。对采用该方法设计的频率源的相噪指标进行了测试, 经过对比测试指标和理论指标, 证明该设计方法符合要求, 可以在满足特定要求的场合使用。

### 1 工作原理

低相噪频率源的设计指标为: 工作频率 13.75 GHz~16.25 GHz(不包含 15 GHz), 步进 250 MHz, 相噪优于 -102 dBc/Hz@1kHz, 杂散优于 65 dB。

该频率源的特点在于相噪指标比较高同时要求成本不能高, 输出频点不多且步进大。结合前面各种优化相噪的技术和新的元器件性能, 本文提出了如图 1 所示的实现方案。

在图 1 中, 内部 100 MHz 经过谐波发生器 1 倍频后产生 500 MHz 的信号, 该信号经过功分器后产生两路信号, 其中一路作为鉴相器(PFD)的参考信号, 送到 PFD 的

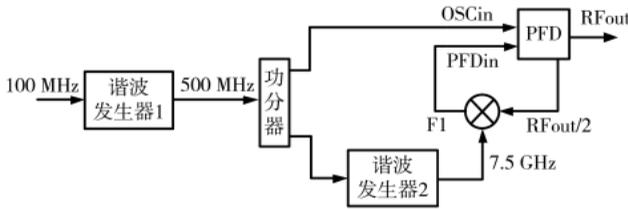


图1 低相噪本振的原理框图

OSCIN引脚；第二路信号经过谐波发生器2倍频后产生7.5 GHz低相噪信号，该信号和RFout/2信号经过混频后产生频率为F1的信号再送入鉴相器的PFDin引脚。该方案中低相噪的实现主要取决于7.5 GHz的相噪，因为混频后输出频率不高。从表1可以看出，最大的分频值是5，相噪会恶化14 dB。由于频率合成器的步进是250 MHz，采用125 MHz作为鉴相频率，经过混频后的频率都是125 MHz的整数倍，可以采用整数鉴相，且鉴相杂散远远在环路带宽外，可以得到充分抑制。在这个设计中，采用整数鉴相，鉴相频率为125 MHz，具体的频率规划见表1。

表1 输出频率规划表

RFout/MHz	RFout/2/MHz	F1/MHz	$N_{\text{mixer}}$
13 750	6 825	625	5
14 000	7 000	500	4
14 250	7 125	375	3
14 500	7 250	250	2
14 750	7 375	125	1
15 250	7 625	125	1
15 500	7 750	250	2
15 750	7 875	375	3
16 000	8 000	500	4
16 250	8 125	625	5

表1中RFout为输出频率,RFout/2为频率综合器芯片反馈输出的频率;F1为混频后的输出频率,为7 500 MHz和RFout/2的混频下边带值; $N_{\text{mixer}}$ 值为分频值,等于F1除以125。对于15 GHz这个点,因为混频后F1的频率为0,故该点不适合。

从表1可以看出,输出频率规划满足需求。

### 1.1 关键器件分析

为了实现低成本和降低模块体积,需要选择合适的鉴相器芯片。作为实现内置混频方案的鉴相器,需要具备以下3个特性:首先,芯片内部需要集成VCO,且输出频率范围能够覆盖需要的频率范围,这样就不需要外部VCO;其次,能够同时输出多通道,这样可以一路作为输出,另外一路作为反馈,这样可以减少外部的功分器;最后,芯片需要有外部鉴相输入功能,可以支持外部混频信号输入,否则反馈信号在锁相环芯片内部就直接反馈输入到鉴相器了,无法进行混频来降低反馈频率。

目前性能指标最高的几款鉴相器的特性对比见表2。从表2可以看出,在目前可以使用的器件中,只有LMX-2820才能满足这个要求。图2为LMX2820内部的原理框图。

表2 鉴相器性能对比表

型号	ADF4371	ADF41513	LMX2595	LMX2820
频率范围/MHz	62~32 000	1 000~26 500	10~19 000	45~226 000
是否集成VCO	是	否	是	是
鉴相方式	内部	外部	内部	内部、外部
$PN_{\text{PLL}_U}/(\text{dBc}/\text{Hz})$	-127	-128	-129	-134
$PN_{\text{PLL}_L}/(\text{dBc}/\text{Hz})$	-234	-235	-236	-236

### 1.2 关键技术分析

为了实现需要的低相噪的指标要求,采用了谐波发

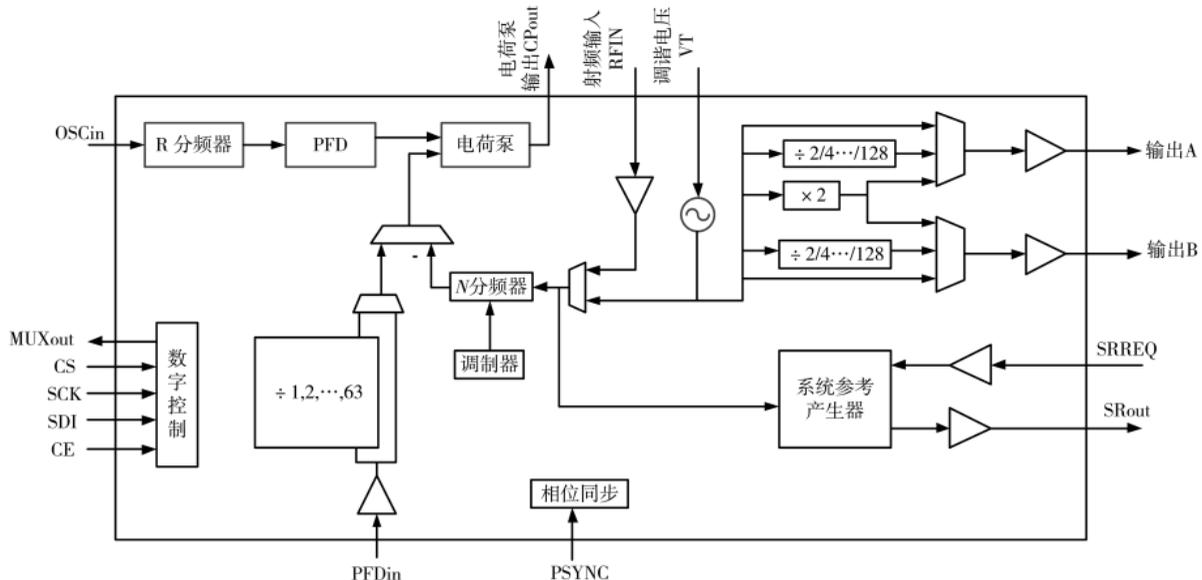


图2 LMX2820 功能框图

生器来产生低相噪的内置混频本振信号,同时利用内置混频技术来降低反馈分频值。

1.2.1 谐波发生器技术

低相噪频率源中采用了两次谐波倍频技术,第一次是将 100 MHz 的参考信号倍频到 500 MHz,用来作为鉴相器的参考和第二次倍频的输入;第二次是将 500 MHz 的输入信号倍频到 7.5 GHz 信号。进行谐波发生器设计时,主要需要考虑的问题为倍频的附加相噪和输出信号对不需要谐波的滤波效果。倍频器对相噪的恶化为  $20\lg N$ ,其中  $N$  为倍频次数。

参考源采用的是高性能的 100 MHz 恒温晶振,相噪优于  $-160 \text{ dBc/Hz}@1\text{kHz}$ ,经过 75 倍频后相噪恶化 38 dB,7.5 GHz 的相噪为  $-122 \text{ dBc/Hz}@1\text{kHz}$ ,考虑到实际的附加相噪贡献,7.5 GHz 信号的相噪为  $-120 \text{ dBc/Hz}@1\text{kHz}$ 。

在进行谐波发生器设计时,需要将输入功率放大到满足阶跃二级管的输入功率要求,同时要求该放大器的相噪指标低<sup>[10]</sup>。

1.2.2 内置混频技术

为了降低这个锁相环反馈分频值  $N$ ,采用了混频的方式。从图 1 可以看出,  $F_1 = |RF_{out}/2 - 7.500| \text{ MHz}$ ,鉴相频率为 125 MHz,混频后的  $N$  值见表 1。从表 1 可以看出,混频后的最大  $N$  值为 5。如果不采用混频技术,输出频率比较高,采用目前最高端的器件,采用单环方案来产生 16.250 MHz 的信号,输出的相噪指标能理论最高能达到  $-98 \text{ dBc/Hz}@1\text{kHz}$ ,不能满足实际需求。本设计的混频配置方式见图 3,以最高输出频率 16.250 MHz 来说明混频技术的实现。从图 2 可以看出,LMX2820 内部的鉴相器部分支持两种外部输入,分别为  $RF_{in}$  和  $PFD_{in}$ ,这两种外部输入就是混频后的信号输入端口。对于 LMX2820,使用混频方式来改善相噪的配置关键,它有两种模式,当混频后分频次数小于 12 时,需要采用 PFD 引脚的混频;如果混频后分频次数大于 12,需要采用  $RF_{in}$  引脚的混频方式。在图 3 中,因为 LMX2820 的基频信号频率范围为 5.65 GHz~11.3 GHz,输出信号都是内部振荡器二倍频( $RF_{out}$ )后输出,另一支路是基频信号( $RF_{out}/2$ )输出后和 7.5 GHz 低相噪信号进行混频,混频后的信号经过低通滤波器后送入 LXM2820 的  $PFD_{in}$  引脚,内部经过  $N$  分频器后进入鉴相器(PFD)作为鉴相频率

信号,和 OSCin 引脚送入的信号经过 R 分频器(R Divider)后的信号进行比较,输出的信号和外部环路滤波器相连,产生调谐电压送内部的压控振荡器。

2 主要指标分析

2.1 相噪指标分析

对于使用合成器芯片来实现的频率源,相噪按照式(1)~式(3)来综合评估。

$$PLL_{Flat} = PN_{PLL_{Flat}} + 20 \times \log(F_{VCO}/F_{PD}) + 10 \times \log(F_{PD}/1 \text{ Hz}) \quad (1)$$

$$PLL_{flicker(\text{offset})} = PN_{PLL_{1/f}} + 20 \times \log(F_{VCO}/1 \text{ GHz}) - 10 \times \log(\text{offset}/10 \text{ kHz}) \quad (2)$$

$$PLL_{noise} = 10 \times \log(10^{PLL_{1/f}/10} + 10^{PLL_{flat}/10}) \quad (3)$$

其中,  $PN_{PLL_{Flat}}$  为鉴相器的归一化相噪,值为  $-236 \text{ dBc/Hz}$ ;  $PN_{PLL_{1/f}}$  为鉴相器的闪烁噪声归一化噪底,值为  $-134 \text{ dBc/Hz}$ ;  $F_{PD}$  是鉴相频率,为 125 MHz;  $F_{VCO}$  为输出频率,在这里指混频后的反馈频率;  $PLL_{Flat}$  为鉴相器自身对频率源的相噪贡献;  $PLL_{flicker(\text{offset})}$  为鉴相器闪烁噪声对频率源的相噪贡献,这里 offset 值为 1 kHz。在这里按最高输出频率 16.25 GHz 进行评估,如果不采用混频技术,  $F_{VCO}$  为 16.25 GHz;采用混频技术后,  $F_{VCO}$  为 625 MHz,但此时的 625 MHz 的相噪是由混频采用的 7.5 GHz 信号决定的。各个部分的相噪贡献见表 3。

表 3 信号相噪分布表

序号	器件	信号相噪/(dBc/Hz@1kHz)
1	恒温晶振	-160
2	500 MHz 信号	-146
3	7.500 MHz 信号	-122
4	625 MHz 信号	-122~-119
5	16.250 MHz 信号	-108~-105

2.2 杂散指标分析

频率源的主要杂散有鉴相杂散、7.5 GHz 的泄露杂散和输出信号的亚谐波杂散。频率源采用整数鉴相,鉴相频率 125 MHz 偏离环路带宽很远,通过环路滤波器很容易将其移至到 75 dBc 以上,7.5 GHz 杂散和亚谐波杂散离输出频率较远,主要通过输出端的定制带通滤波器来保证。

3 测试验证

根据上述原理,研制了该低相噪本振源。在内部 100 MHz 恒温晶振相噪指标为  $-160 \text{ dBc/Hz}@1\text{kHz}$  的条件下测试最低频率 13.75 GHz、中间频率 14.75 GHz 和最高输出频率 16.25 GHz 的信号,其频谱图和相噪图分别如图 4~图 9 所示。从图可以看出,在整个输出频率范围上,最高相噪为  $-104.21 \text{ dBc/Hz}$ ,杂散优于  $-70 \text{ dBc}$ 。

4 结论

本文采用的混频式频率源实现的步进为 250 MHz 的低相噪频率合成器,利用了谐波发生器和最新的鉴相器芯片来实现指标的同时降低复杂度,在体积和成本方

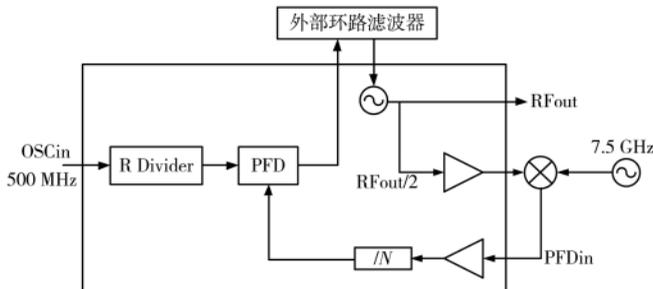


图 3 内置混频技术原理框图

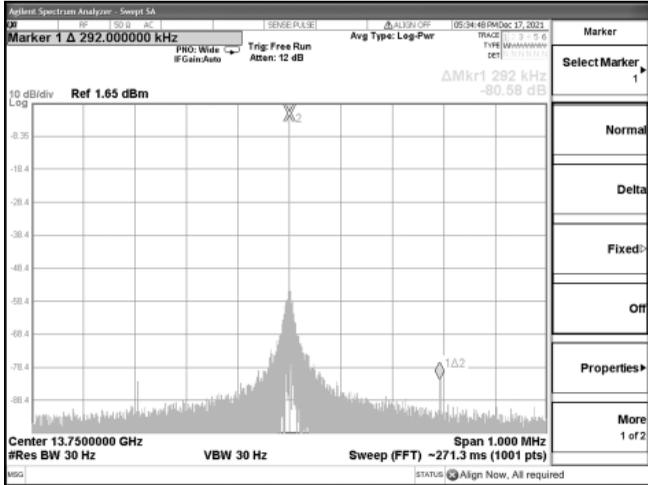


图 4 13.75 GHz 信号频谱图

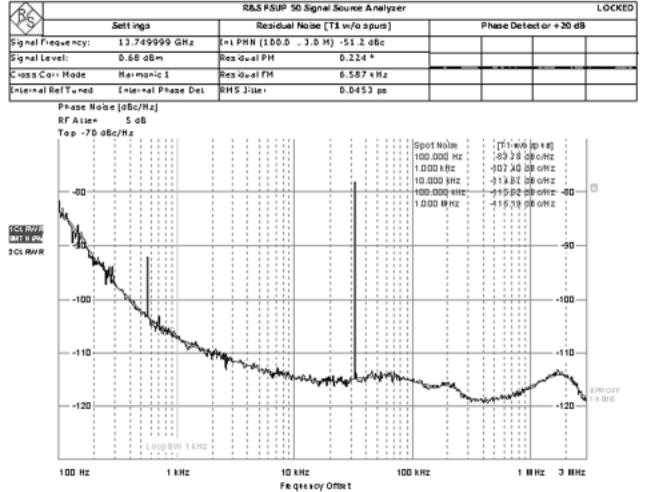


图 7 13.75 GHz 信号相噪图

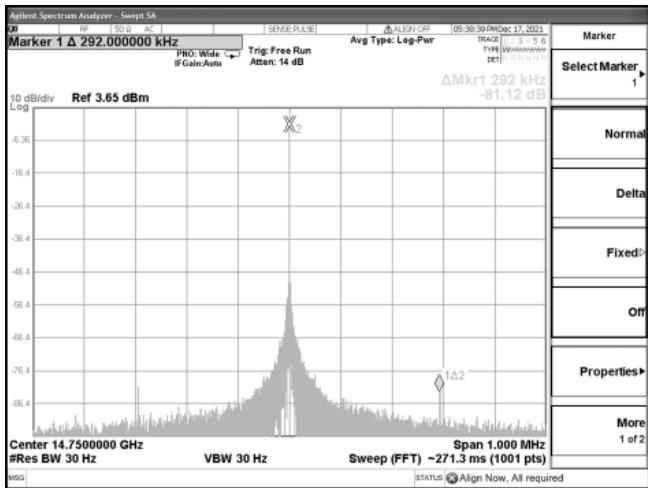


图 5 14.75 GHz 信号频谱图

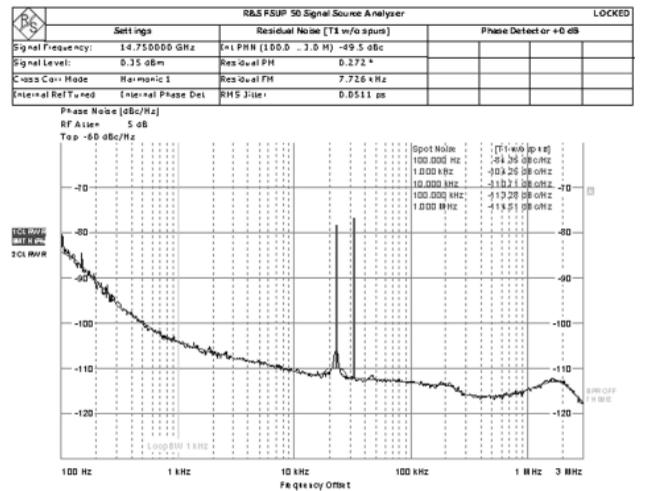


图 8 14.75 GHz 信号相噪图

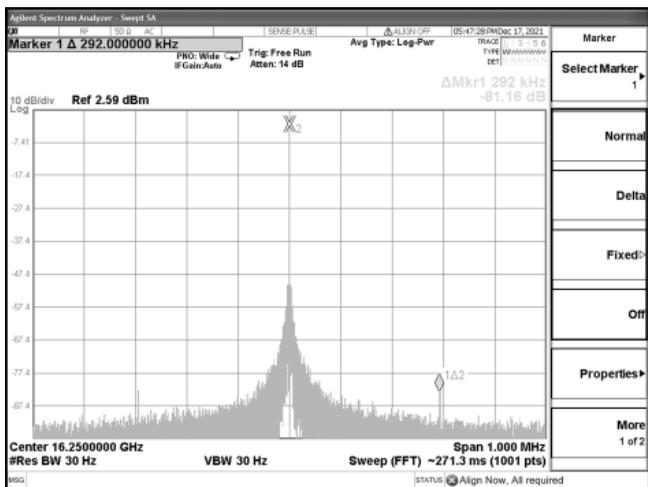


图 6 16.25 GHz 信号频谱图

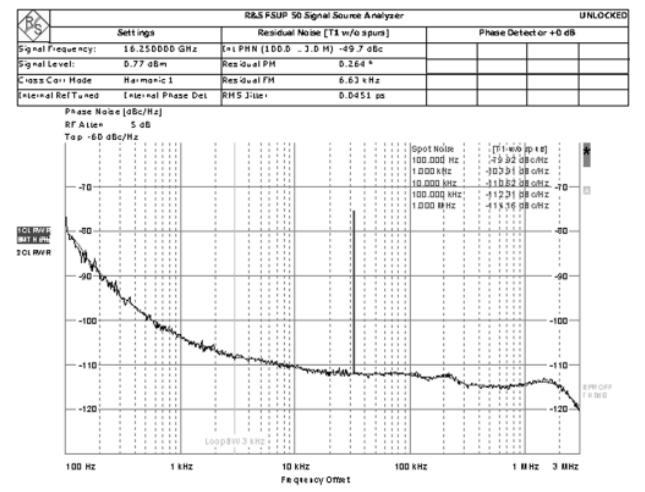


图 9 16.25 GHz 信号相噪图

面优势显著,但它对使用条件有限制,在满足条件的情况下使用非常具有性价比。同时,随着工艺的发展,可以采用 MCM 技术将该频率源进行小型化设计<sup>[1]</sup>,满足更多场景的需求。

参考文献

[1] 李春利. 频率源相位噪声性能提升方法研究[J]. 雷达系统

(下转第 139 页)

look once; unified, real-time object detection[C]//Proceedings of CVPR, 2015: 779-788.

- [14] 张炳力, 秦浩然, 江尚, 等. 基于 RetinaNet 及优化损失函数的夜间车辆检测方法[J]. 汽车工程, 2021, 43(8): 1195-1202.
- [15] KRASIN, T, DUERIG N, ALLDRIN V, et al. Open-images: a public dataset for large-scale multi-label and multi-class image classification[Z]. 2016.
- [16] 何东, 陈金令, 王熙. 基于改进 YOLOv3 的红外行人目标检测[J]. 中国科技论文, 2021, 16(7): 8.

(收稿日期: 2021-12-09)

## 作者简介:

刘彤(1997-), 女, 硕士研究生, 主要研究方向: 深度学习、分布式信息处理。

杨德振(1988-), 通信作者, 男, 博士研究生, 主要研究方向: 光电系统设计、弱信号提取及图像处理。

宋嘉乐(1997-), 男, 硕士研究生, 主要研究方向: 迁移学习。



扫码下载电子文档

(上接第 117 页)

与技术, 2021, 43(1): 76-80.

- [2] 江润东, 姚金杰, 姬娜娜, 等. Ka 波段频率源建模分析与设计[J]. 电子技术应用, 2021, 47(7): 12-16.
- [3] 谢走甜, 王志伟, 李岸舟, 等. 一种新型低杂散低相噪直接合成频率源[J]. 雷达科学与技术, 2021, 19(3): 328-331.
- [4] 刘国超. 基于 PLL 低相噪快捷频率源的研究与设计[D]. 成都: 电子科技大学, 2021.
- [5] 周叶华, 叶宝盛, 程明, 等. 一种高频谱纯度的 C 频段宽带频率合成器设计[J]. 电讯技术, 2018, 58(2): 219-224.
- [6] CHENAKIN A. Frequency synthesizers: current solutions and new trend[J]. Microwave Journal, 2007, 50(5): 256-266.
- [7] 李智鹏, 刘永智, 徐铭海, 等. 基于级联式偏置锁相环的低相噪宽带频率合成器[J]. 微波学报, 2014, 30(6): 9-13.

[8] 张大鹤, 李青平. 一种超低相位噪声宽带频率合成器的设计[J]. 无线电工程, 2016, 46(2): 58-60.

[9] 成斌, 沈文渊, 穆晓华, 等. 一种超宽带超低相位噪声频率综合器[J]. 电波科学学报, 2021, 36(4): 532-538.

[10] 张清. 微波全频段低功耗树状谱发生器研制[D]. 成都: 电子科技大学, 2009.

[11] 郭鑫, 程建斌. 基于 MCM 技术的小型化频率综合器设计与实现[J]. 电子与封装, 2021, 21(12): 120303.

(收稿日期: 2021-11-14)

## 作者简介:

程建斌(1982-), 男, 硕士, 工程师, 主要研究方向: 频率合成器、微波电路与系统。

钟耀霞(1982-), 女, 硕士, 副教授, 主要研究方向: 频率合成器、电路与系统。



扫码下载电子文档

(上接第 123 页)

http://www.analog.com.

- [19] BEAVERS I. JESD204 转换器内确定性延迟解密[EB/OL]. (2014-xx-xx)[2021-09-xx]. http://www.analog.com.
- [20] 李海涛, 阮林波, 田耕. FFT 方法在 ADC 有效位测试中的应用探讨[J]. 电测与仪表, 2013, 50(10): 14-17.
- [21] Ti. ADS54J60 Dual-Channel, 16-Bit, 1.0-GSPS Analog-to-Digital Converter[Z]. 2019.

(收稿日期: 2021-09-22)

## 作者简介:

李海涛(1986-), 男, 博士, 工程师, 主要研究方向: 快电子学。

李斌康(1965-), 男, 博士, 研究员, 主要研究方向: 脉冲辐射探测、快脉冲电子学和系统研制。

孙彬(1979-), 男, 硕士, 副研究员, 主要研究方向: 加速器控制。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所