

# 基于 Cadence 3D-IC 平台的 2.5D 封装 Interposer 设计

张成, 李晴, 赵佳

(格芯半导体(上海)有限公司 中国研发中心(上海), 上海 201204)

**摘要:** 2.5D 先进封装区别于普通 2D 封装, 主要在于多了一层 Silicon Interposer(硅中介层), 它采用硅工艺, 设计方法相比普通 2D 封装更为复杂。而高带宽存储(High Bandwidth Memory, HBM)接口的互连又是 Interposer 设计中的主要挑战, 需要综合考虑性能、可实现性等多种因素。介绍了基于 Cadence 3D-IC 平台的 Interposer 设计方法, 并结合 HBM 接口的自动布线脚本可以快速实现 Interposer 设计; 同时通过仿真分析确定了基于格芯 65 nm 三层金属硅工艺的 HBM2e 3.2 Gb/s 互连设计规则, 权衡了性能和可实现性, 又兼具成本优势。

**关键词:** 2.5D 先进封装; 硅中介层; 高带宽存储; 3D-IC

中图分类号: TN47

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.229803

中文引用格式: 张成, 李晴, 赵佳. 基于 Cadence 3D-IC 平台的 2.5D 封装 Interposer 设计[J]. 电子技术应用, 2022, 48(8): 46-50, 59.

英文引用格式: Zhang Cheng, Li Qing, Zhao Jia. 2.5D packaging interposer design based on Cadence 3D-IC platform[J]. Application of Electronic Technique, 2022, 48(8): 46-50, 59.

## 2.5D packaging interposer design based on Cadence 3D-IC platform

Zhang Cheng, Li Qing, Zhao Jia

(China R & D Center, Globalfoundries China(Shanghai) Co. Limited, Shanghai 201204, China)

**Abstract:** With the rise of industries such as big data, artificial intelligence and 5G, there is a huge demand for high-speed computation, high-speed interface and low-power chip solutions. Therefore, advanced packaging, which plays a significant role in the continuation of Moore's Law, including 2.5D and 3D packaging technology, has become an important topic in the semiconductor industry. The main difference between the 2.5D advanced packaging and the traditional 2D packaging is that there is an extra layer of silicon interposer, which uses the thin metal line width and fine metal spacing capabilities of the silicon process to achieve high density interconnection. This article described a design flow implemented with Cadence 3D-IC platform by which a 2.5D packaging interposer design is developed on Globalfoundries 65nm technology process. HBM2e 3.2 Gb/s high speed interconnect on a 3-Metal-Interposer is achieved and verified by signal and power integrity simulation and analysis making this product has both performance and cost advantages.

**Key words:** 2.5D advanced package; Si-interposer; HBM; 3D-IC

### 0 引言

随着人工智能、5G、大数据、云计算等行业的兴起, 典型的带有 HBM 接口的 2.5D 先进封装应用也越来越普遍, 随之而来的是对这类先进封装的设计需求也日益旺盛。由于 2.5D 先进封装设计中的 Interposer 采用硅工艺, 设计相对复杂, 而且 HBM 接口速率的不断提升, 对 Interposer 的设计也提出了更高的挑战。本文结合设计实例, 介绍了基于 Cadence 3D-IC 平台的 Interposer 设计过程, 从前期分析、物理实现到 HBM2e 接口仿真验证。

#### 1 典型 2.5D 先进封装

如图 1 所示, 典型的 2.5D 先进封装主要包括逻辑芯片、HBM 颗粒、Interposer 和封装基板。

逻辑芯片一般是采用先进工艺的 CPU、GPU 或其他

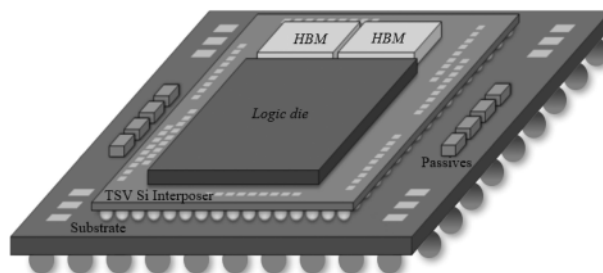


图 1 典型 2.5D 先进封装

ASIC。HBM 为逻辑芯片提供高带宽存储, 本身是采用 3D 堆叠技术的多个 DRAM 颗粒。HBM 和逻辑芯片之间的互连通过 Interposer 和 uBump(Micro-Bump, 微凸块)来实现。这是 2.5D 封装与普通 2D 封装或多芯片模组

(Multi-Chip Module, MCM)的主要区别。

Interposer 采用硅工艺,具有更小的线宽线距能力,能做到  $1\ \mu\text{m}$  以下;uBump 相比普通 Bump 尺寸更小,最小间距可以做到  $150\ \mu\text{m}$  以下。两者相结合,共同实现逻辑芯片与 HBM 之间的高密互连。逻辑芯片的其他信号,如电源地、高速信号等,则通过 Interposer 上的硅通孔 (Silicon Through Via, TSV) 连接到下面的封装基板上,再通过基板上的 BGA 焊球与 PCB 相连。

## 2 Interposer 设计流程

从 2.5D 封装结构可以看出,整个封装设计包括基板和 Interposer 两个部分:封装基板的设计和普通 2D 封装基板类似,相当于把 Interposer 当成一个大芯片;而 Interposer 的设计,由于采用硅工艺,设计相对复杂,各个公司设计方法不尽相同,不利于 2.5D 封装生态系统发展。

Cadence 公司推出的 3D-IC 平台是大容量、统一的设计和平台,可用于各类异构型多芯片系统设计。如图 2 所示,3D-IC 平台涵盖从单个的 3D 堆叠存储颗粒设计到完整封装的设计,从物理实现到系统验证以及 PPA 分析等,涉及内容十分广泛。

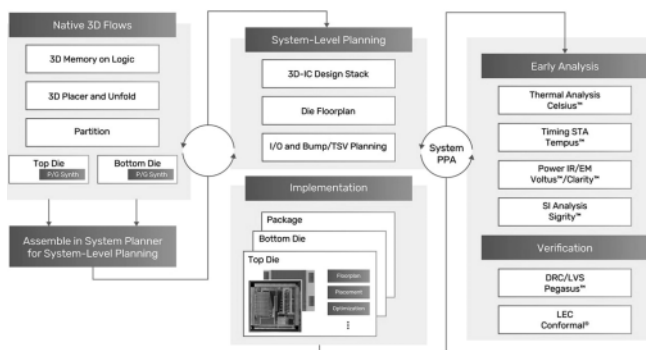


图 2 Cadence 3D-IC 平台

本文介绍的基于 3D-IC 平台的 Interposer 设计流程采用 OrbitIO、Innovus、Sigrity 等业界通用 EDA 工具,方便同行间交流学习。如图 3 所示,该流程包括三个部分:首先需要确定 Interposer 采用的硅工艺和 HBM 布线规则,第二部分进入物理实现阶段,第三部分进行仿真验证。



图 3 Interposer 设计流程

## 3 Interposer 设计实例

如图 4 所示,该 Interposer 设计实例仅带有一个 HBM2e 颗粒,速率 3.2 Gb/s。ASIC 只保留了 HBM 接口和部分 ASIC 核电源。HBM 接口布线通道总宽度 6 mm,长度 5 mm 左右,总共大约 1 700 个信号线。

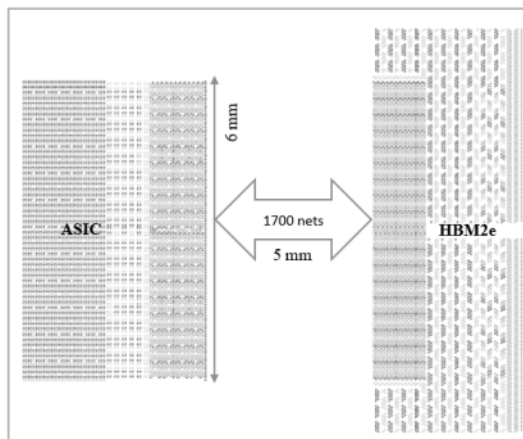


图 4 Interposer 设计实例

### 3.1 确定设计规则

#### 3.1.1 Interposer 硅工艺

如图 5 所示,该 Interposer 设计实例采用格芯 65 nm 三层金属硅工艺(格芯也有 65 nm 四层金属硅工艺可供选择)。

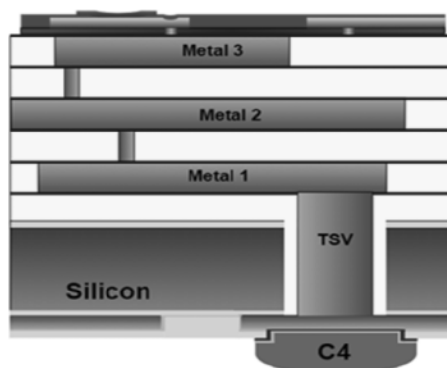


图 5 格芯 65 nm 三层金属硅工艺

工艺能力如表 1 所示,TSV 孔径和孔深分别为  $10\ \mu\text{m}$  和  $100\ \mu\text{m}$ ,间距  $40\ \mu\text{m}$ ;金属层的最小线宽线距可以做到  $0.8\ \mu\text{m}$ 。

表 1 格芯 65 nm 工艺能力

TSV Si Interposer	
10:1 Aspect Ratio TSV	$10\ \mu\text{m}$ Dia./ $100\ \mu\text{m}$ Depth
TSV Pitch	$40\ \mu\text{m}$
Line Width/Space	$0.8/0.8\ \mu\text{m}$

#### 3.1.2 HBM 接口布线规则

HBM 接口速率为 HBM2e 3.2 Gb/s,相比上一代 HBM2

的 2 Gb/s 提升了不少,信号间的串扰,特别是数据信号间的串扰将更为显著。如图 6 所示,按照 Pin 定义分布情况,HBM 接口的数据布线可以分为 32 个组,每组布线宽度 165  $\mu\text{m}$ 。

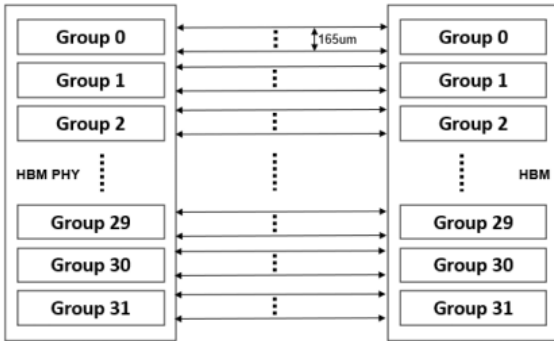


图 6 HBM 接口数据布线分布

按照工艺文件定义的 3 个布线层,HBM 接口采用信号-地-信号的方式来布线。如图 7 所示,Metal1 和 Metal3 分别走信号线,走线位置上下重叠。Metal2 为地隔离走线,线宽略宽于数据线,位置也与上下层的数据线重叠,可以隔离 Metal1 和 Metal3 信号之间的串扰。165  $\mu\text{m}$  宽的布线通道内有 Metal1 和 Metal3 两层信号走线,每一层 24 个连线,包括数据信号的 DQ、DQS、DM、DBI 等。

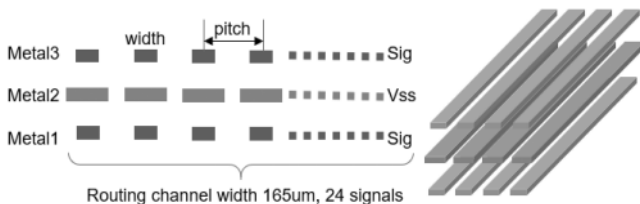


图 7 HBM 接口的三层布线结构

如表 2 所示,布线层介质的材料和厚度是由硅工艺限定的,不能更改,另外布线长度 5 mm 受 ASIC 和 HBM 之间的最小间距限制,无法缩短。设计可调整的只有线宽和线距。

表 2 设计参数扫描

Metal/Dielectric thickness	Fixed by tech rule
Trace length	5 mm(minimum)
Trace pitch	Sweep 6~6.5 $\mu\text{m}$
Trace width	Sweep 1.2~2.2 $\mu\text{m}$

通过信号完整性仿真扫描不同的线宽线距,来确定最佳值。如图 8 所示,单个 Group 布线的 S 参数采用 Signity 的 XcitePI 工具提取,包括两层数据布线的 48 个信号和电源地网络。

提取好的 S 参数连上 HBM 接口的 IBIS 模型,在 TopXplorer 工具中进行仿真,得到整个 Group 所有数据信

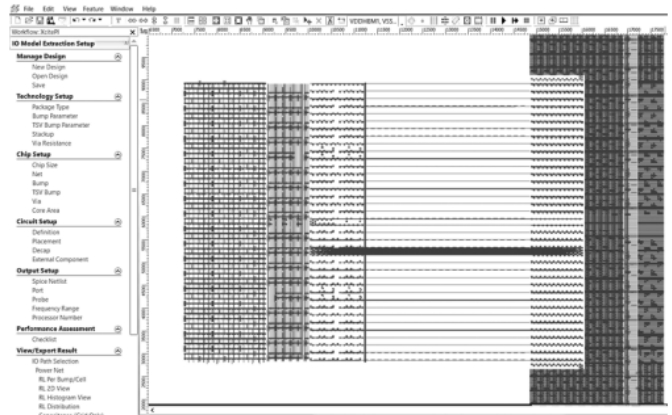


图 8 XcitePI 提取 S 参数模型

号的眼图,如图 9 所示。参数扫描结果需要兼顾设计可实现性和信号眼图质量来判断。

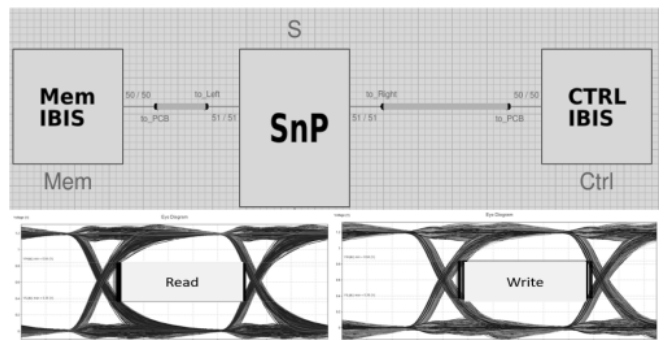


图 9 HBM 单个 Group 信号完整性仿真

## 3.2 物理实现

### 3.2.1 建立 Interposer 层叠

在 OrbitIO 中开始一个新设计,然后如图 10 所示,在 Flow Manager 中点击“Layer stackup”,新建一个 Interposer 层,再给这个层导入 Foundry 厂家提供的 Tech 文件和 Bump 文件。Tech 文件要放在第一个,其他的 Bump 文件放在后面。

### 3.2.2 导入 ASIC 和 HBM 颗粒的 uBump

在 OrbitIO 的 Flow Manager 中继续点击“Create Device”



图 10 建立 Interposer 层叠步骤



建立 ASIC 和 HBM。如图 11 所示,通过导入一个 CSV 文件来实现。这个 CSV 文件包含 ASIC 和 HBM 的所有 uBump 的信息,有坐标、网络名和位号。

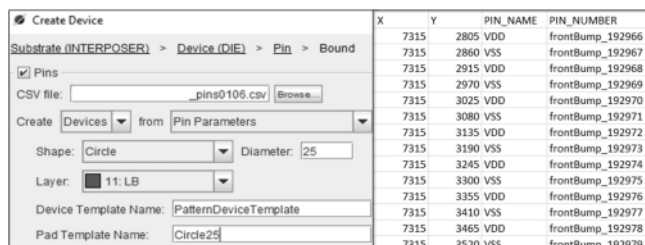


图 11 建立 ASIC 和 HBM Device

导入完成后的效果如前文图 4 所示。

### 3.2.3 添加 C4 Bump 和 TSV

如图 12 所示,在 OrbitIO 界面中选中要添加 C4 的 uBump,然后右键选择“Bumps for all Layer Shapes”,再选择 Foundry 厂提供的 C4 模板文件,设置好 C4 Bump 间的最小间距,完成添加。可以按照分区域、分网络等方式,分批完成所有要添加 C4 的信号(要连接到封装基板的信号)。



图 12 添加 C4 Bump

接着再选中要添加 TSV 的 C4 Bump,如图 13 所示。再右键选择“Fanout Vias”,然后选择要添加的 TSV 类型和层。

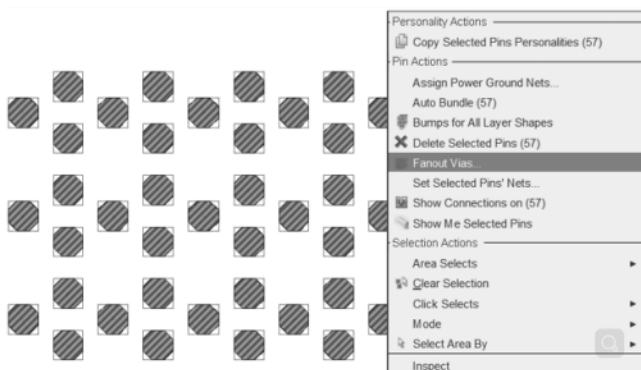


图 13 添加 TSV

完成 C4 和 TSV 添加后的结果如图 14 所示。深黑色是 uBump,大的淡灰色八角为 C4 Bump,C4 中间的 4 个

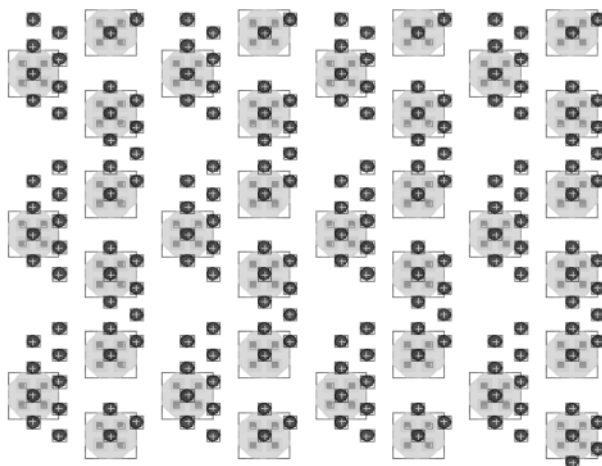


图 14 完成 C4 Bump 和 TSV 添加

小深灰点为 TSV,这里采用的是一个 C4 搭 4 个 TSV。

### 3.2.4 导出 DEF 和网表

完成以上步骤后导出 DEF 和网表文件,如图 15 所示,在 OrbitIO 界面选中 Interposer,再右键选中 Export,然后分别导出 DEF 和 Verilog 网表。

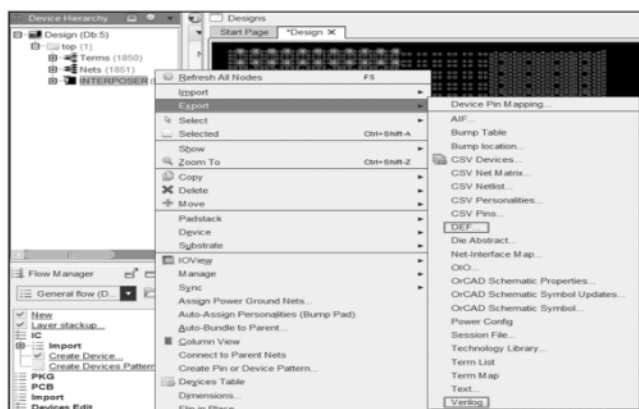


图 15 导出 DEF 和网表文件

将导出的 DEF 和网表文件,再加上 Foundry 厂的工艺 Tech 文件、Bump 文件等一起导入到 Innovus 中,进入布线阶段,如图 16 所示。

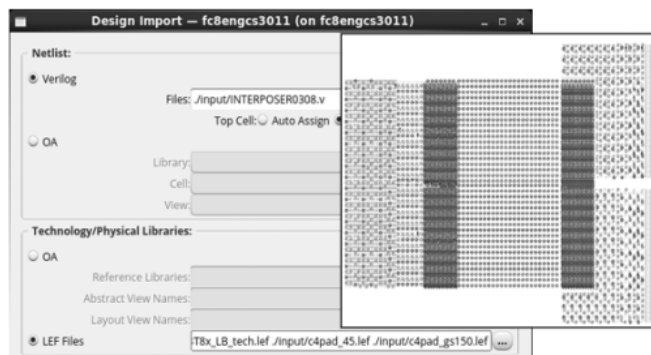


图 16 DEF 和网表导入 Innovus

### 3.2.5 电源地设计

在 Innovus 中首先进行电源地部分的布线,采用 add-Stripe 命令可以方便地添加电源带,只要输入布线方向、区域、布线层等信息。如图 17 所示,把电源地按照 Mesh 方式组成供电网络,就是 Metal1、Metal3 为竖线层, Metal2 为横线层,相同网络交叉的地方用过孔阵连接。

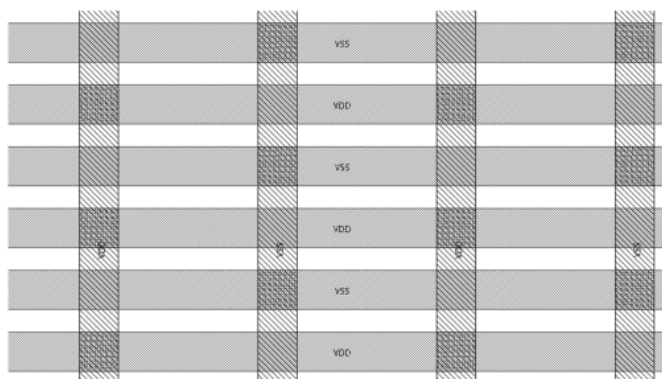


图 17 电源地 Mesh 供电网络

### 3.2.6 HBM 接口布线

最后一步 HBM 接口布线采用工具命令语言 (Tool Command Language, TCL) 脚本来实现自动布线。因为 HBM 接口的 uBump 定义非常规则,如图 18 所示,无论是 HBM 颗粒还是 ASIC 侧,它们的 Pin 定义都是一一对应的。而且每个 Group 也都是是一致的。所以只要完成一个 Group 的脚本就可以循环调用完成所有接口的布线。

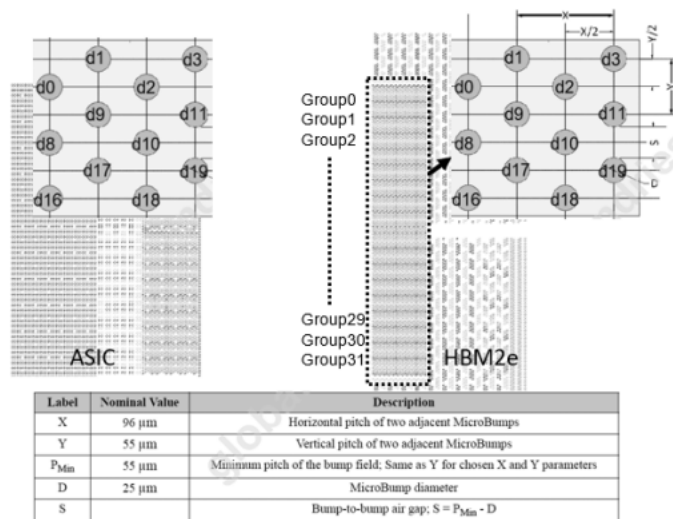


图 18 HBM 接口 Pin 定义

按照 3.1.2 节所确定的布线规则,通过 Innovus 的 TCL 命令,开发脚本。关键是在有限的布线空间内如何安排每个 Pin 的出线顺序,避免走线交叉。图 19 所示为其中一组在 Metal1 层的 HBM 接口布线, Metal3 层的布线也类似。



图 19 Group0 Metal1 层布线

同样采用 TCL 命令在数据线对应位置的 Metal2 层完成 shielding 布线。图 20 所示的略宽的连线为 Metal2 层的隔离地布线。

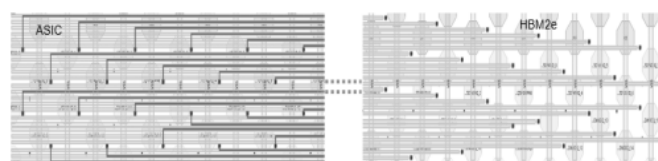


图 20 Group0 Metal2 隔离地布线

采用 TCL 开发的自动布线脚本完成 HBM 接口所有 Group 的近 1 700 个连线,运行时间不到 1 min,非常高效。

### 3.3 仿真验证

完成物理设计后导出 GDS,针对设计结果进行信号完整性和电源完整性仿真验证。同 3.1.2 节确定 HBM 接口布线规则的仿真过程一样, HBM 接口信号完整性仿真验证通过提取各个通道的 S 参数模型后,在 Sigriety 工具中进行信号眼图的仿真。

电源完整性仿真采用 Sigriety 的 PowerDC 工具,如图 21 所示,先将 GDS 转换成 Sigriety 文件格式,需要加上层叠文件和 Tech 文件。

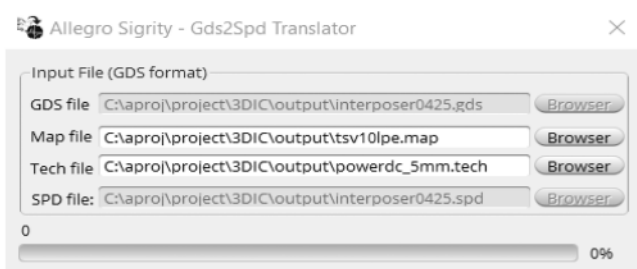


图 21 GDS 文件转换

然后再进行直流压降的仿真。如图 22 所示, HBM 接口电源的直流压降都很小,这也证明 Mesh 方式的电源布线设计是非常可靠的。

### 4 结论

本文介绍了基于 3D-IC 平台的 Interposer 设计流程,并结合详细的设计实例,验证了该设计流程的可行性;通过开发自动布线脚本,实现了 HBM 接口的高效设计,节省设计时间;同时验证了格芯 65 nm 三层金属工艺可

(下转第 59 页)

电源强壮性和 signal bump 数量以及产生重合导致的短路数,电源强壮性可以用电源网络面积占芯片面积比例量化,算法优化后,电源网络面积占比由 25% 提升至 33%,signal bump 数会体现在流程报告中,由 10 860 提升至 15 402,而且不会产生重合导致短路。

## 6 结论

本实验在对于 Integrity 3DIC EFS 后端流程进行实现且优化后,获得了设计的 PPA 数据,对同一设计不同频率的 2D 芯片实现的 PPA 数据对比,得到结果如表 2、表 3 所示。

表 2 1.25 GHz 频率下 PPA 对比

	2D	3D	收益/%
尺寸/ $\mu\text{m}$	1 200×1 200	800×800×2	11.2
WNS/ns	-0.24	-0.117	
TNS/ns	-4 126	-22	
实际频率/GHz	1.01	1.133	12
功耗/mW	2 961	2 868	3.2

由上述结果对比可得:在基于 Integrity 3DIC EFS 工具优化,结合芯盟 HITOC Design Kit 下的逻辑堆叠

(上接第 50 页)

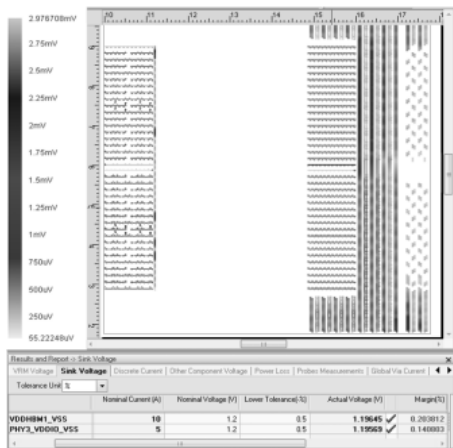


图 22 HBM 接口电源直流压降仿真

(上接第 54 页)

北京:科学出版社,2008.

- [4] SCHRODER D K.Negative bias temperature instability(NBTI): physics,materials,process,and circuit issues[J].Tutorial IRPS, 2005:67-74.
- [5] 张月.PMOSFET 器件 NBTI 效应的机制与模型研究[D].西安:西安电子科技大学,2014:54-56.
- [6] LI E,ROSENBAUM E,TAO J,et al.Hot carrier effects in nMOSFETs in 0.1/ $\mu\text{m}$  CMOS technology[C]//Reliability Physics Symposium Proceedings, 1999.37th Annual. 1999 IEEE International.IEEE, 1999:253-258.

表 3 1.35 GHz 频率下 PPA 对比

	2D	3D	收益/%
尺寸/ $\mu\text{m}$	1 200×1 200	800×800×2	11.2
WNS/ns	-0.288	-0.152	
TNS/ns	-9 282	-1 054	
实际频率/GHz	1.062	1.198	13
功耗/mW	3 378	3 292	2.5

辑芯片后端实现,与传统 2D 芯片实现的 PPA(性能、功耗、面积)对比中,本实验获得了频率提升 12%、面积减少 11.2%、功耗减少 2.5% 的收益。

## 参考文献

- [1] 姚明军.基于混合键合和后硅通孔的晶圆级三维芯片堆叠技术研究[D].大连:大连理工大学,2019.

(收稿日期:2022-06-20)

## 作者简介:

徐睿(1995-),男,本科,芯片设计师,主要研究方向:芯片设计、数字后端设计。

王贻源(1985-),男,硕士,芯片设计师,主要研究方向:芯片设计、数字后端设计。



扫码下载电子文档

以支持 HBM2e 3.2 Gb/s,兼具了性能和成本优势。

## 参考文献

- [1] Cadence OrbitIO reference guide version 17.4[Z].2019.
- [2] Cadence Innovus user guide version 20.10[Z].2020.
- [3] Cadence Innovus text command reference Version 20.10[Z].2020.

(收稿日期:2022-06-20)

## 作者简介:

张成(1978-),男,硕士,封装设计经理,主要研究方向:先进封装设计。

李晴(1978-),女,硕士,研发中心总监,主要研究方向:Memory、Flash、先进封装设计。

赵佳(1984-),女,硕士,封装设计主任工程师,主要研究方向:AIp 等先进封装设计。



扫码下载电子文档

- [7] ZHANG Z,WANG R,SHEN X,et al.Aging-aware gate-level modeling for circuit reliability analysis[J].IEEE Trans. Electron Devices, 2021, 66(9):4201-4207.

(收稿日期:2022-06-20)

## 作者简介:

陈寒(1993-),女,硕士,IC 工艺库设计工程师,主要研究方向:标准单元库设计。

宋存彪(1990-),男,硕士,IC 工艺库设计高级工程师,主要研究方向:标准单元库设计。

吴韦忠(1981-),男,硕士,IC 工艺库设计经理,主要研究方向:标准单元库设计。



扫码下载电子文档

## 版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所