

基于 HITOC DK 与 3DIC Integrity 的 3DIC 芯片物理设计

徐睿,王贻源

(芯盟科技,上海 200000)

摘要: 使用了 Cadence 3DIC Integrity 工具,并结合芯盟特有的 HITOC(Heterogeneous Integration Technology On Chip) Design Kit,进行了 3DIC(3D 异构集成)逻辑堆叠逻辑类型芯片的后端实现。项目中对于 Cadence 3DIC Integrity 工具中的 proto seeds(即最小分布单元)进行了拆分、分布、定义等方面的研究优化;并且对于顶层电源规划与 Hybrid Bonding bump 间的布线排列进行了算法优化,在不影响电源网络强壮性的情况下尽可能多地获得 Hybrid Bonding bump 数量,从而增加了 top die 与 bottom die 间的端口数。最终结果显示,在与传统 2D 芯片实现的 PPA(性能、功耗、面积)对比中,本实验获得了频率提升 12%、面积减少 11.2%、功耗减少 2.5% 的收益。

关键词: 3D 异构集成;逻辑堆叠逻辑;Hybrid Bonding;HITOC Design Kit;PPA

中图分类号: TN402

文献标识码: A

DOI:10.16157/j.issn.0258-7998.229805

中文引用格式: 徐睿,王贻源. 基于 HITOC DK 与 3DIC Integrity 的 3DIC 芯片物理设计[J]. 电子技术应用, 2022, 48(8): 55-59.

英文引用格式: Xu Rui, Wang Yiyuan. 3DIC physical design of chips based on HITOC DK and 3DIC Integrity technology[J]. Application of Electronic Technique, 2022, 48(8): 55-59.

3DIC physical design of chips based on HITOC DK and 3DIC Integrity technology

Xu Rui, Wang Yiyuan

(ICLEAGUE, Shanghai 200000, China)

Abstract: In this paper, Cadence 3DIC Integrity and ICLEAGUE HITOC Design Kit are used to implement the back-end of 3DIC logic stack logic chip. In the project, the separation, distribution, definition and other aspects of proto seeds(i.e., minimum distribution unit) in Cadence 3DIC Integrity were studied and optimized. In addition, the paper provided an algorithm of routing arrangement between the top-level power planning and Hybrid Bonding bump, which is optimized to obtain as many Hybrid Bonding bumps as possible and also keep the strength of the power network, thus increasing the number of ports between top die and bottom die. The final results of this paper show that compared with PPA (performance, power consumption and area) implemented by traditional 2D chips, the experiment has achieved 12% increase in frequency, 11.2% reduction in area and 2.5% reduction in power consumption.

Key words: 3DIC; logic stack logic; Hybrid Bonding; HITOC Design Kit; PPA

0 引言

1956 年,英特尔创始人戈登·摩尔提出,当价格不变时,集成电路上可容纳的元器件的数目,约每隔 18~24 个月便会增加一倍,性能也将提升一倍。这一规律揭示了信息技术进步的速度。过去的半个多世纪,半导体行业一直遵循着摩尔定律(Moore's law)高速地发展,如今,制程节点已经来到了 5 nm,借助于 EUV 光刻及 FINFET 等先进技术,正在向 3 nm 甚至更先进的节点演进。然而,随着芯片制造工艺不断接近物理极限,单纯的半导体工艺升级带来的计算性能的提升不再像以前那么迅速,芯片发展逐渐步入后摩尔时代。3D 堆叠技术是把不同功能的芯片或结构,通过堆叠技术或过孔互连等微机械加工技术,使其在 z 轴方向上形成立体集成、信号连通,是以晶片级、芯片级等封装和可靠性技术为目标的

三维立体堆叠加工技术。3DIC 将不同工艺制程、不同性质的芯片整合在一个封装体内,提供了性能、功耗、面积和成本方面的优势。3DIC 能够为 5G 芯片、CPU、车载芯片等应用场景提供更高水平的集成、更高性能的计算和更大的通信带宽。3DIC 已经成为后摩尔时代延续摩尔定律的最佳途径之一。

1 实验设计思路及研究方法

Cadence 开发的 Integrity 3DIC EFS(Early Floorplan Synthesis)是针对 3DIC 后端实现设计的工具,对于 design 进行 block 级别的 partition,划分为上下两片芯片,再通过 EFS 引擎进行自动布局规划分析,可以在 floorplan 初期就将影响 3DIC 布局布线等因素考虑进去。

本实验应用的是芯盟科技自主开发的 NPU(Neural-Network Processing Unit)设计。结合芯盟科技开发的 HITOC

DK,将该 NPU 拆成了上下两片芯片,运用 Integrity 3DIC EFS 来进行逻辑堆叠逻辑芯片的后端实现。本文通过实验 Integrity 3DIC EFS 工具在针对 3DIC 设计 flow 中几个重要的步骤及影响因素,观测其应用产生的效果。围绕这些主要步骤,再加上 3DIC 后端实现时特殊的需求,设计了后续的实验思路和研究方法。

本文的实验研究主要成果体现在三个方面:对于 Integrity 3DIC EFS 工具流程的实现,以及流程中存在问题的解决和优化;最小分布单元的研究,以及其对于芯片 PPA 和布局布线影响的优化;顶层电源网络与通信端口的布局研究及算法优化。

2 HITOC Design Kit 介绍及结构

目前,在异构集成的芯片架构中,用来做端口连线的较先进的方式就是 Micro-bump 和 Hybrid Bonding。Hybrid Bonding 技术可以在芯片之间实现更多的互连,并带来更低的电容,降低每个通道的功率。传统凸点焊接技术与 Hybrid Bonding 混合键合技术比较,混合键合技术需要新的制造、操作、清洁和测试方法。混合键合技术的优势包括:有更高的电流负载能力,可扩展的间距小于 1 μm,并且具有更好的热性能。Hybrid Bonding 混合键合技术与传统的凸点焊接技术不同,混合键合技术没有突出的凸点,特别制造的电介质表面非常光滑,实际上还会有一个略微的凹陷。在室温将两个芯片附着在一起,再升高温度并对它们进行退火,铜这时会膨胀,并牢固地键合在一起,从而形成电气连接。对比于其他 3DIC 的芯片间互联技术,Hybrid Bonding 技术可获得更高的载流能力,更紧密的铜互联密度,并获得比底部填充胶更好的热性能^[1]。

2.1 HITOC DK Hybrid Bonding 结构

随着对于 Hybrid Bonding 技术的不断研究和发展,目前,混合键合技术可以将互联间距缩小到 10 μm 以下,芯盟的 HITOC Design Kit 中的 Hybrid Bonding 技术正是基于混合键合基础的先进键合技术,可以将 Hybrid Bonding bump 的间距做到业界领先水平。在 40 nm 的工艺下,使用 6x2t(6 层金属和 2 层厚金属),将顶层用来做上下两片芯片间通信的 Hybrid Bonding 间距做到 2.5 μm,对于后端设计而言,Hybrid Bonding bump 的间距越小,

意味着可用来通信的互联端口数越多,能够获得更高的性能和更小的面积。

图 1 所示为芯盟科技的 HITOC Design Kit 中 Hybrid Bonding 结构的横截面示意图。与传统 2D 芯片出 bump 和 PAD out 的方式不同,下层芯片由于堆叠原因,并没有 PAD out 和 bump,同时上层芯片的 PAD out 打在了芯片背面,通过 TSV(Through Silicon Via)打孔连接。而下层芯片通过 M1(metal 1)到 M8(metal 8)连接至上层芯片的 M8,再次打孔至 M1,通过 TSV 连接至 PAD out。而上下层芯片间的通信端口,则是通过各自的顶层金属利用 Hybrid Bonding 技术混合键合在一起的。不同于传统 2D 芯片和 2.5D 结构芯片,该结构的 TSV 与 Hybrid Bonding 技术真正体现了 face to face 的 3D 结构,z 向连线距离极短且通信端口数量足够多。它能够做到同样单位面积内获得极大的通信带宽和极短的通信距离,在高速高带宽的芯片中有着突破性的性能提升。

2.2 HITOC DK 介绍

芯盟科技开发的 HITOC Design Kit 是基于 3DIC 设计整合的平台,紧贴 3DIC Roadmap(发展蓝图),现已完成进程如表 1 所示。

如表 1 所示,芯盟科技在开发的 HITOC Design Kit 平台上,已经将 Hybrid Bonding、BTSV 及 bump 等 3DIC 相关的 GDS(版图设计文件)/LEF(版图描述文件)进行资源整合,形成了完善的工艺体系。并且在异构集成芯片的后端布局布线实现、3DIC 相关的 PV(物理检查)、3DIC 的 sign off 检查、3D 相关参数提取、3D 封装测试及键合等流程方面已经取得丰富的经验。

3 Integrity-3dic EFS 后端流程及主要步骤

本章阐述了 Integrity-3dic EFS 工具在逻辑堆叠逻辑芯片后端实现中的流程,说明了流程中工具执行的动作,同时说明了相关步骤所需的输入文件,以及 3DIC 设计相关的参数定义。阐述了工具在主要步骤的运行方式和工具逻辑。

本节阐述的 Integrity 3DIC EFS 后端实现流程中的主要步骤,是指 early floorplan synthesis 阶段,且对工具进行优化及对上下两片芯片划分进行研究。研究特别针对 3DIC 芯片实现中不同于传统 2D 芯片的地方,着重于对

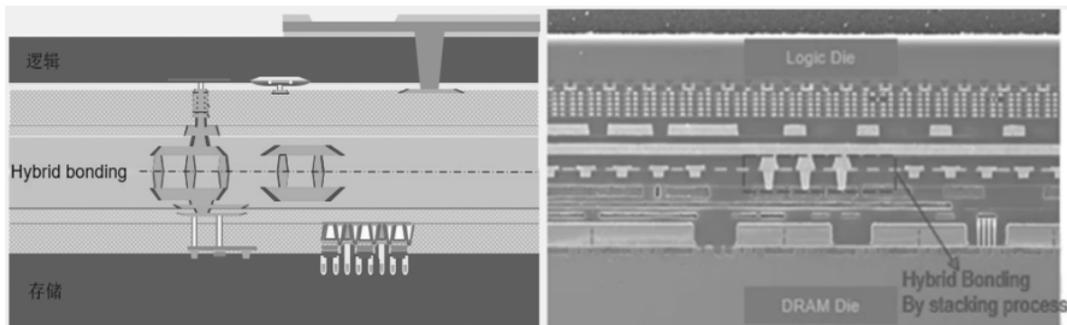


图 1 HITOC Design Kit Hybrid Bonding 结构图

表 1 芯盟 HITOC DK

HITOC DK 列表	注释
HITOC 设计参考手册	3DIC 实现流程及注意事项
HITOC 设计数据交互以及签核评审计划	3DIC 各方数据交互及签核计划
BTSV/TSV GDS/LEF	不同结构的 TSV 数据准备
Bump Open GDS/LEF	Bump Open 数据准备
3DIC 设计规则文件	3DIC 设计相关规则文件
3DIC 逻辑芯片设计规则检查	逻辑芯片的物理规则检查
3DIC 相关后端实现流程以及相关检查脚本	3DIC 芯片的后端流程及脚本
3DIC 热仿真相关参数提取及模型建立	3DIC 芯片热效应相关性能信息
3DIC 机械应力参数抽取及模型建立	3DIC 芯片可制造性相关信息
3DIC 封装启动信息	封装方面所需资源
3DIC Hybrid Bonding 电阻电容模型信息	Hybrid Bonding 相关金属 RC 信息
3DIC 签核检查列表	芯片签核所需的检查列表
HDC(HITOC DRAM Controller) IP	片上 DRAM 控制器

立体三维结构方面的研究,旨在探寻逻辑堆叠逻辑芯片在 Integrity 3DIC EFS 后端实现中能够优化的方向。

3.1 Integrity 3DIC EFS 后端流程

如图 2 所示,为 Integrity 3DIC EFS 后端流程。



图 2 Integrity 3DIC EFS 后端流程结构图

3.2 最小分布单元定义

Integrity 3DIC EFS 工具在定义了单片芯片的大小后,需要定义 proto seeds,即最小分布单元,这个参数决定了工具在拆分上下两个芯片时使用的最小的模块,再将定义的这类模块作为整体进行划分。例如:对整个网表进行划分,根据模块分为 10 个最小分布单元,Integrity 3DIC 会通过计算 10 个单元内的标准单元的数量,平均分为两组,再将其划分至顶层芯片与底层芯片。用户在定义最小分布单元时,同时可以对最小分布单元内部的

标准单元进行拆分、重组、划分等操作,继续定义最小分布单元的内部组成以及在上下芯片的分布。

3.3 定义 z length cost

在创建 design 后,需要定义一个 z length cost 参数。该参数是用来定义 z 向端口数量的权重参数。z 向端口是指上下两片芯片用来通信连线的端口,以 Micro-bump、Hybrid Bonding 等类型为例。该参数设置越大,工具会更多地创造上下两片芯片间的连线端口。由于 z 向的端口数量直接影响了上下两片芯片的通信带宽以及芯片内的模块分布,因此对于性能影响巨大。又由于该实验使用的 z 向通信端口类型使用的是 Hybrid Bonding,需要占用顶层金属的绕线资源。受芯片面积和顶层电源金属绕线制约,z length cost 定义的端口数量另外需要考虑这两个因素。

3.4 顶层电源规划及 bump 规划

在工具中定义过单片芯片的大小和最小分布单元后,Integrity 3DIC EFS 会对设计进行 mix place(预布局)。将所有标准单元布局后,工具会将所有绕线删除,用来做 bump 的规划,即顶层芯片和底层芯片间用来互联通信的端口设计规划。由于本研究采用的是 Hybrid Bonding 进行两片芯片间的端口连线,而 Hybrid Bonding 使用的是顶层金属,因此在工具删掉所有电源金属后,规划放置的用于通信端口的 Hybrid Bonding 会占用顶层金属,在后续进行电源规划加上顶层电源金属后,两者会发生重叠短路,可以考虑同时对顶层电源网络和 bump 进行精细规划。

4 对于最小分布单元的研究

在 3.2 中阐述了 Integrity 3DIC EFS 工具在对于上下两片芯片划分时,使用的是最小的模块 proto seeds,对于此参数的研究对于芯片的布局布线以及 PPA 影响有着重要的意义。下述为工具逻辑及相关研究结论。

4.1 对于最小分布单元如何定义的研究

工具在定义最小分布单元时,以模块为基本单元划分。这也就意味着定义最小分布单元时对于模块划分得越细,所定义的最小分布单元数量也就越多。从模块间通信

绕线阻塞考虑,对于阻塞较差的模块而言,模块划分越细越好,工具可以在划分时将阻塞较严重的模块分离开分别优化,有利于芯片的实现。但是,工具在考虑上下芯片划分时,会以 wire length(总连线长度)为主要考量因素,模块划分越细,最小分布单元间通信所需的端口总数越多,总连线长度也就越长。所以在模块划分过于细致导致连线数量过多时,工具可能会优先考虑总连线长度,而忽略模块间的划分。所以在定义最小分布单元时,需要找出阻塞较严重的模块,且以合适的模块数量进行划分。

4.2 对于最小分布单元的拆分重组及分布研究

在通过模块划分定义过最小分布单元后,出于芯片布局布线的规划,需要评估模块内部的标准单元间的通信及时序。对于模块内时序较差的模块,可以对其进行分析拆分,把时序敏感的模块拆分成几个小模块,然后将小模块并入其他模块进行重组。该做法可以利用上下芯片间 z 向端口的通信,将模块间的通信和时序优化。对于散落在模块外的标准单元,可以通过分析重组并入最小分布单元,从而创建新的模块。该做法可以将模块外的标准单元与模块间建立联系,便于工具分析优化。

重新定义过最小分布单元后,工具会以 wire length 为主要因素分析,将最小单元分布在上下两片芯片上,这一步同样可以让用户自己定义。由于顶层的通信端口数量有限,在分析过最小分布单元间的联系与边界通信端口数后,用户可以将一些端口数过多,或是联系不多的最小分布单元定义在同一片芯片内。该做法可以控制上下芯片间所需要的通信端口数,防止过多导致无法进行划分。

5 顶层电源网络与通信端口 bump 规划的算法优化

在 3.4 中阐述了 Integrity 3DIC EFS 工具在进行顶层通信端口规划时,本研究采用的方法是在工具进行通信端口 bump 规划之前,同时将顶层的电源网络规划好,创造等长等宽等间距的顶层电源线 bump,由于 bump cell 不属于 metal 属性,工具在进行通信端口 bump 规划时,不会将其删除,从而通信端口 bump 不会和顶层电源 bump 重叠,那么也就不会和后续加上的顶层电源金属线产生重叠短路。本节将说明工具在对于顶层电源网络与通信端口 bump 规划时的逻辑,以及针对两类 bump 同时进行精细规划的改良的算法,最后对比了改良算法前后的结果,体现了算法的优化效果。

5.1 未优化算法结果及优化思路

工具在进行过顶层电源网络规划后,会创建同样大小间距的 bump(以下均称为 PG bump)来体现顶层电源的位置。随后会进行通信端口 bump(以下均称为 signal bump)规划。工具算法是通过计算 PG bump 与 signal bump 的 center location(中心点坐标)是否重合,来规划 signal bump 的位置及数量。显然,这样无法保证 PG bump 与 signal bump 的 shape(图形形状)发生重叠,导致了后续加顶层电源金属后,会与 signal bump 发生短路。

另外,由于计算中心点重合度,如果不同时对 PG bump 和 signal bump 同时精细化规划,也会导致 signal bump 在 PG bump 的空隙中分布不均,减少了 signal bump 规划放置的数量,降低了区域内 signal bump 的利用率,存有很大优化空间。

图 3 为 Integrity 3DIC EFS 工具只进行 signal bump 规划后,顶层电源与 signal bump 的分布界面,均体现了上述两个方向的可优化性。

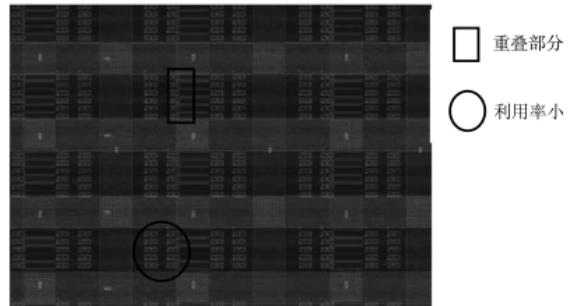


图 3 未优化算法下电源网络与 signal bump 分布界面

5.2 优化算法及结果对比

针对上述工具算法产生的两个可规划的方向,本实验进行了算法优化,对于电源网络与 signal bump 同时精细规划。

该算法对如下运算因子进行运算:signal bump 的长、signal bump 的宽、顶层金属的最小线宽、顶层金属的最小间距、3DIC 的最小间距、电源初始距芯片边界距离。

该算法的运算结果可以得到:PG bump 的长宽、signal bump 的长宽、PG bump 的 pitch、signal bump 的 pitch、PG bump 距芯片边界距离、signal bump 距边界距离。

利用上述结果即可对 PG bump 和 signal bump 同时进行规划。图 4 为优化算法下电源网络与 signal bump 的分布界面。

算法规划的电源网络与 signal bump 的结果体现在

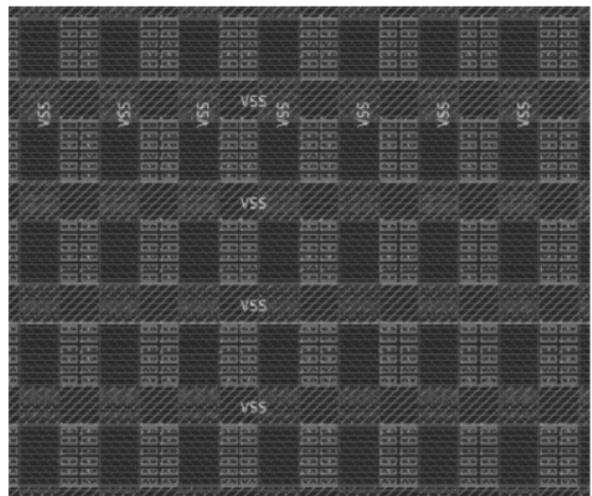


图 4 优化算法下电源网络与 signal bump 分布界面

电源强壮性和 signal bump 数量以及产生重合导致的短路数,电源强壮性可以用电源网络面积占芯片面积比例量化,算法优化后,电源网络面积占比由 25% 提升至 33%,signal bump 数会体现在流程报告中,由 10 860 提升至 15 402,而且不会产生重合导致短路。

6 结论

本实验在对于 Integrity 3DIC EFS 后端流程进行实现且优化后,获得了设计的 PPA 数据,对同一设计不同频率的 2D 芯片实现的 PPA 数据对比,得到结果如表 2、表 3 所示。

表 2 1.25 GHz 频率下 PPA 对比

	2D	3D	收益/%
尺寸/ μm	1 200×1 200	800×800×2	11.2
WNS/ns	-0.24	-0.117	
TNS/ns	-4 126	-22	
实际频率/GHz	1.01	1.133	12
功耗/mW	2 961	2 868	3.2

由上述结果对比可得:在基于 Integrity 3DIC EFS 工具优化,结合芯盟 HITOC Design Kit 下的逻辑堆叠

(上接第 50 页)

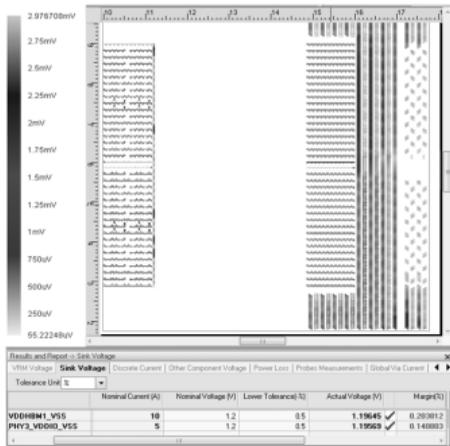


图 22 HBM 接口电源直流压降仿真

(上接第 54 页)

北京:科学出版社,2008.

- [4] SCHRODER D K.Negative bias temperature instability(NBTI): physics, materials, process, and circuit issues[J].Tutorial IRPS, 2005: 67-74.
- [5] 张月.PMOSFET 器件 NBTI 效应的机制与模型研究[D].西安:西安电子科技大学,2014: 54-56.
- [6] LI E, ROSENBAUM E, TAO J, et al.Hot carrier effects in nMOSFETs in 0.1 μm CMOS technology[C]//Reliability Physics Symposium Proceedings, 1999. 37th Annual. 1999 IEEE International. IEEE, 1999: 253-258.

表 3 1.35 GHz 频率下 PPA 对比

	2D	3D	收益/%
尺寸/ μm	1 200×1 200	800×800×2	11.2
WNS/ns	-0.288	-0.152	
TNS/ns	-9 282	-1 054	
实际频率/GHz	1.062	1.198	13
功耗/mW	3 378	3 292	2.5

芯片后端实现,与传统 2D 芯片实现的 PPA(性能、功耗、面积)对比中,本实验获得了频率提升 12%、面积减少 11.2%、功耗减少 2.5% 的收益。

参考文献

- [1] 姚明军.基于混合键合和后硅通孔的晶圆级三维芯片堆叠技术研究[D].大连:大连理工大学,2019.

(收稿日期:2022-06-20)

作者简介:

徐睿(1995-),男,本科,芯片设计师,主要研究方向:芯片设计、数字后端设计。

王贻源(1985-),男,硕士,芯片设计师,主要研究方向:芯片设计、数字后端设计。



扫码下载电子文档

以支持 HBM2e 3.2 Gb/s,兼具了性能和成本优势。

参考文献

- [1] Cadence OrbitIO reference guide version 17.4[Z].2019.
- [2] Cadence Innovus user guide version 20.10[Z].2020.
- [3] Cadence Innovus text command reference Version 20.10[Z]. 2020.

(收稿日期:2022-06-20)

作者简介:

张成(1978-),男,硕士,封装设计经理,主要研究方向:先进封装设计。

李晴(1978-),女,硕士,研发中心总监,主要研究方向:Memory、Flash、先进封装设计。

赵佳(1984-),女,硕士,封装设计主任工程师,主要研究方向: AiP 等先进封装设计。



扫码下载电子文档

- [7] ZHANG Z, WANG R, SHEN X, et al.Aging-aware gate-level modeling for circuit reliability analysis[J].IEEE Trans. Electron Devices, 2021, 66(9): 4201-4207.

(收稿日期:2022-06-20)

作者简介:

陈寒(1993-),女,硕士,IC 工艺库设计工程师,主要研究方向:标准单元库设计。

宋存彪(1990-),男,硕士,IC 工艺库设计高级工程师,主要研究方向:标准单元库设计。

吴韦忠(1981-),男,硕士,IC 工艺库设计经理,主要研究方向:标准单元库设计。



扫码下载电子文档

版权声明

经作者授权，本论文版权和信息网络传播权归属于《电子技术应用》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、DOAJ、美国《乌利希期刊指南》、JST 日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《电子技术应用》编辑部

中国电子信息产业集团有限公司第六研究所